Centre d'Etudes Doctorales: Sciences et Techniques de l'Ingénieur

N° d'ordre : 67/2021

THESE DE DOCTORAT

Présentée par

Mr : Anass SLAMTI

Spécialité : Génie Électrique

Sujet de la thèse : Conception et amélioration des performances des circuits intégrés de gestion de l'alimentation en technologie CMOS basse tension

: Design and performance improvement of power management integrated circuits in low voltage CMOS technology

Formation Doctorale : Sciences de l'Ingénieur, Sciences Physiques, Mathématiques et Informatique

Thèse présentée et soutenue le jeudi 29 juillet 2021 à 10h au centre de conférences devant le jury composé de :

Nom Prénom	Titre	Etablissement	
Mostafa MRABTI	PES	Ecole Nationale des Sciences Appliquées de Fès	Président
Mohamed SABBANE	PES	Faculté des Sciences de Meknès	Rapporteur
Mohamed EL ANSARI	PES	Faculté des Sciences de Meknès	Rapporteur
Hassan QJIDAA	PES	Faculté des Sciences Dhar El Mehraz de Fès	Rapporteur
Driss CHENOUNI	PES	Ecole Normale Supérieure de Fès	Examinateur
Youness MEHDAOUI	PH	Faculté Polydisciplinaire de Béni Mellal	Examinateur
Ghizlane KHAISSIDI	PH	Ecole Nationale des Sciences Appliquées de Fès	Examinateur
Zakia LAKHLIAI	PES	Ecole Supérieure de Technologie de Fès	Directeur de thèse

Laboratoire d'accueil : Laboratoire d'Informatique et de Physique Interdisciplinaire

Établissement : École Normale Supérieure de Fès

Je dédie ce travail à l'âme de mon père...

Remerciements

Je souhaite remercier en premier lieu mon Directeur de thèse, Mme Zakia LAKHLIAI, Professeur de l'Enseignement Supérieur à l'Ecole Supérieure de Technologie de Fès et membre de l'équipe de recherche du Laboratoire d'Informatique et de Physique Interdisciplinaire à l'Ecole Normale Supérieure de Fès rattaché au Centre d'Etudes Doctorales de la Faculté des Sciences et Techniques de Fès, pour m'avoir accueilli au sein de son équipe. Je lui suis également reconnaissant pour le temps conséquent qu'il m'a accordé, ses qualités pédagogiques et scientifiques, sa franchise, sa patience et sa sympathie. J'ai beaucoup appris à ses côtés et je lui adresse ma gratitude pour tout cela.

J'adresse de chaleureux remerciements à Mr Youness MEHDAOUI, Professeur Habilité à la Faculté Polydisciplinaire de Béni Mellal et membre associé au Laboratoire d'Informatique et de Physique Interdisciplinaire, pour son attention de tout instant sur mes travaux, pour ses conseils avisés et son écoute qui ont été prépondérants pour la bonne réussite de cette thèse. J'ai pris un grand plaisir à travailler avec lui.

Je remercie vivement Mr Driss CHENOUNI, Directeur de l'Ecole Normale Supérieure de Fès et Directeur du Laboratoire d'Informatique et de Physique Interdisciplinaire, de m'avoir accueilli dans son laboratoire. Je le remercie pour la confiance qu'il m'a accordée, sa patience et ses encouragements qui m'ont énormément aidé à accomplir cette thèse.

Je tiens à remercier grandement Mr Mostafa MRABTI, Professeur de l'Enseignement Supérieur à l'Ecole Nationale des Sciences Appliquées de Fès, qui m'a fait l'honneur d'avoir accepté d'être Président du jury de cette thèse. Je le remercie pour le vif intérêt qu'il a porté à mon travail.

Je voudrais remercier sincèrement les rapporteurs de cette thèse, Mr Mohamed SABBANE, Professeur de l'Enseignement Supérieur à la Faculté des Sciences de Meknès, Mr Mohamed EL ANSARI, Professeur de l'Enseignement Supérieur à la Faculté des Sciences de Meknès et Mr Hassan QJIDAA, Professeur de l'Enseignement Supérieur à la Faculté des Sciences Dhar El Mehraz de Fès, pour la rapidité et la rigueur avec lesquelles ils ont lu mon manuscrit et l'intérêt qu'ils ont porté à mon travail.

J’adresse un très grand merci aux membres examinateurs, Mr Driss CHENOUNI, Mr Youness MEHDAOUI et Mme Ghizlane KHAISSIDI, Professeur Habilité à l’Ecole Nationale des Sciences Appliquées de Fès, pour avoir accepté d’examiner mon travail.

Enfin, je tiens à exprimer mes profondes gratitudes envers ma famille, ma mère, mes sœurs et ma femme pour leur soutien pendant toutes mes années d’études.

Résumé

Les travaux de recherche présentés dans ce mémoire de thèse concernent l'étude analytique et la conception de deux circuits intégrés analogiques fondamentaux dans l'unité du circuit intégré de gestion de l'alimentation (PMIC) en technologie CMOS UMC 0,18µm basse tension; un régulateur de tension linéaire à faible chute (LDO) et une référence de tension de type bandgap (BGVR) qui constitue un sous-circuit de ce régulateur. Les applications ciblées des circuits intégrés conçus sont les systèmes sur une puce (SoC) alimentés par batterie telles que le matériel de l'Internet des Objets (IoT).

Le premier travail, qui constitue le circuit principal dans la chaine du module du PMIC étudié, a compris l'analyse et la conception d'un régulateur LDO en technologie CMOS UMC 0,18µm. Le but était de proposer une structure complètement intégrée sans condensateur externe répondant aux exigences suivantes : une haute stabilité dans une large plage de courant de charge I_{Ch}, allant de quelques dizaines de µA jusqu'à 150mA, une bonne réponse transitoire, une forte réjection d'ondulation de l'alimentation (PSRR) jusqu'à 10MHz et une consommation acceptable. Pour la performance de la stabilité, un circuit de compensation interne basé sur la différentiation et l'amplification a été inséré entre la sortie et la grille du transistor de passage, pour assurer une séparation suffisante entre le pôle dominant et le premier pôle non-dominant afin de garantir une grande marge de phase. Le circuit de compensation est réutilisé pour améliorer la réponse transitoire en y ajoutant un détecteur des pics. La technique du couplage capacitif avec amplification dynamique du courant de polarisation, adoptée par le circuit de compensation après modification, a permis de réduire significativement les pics du dépassement maximum et du sous-dépassement minimum. Pour la performance du PSRR, un circuit d'amélioration basé sur l'approche de l'annulation des ondulations de l'alimentation et la technique du transistor de passage réplique a été proposé pour améliorer le PSRR en hautes fréquences. Le régulateur LDO proposé a été conçu et simulé avec le logiciel Cadence en technologie CMOS UMC 0,18µm basse tension. Le régulateur LDO proposé délivre une tension de sortie V_O stable et précise de 1,2V pour un minimum de tension d'alimentation d'entrée V_I de 1,33V et il peut fournir jusqu'à 150mA de courant de sortie. La variation transitoire maximale de la tension de sortie est inférieure à 55mV. Le PSRR garde une valeur inférieure à −60dB dans la plage de fréquence 10Hz-10MHz. La surface du layout sans condensateur de charge est de 0,01864mm². Le régulateur LDO proposé présente un faible facteur de mérite (FOM) par rapport aux régulateurs LDO récemment émergés dans la littérature.

Le deuxième travail a intitulé l'analyse et la conception d'une référence de tension de type bandgap qui génère à sa sortie une tension précise inférieure à 1V avec un faible coefficient de température et une forte réjection d'ondulation de l'alimentation ($PSRR_{REF}$). Deux nouvelles techniques ont été proposées pour améliorer, respectivement, le $PSRR_{REF}$ et la précision de la tension de sortie V_{REF}. La première technique a consisté à l'ajout d'un étage de pré-régulation pour assurer une isolation complète entre la tension d'alimentation V_I et les tensions d'alimentation de l'amplificateur d'erreur et du bloc générateur de V_{REF} afin de réduire l'effet des ondulations de V_I sur V_{REF}, dont le but d'obtenir un bon $PSRR_{REF}$ dans une plage de fréquences large. La deuxième technique a compris la modification du diviseur de tension résistif du bloc générateur de V_{REF} pour réduire l'effet indésirable de la tension de décalage d'entrée (offset) de l'amplificateur d'erreur afin d'augmenter la précision de la tension V_{REF}. Le circuit proposé de la référence de tension a été conçu et simulé avec le logiciel Cadence en technologie CMOS UMC 0,18µm basse tension. Le circuit proposé délivre à la température 27°C une tension de sortie V_{REF} proche de 0,635V pour un minimum de tension d'alimentation de 1,2V. Le coefficient de température mesuré est de 20,1ppm/°C sur une plage de température allant de −40°C à 140°C. Le PSRR de la référence de tension proposée conserve une valeur inférieure à −60dB dans la plage de fréquence 10Hz-10MHz. La régulation de ligne est de 104,3µV/V à la température 27°C, obtenue dans la plage de tension de l'alimentation 1,2V-1,8V. La surface du layout du circuit de la référence de tension proposée est de 0,0337mm^2. Le fonctionnement de la référence de tension conçue, comme tension de comparaison interne du régulateur LDO, a été bien vérifié.

Mots Clés : Circuit intégré de gestion de l'alimentation (PMIC), Technologie CMOS, Système sur une puce (SoC), Low-Dropout (LDO), Stabilité, Régulation de charge transitoire, Réjection d'ondulation de l'alimentation (PSRR), Référence de tension de type bandgap, coefficient de température.

Abstract

The reported research work in this thesis relates to the analytical study and design of two fundamental analog integrated circuits in the power management integrated circuit (PMIC) unit using 0.18µm low voltage CMOS UMC technology; a low dropout linear voltage regulator (LDO) and a bandgap voltage reference (BGVR) which is a sub-circuit of this regulator. Targeted applications of designed integrated circuits are battery-powered embedded systems on a chip (SoC) such as Internet of Things (IoT) hardware.

The first work, which constitutes the main circuit in the studied PMIC module chain, included the analysis and the design of an LDO regulator in CMOS UMC 0.18µm technology. The goal was to propose a fully integrated structure without an external capacitor meeting the following requirements: high stability in a wide range of load current I_{Ch} from a few tens of µA up to 150mA, good transient response, high power supply ripple rejection (PSRR) up to 10MHz and acceptable power consumption. For the stability performance, a dual internal compensation circuit based on differentiation and amplification has been inserted between the LDO output and the pass transistor gate, to ensure sufficient splitting between the dominant pole and the first non-dominant pole in order to guarantee a large phase margin. The compensation circuit is reused to improve the transient response by adding a peak detector. The capacitive coupling with dynamic bias current boosting technique, adopted by the compensation circuit after modification, made it possible to significantly reduce the peaks of the maximum overshoot and the minimum undershoot. For the PSRR performance, an enhancer circuit based on power supply ripple cancellation approach and the scaled replica pass transistor technique has been proposed to improve PSRR at high frequencies. The proposed LDO regulator was designed and simulated with Cadence software in CMOS UMC 0.18µm low voltage technology. The proposed LDO regulator delivers a stable and accurate output voltage V_O of 1.2V for a minimum input supply voltage V_I of 1.33V and it can provide up to 150mA of output current. The maximum transient variation of the output voltage is less than 55mV. The PSRR keeps a value less than −60dB in the 10Hz-10MHz frequency range. The layout area without load capacitor is 0.01864mm². The proposed LDO regulator exhibits a low figure of merit (FOM) compared to LDO regulators recently emerged in the literature.

The second work concerned the analysis and design of a sub-1V bandgap voltage reference with low temperature coefficient and high power supply ripple rejection ($PSRR_{REF}$). Two new techniques have been proposed to improve the $PSRR_{REF}$ and the accuracy of the output

voltage V_{REF}, respectively. The first technique consisted in adding a pre-regulation stage to ensure complete isolation between the supply voltage V_I and the supply voltages of the error amplifier and the V_{REF} generator block in order to reduce the effect of V_I ripples on V_{REF}, whose goal is to obtain a good $PSRR_{REF}$ in a wide frequency range. The second technique included a modification of the resistive voltage divider of the V_{REF} generator block to reduce the unwanted effect of the error amplifier input offset voltage in order to increase the accuracy of the V_{REF}. The proposed voltage reference circuit has been designed and simulated with Cadence software in CMOS UMC 0.18µm low voltage technology. The proposed circuit delivers at a temperature of 27°C an output voltage V_{REF} close to 0.635V for a minimum supply voltage of 1.2V. The measured temperature coefficient is 20.1ppm/°C over a temperature range from −40°C to 140°C. The PSRR of the proposed voltage reference keeps a value less than −60dB in the 10Hz-10MHz frequency range. The line regulation is 104.3µV/V at the temperature 27°C, obtained in the supply voltage range of 1.2V-1.8V. The layout area of proposed voltage reference circuit is 0.0337mm^2. The operation of the designed voltage reference, as an internal comparison voltage of the LDO regulator, has been verified.

Keywords: Power Management Integrated Circuit (PMIC), CMOS Technology, System on a Chip (SoC), Low-Dropout (LDO), Stability, Transient Load Regulation, Power Supply Ripple Rejection (PSRR), bandgap voltage reference, temperature coefficient.

Tables des matières

REMERCIEMENTS **3**

RESUME **5**

ABSTRACT **7**

LISTES DES FIGURES **13**

LISTE DES TABLEAUX **17**

LISTE DES SYMBOLES **18**

LISTE DES ACRONYMES **23**

INTRODUCTION GENERALE **25**

1 CONTEXTE ET MOTIVATION **25**

2 TYPE DES CONVERTISSEURS DE TENSION STATIQUES **28**

3 OBJECTIFS DE LA THESE **29**

4 CONTRIBUTIONS DE LA THESE **31**

5 ORGANISATION DE LA THESE **31**

CHAPITRE 1 : REGULATEUR LDO EN TECHNOLOGIE CMOS - DEFINITIONS ET ANALYSE DES PERFORMANCES **33**

1 REGULATEUR DE TENSION LINEAIRE DE TYPE LDO EN TECHNOLOGIE CMOS **33**

1.1 PRINCIPE D'UN REGULATEUR DE TENSION LINEAIRE 33

1.2 CLASSE DES REGULATEURS LINEAIRES 35

1.3 PARAMETRES ET CARACTERISTIQUES D'UN REGULATEUR LDO 36

1.3.1 Paramètres statiques 36

1.3.1.1 Tension de chute et tension de déchet 36

1.3.1.2 Plage de tension d'alimentation d'entrée 38

1.3.1.3 Courant de sortie maximum 38

1.3.1.4 Régulation de ligne statique 38

1.3.1.5 Régulation de charge statique 39

1.3.1.6 Courant de repos 39

1.3.1.7 Rendement 40

1.3.2 Paramètres dynamiques 41

1.3.2.1 Régulation de ligne transitoire 41

1.3.2.2 Régulation de charge transitoire 42
1.3.2.3 Réjection d'ondulation de l'alimentation 43
1.3.2.4 Bruit à la tension de sortie 44
1.3.3 Précision sur la tension de sortie 44
1.3.4 Autres caractéristiques d'un régulateur LDO 44
1.3.4.1 Fonctionnement sans condensateur de sortie 44
1.3.4.2 Fonctionnement sans courant de charge 45

2 PERFORMANCES D'UN REGULATEUR LDO-CI 45

2.1 PROBLEMES ET DEFIS LIES AUX REGULATEURS LDO-CI 45
2.2 ANALYSE DU REGULATEUR LDO-CI CONVENTIONNEL EN REGIME PETIT-SIGNAL BASSE FREQUENCE 46
2.3 ANALYSE DE LA STABILITE 49
2.3.1 Réponse fréquentielle non compensée 49
2.3.2 Méthodes de compensation interne 54
2.3.2.1 Compensation simple de Miller 54
2.3.2.2 Compensation de Miller avec résistance d'annulation du zéro réel positif 57
2.3.2.3 Compensation par multiplication de l'effet Miller 61
2.3.2.4 Méthodes de compensation alternatives 65
2.4 ANALYSE DU PSRR 65
2.4.1 Analyse du PSRR du régulateur LDO-CI conventionnel 65
2.4.2 Contribution des capacités parasites du transistor de passage au PSRR du régulateur LDO conventionnel 68
2.4.3 Méthodes et techniques d'amélioration du PSRR 71
2.5 ANALYSE DE LA REPONSE TRANSITOIRE D'UN REGULATEUR LDO-CI 74
2.5.1 Réponse transitoire d'un régulateur LDO-CI conventionnel 74
2.5.2 Méthodes d'amélioration de la réponse transitoire d'un LDO-CI 76

3 CONCLUSION 81

CHAPITRE 2 : STRUCTURE PROPOSEE DU REGULATEUR LDO A COMPENSATION INTERNE 83

1 ANALYSE ET CONCEPTION DU REGULATEUR LDO-CI PROPOSE 83

1.1 SCHEMA BLOC DE LA STRUCTURE PROPOSEE 83
1.2 IMPLEMENTATION DE L'AMPLIFICATEUR D'ERREUR DU LDO-CI PROPOSE 84
1.3 ANALYSE DE LA STABILITE DU REGULATEUR LDO PROPOSE 85
1.3.1 Réponse fréquentielle non compensée 85
1.3.1.1 Cas du courant de charge nul ou faible 87
1.3.1.2 Cas du courant de charge moyen 88
1.3.1.3 Cas du courant de charge élevé 89
1.3.2 Réponse fréquentielle compensée 91

1.3.2.1 Circuit de compensation proposé 91
1.3.2.2 Réponse fréquentielle du différentiateur-amplificateur de courant proposé 92
1.3.2.3 Fonction de transfert en boucle ouverte compensée du LDO proposé 94
1.3.2.3.1 Localisation des pôles pour le cas de I_{Ch} faible 98
1.3.2.3.2 Localisation des pôles pour le cas de I_{Ch} grand 100
1.3.2.3.3 Localisation des pôles pour les valeurs intermédiaires de I_{Ch} 103
1.4 ANALYSE DE LA REPONSE TRANSITOIRE DU LDO-CI PROPOSE 105
1.5 DIMENSIONNEMENT DES COMPOSANTS DU REGULATEUR LDO-CI PROPOSE 108
1.5.1 Paramètres de la technologie CMOS UMC 0,18µm basse tension 108
1.5.2 Dimensionnement du transistor de passage M_P 110
1.5.3 Dimensionnement des résistances de contre-réaction 111
1.5.4 Conception de l'amplificateur d'erreur du LDO proposé 112
1.5.5 Conception du bloc de compensation et d'amélioration de la réponse transitoire 114

2 RESULTATS DE SIMULATION DU CIRCUIT DU REGULATEUR LDO PROPOSE ET DISCUSSION 117

2.1 SIMULATION AC EN BOUCLE OUVERTE 117
2.2 SIMULATION DC 127
2.3 SIMULATION TRANSITOIRE 132
2.4 SIMULATION AC DU PSRR 138

3 METHODE PROPOSEE POUR L'AMELIORATION DU PSRR 140

3.1 ANALYSE DU PSRR DU REGULATEUR LDO PROPOSE 140
3.2 SOLUTION PROPOSEE POUR AMELIORER LE PSRR 142
3.3 RESULTATS DE LA SIMULATION DU PSRR AVEC LA TECHNIQUE D'AMELIORATION PROPOSEE 143

4 LAYOUT DU REGULATEUR LDO PROPOSE 146

5 CONCLUSION 148

CHAPITRE 3 : CONCEPTION D'UNE REFERENCE DE TENSION DE TYPE BANDGAP SUB-1V A FAIBLE COEFFICIENT DE TEMPERATURE ET A HAUTE VALEUR DU PSRR EN TECHNOLOGIE CMOS 0,18µM 149

1 INTRODUCTION 149

2 REFERENCE DE TENSION DE TYPE BANDGAP : PRINCIPE ET PERFORMANCES 150

2.1 PRINCIPE D'UNE REFERENCE DE TENSION DE TYPE BANDGAP 150
2.2 REFERENCE DE TENSION DE TYPE BANDGAP DE WIDLAR 151

2.3 IMPLEMENTATION DE LA REFERENCE DE TENSION DE WIDLAR EN TECHNOLOGIE CMOS154
2.4 STRUCTURE BASSE TENSION D'UNE REFERENCE DE TENSION DE TYPE BANDGAP SUB-1V157
2.5 MESURES DES PERFORMANCES D'UNE REFERENCE DE TENSION 159
2.5.1 Coefficient de température 159
2.5.2 Régulation de ligne 160
2.5.3 Réjection d'ondulation de l'alimentation pour V_{REF} 160
2.5.4 Courant de consommation 161

3 LA REFERENCE DE TENSION DE TYPE BANDGAP SOUS-1V PROPOSEE 162

3.1 CIRCUIT PROPOSE DE LA REFERENCE DE TENSION 162
3.2 CONCEPTION DE L'AMPLIFICATEUR OPERATIONNEL DE LA REFERENCE DE TENSION PROPOSEE 162
3.3 ANALYSE ET CONCEPTION DU BLOC GENERATEUR DE LA BGVR SOUS-1V PROPOSEE 164
3.4 FONCTIONNEMENT EN BASSE TENSION DU CIRCUIT DE LA BGVR SOUS-1V PROPOSEE ... 168
3.5 ANALYSE ET CONCEPTION DU BLOC D'AMELIORATION DU $PSRR_{REF}$ 169
3.6 CIRCUIT DE DEMARRAGE DE LA REFERENCE DE TENSION PROPOSEE 175

4 RESULTATS DE SIMULATION DES PERFORMANCES DE LA BGVR SOUS-1V PROPOSEE 176

5 CONCLUSION 184

CONCLUSIONS ET PERSPECTIVES 185

1 CONCLUSIONS 185

2 RECOMMANDATIONS POUR DES FUTURS TRAVAUX 186

PRODUCTIONS SCIENTIFIQUES DANS LE CADRE DE CETTE THESE 188

BIBLIOGRAPHIE 190

Listes des figures

Figure 1 Schéma de principe simplifié de l'électronique dans les systèmes sur une puce de l'Internet des Objets. *26*
Figure 2 Module basique d'un PMIC. *27*
Figure 3 Allures des différentes tensions d'un module PMIC sous une charge constante *27*
Figure 4 Schéma de principe de la régulation linéaire. *34*
Figure 5 Diagramme bloc d'un régulateur de tension linéaire. *34*
Figure 6 Schémas blocs des deux catégories des régulateurs linéaires, (a) HDO-type NMOS, (b) LDO-type PMOS. *35*
Figure 7 Allure typique de l'évolution de V_O en fonction de V_I pour un régulateur LDO. *38*
Figure 8 Allure typique de l'évolution de V_O en fonction de I_{Ch} pour un régulateur LDO. *39*
Figure 9 Courant de repos dans un régulateur LDO. *40*
Figure 10 Allure typique de la régulation de ligne transitoire d'un régulateur LDO. *42*
Figure 11 Allure typique de la régulation de charge transitoire d'un régulateur LDO. *42*
Figure 12 Réjection d'ondulation de l'alimentation d'un régulateur LDO. *43*
Figure 13 Condensateur de sortie d'un régulateur LDO: (a) LDO-CE, (b) LDO-CI (Capless). *45*
Figure 14 Schéma équivalent du LDO en régime petit-signal et en basse fréquence. *46*
Figure 15 Schéma équivalent du LDO en régime petit-signal et en basse fréquence pour le calcul de RC_{DC}. *48*
Figure 16 Implémentation par des transistors MOS d'un régulateur LDO conventionnel. *50*
Figure 17 Modèle équivalent du LDO pour le calcul de la fonction de transfert en boucle ouverte. *50*
Figure 18 Diagramme de Bode de la réponse non compensée du régulateur LDO conventionnel. *54*
Figure 19 Structure conventionnelle du LDO comprenant le réseau de la compensation de Miller simple. *55*
Figure 20 L'effet amplificateur de capacité dans la compensation de Miller *55*
Figure 21 Séparation des pôles dominant et non dominant par la compensation interne de Miller. *56*
Figure 22 Structure conventionnelle du LDO comprenant la compensation de Miller avec résistance d'annulation du zéro réel positif. *58*
Figure 23 Localisation pôles-zéros dans le plan de Bode pour la compensation de Miller avec annulation du zéro réel positif dans le cas de I_{Ch} grand. *59*
Figure 24 Influence des pôles complexes conjugués sur la stabilité du LDO en fonction de I_{Ch} dans la compensation de Miller avec annulation du zéro réel positif. *61*
Figure 25 Compensation de Miller avec multiplicateur de capacité. *62*
Figure 26 Implémentation simple par des transistors MOS de l'amplificateur de courant utilisé dans la compensation avec multiplicateur de capacité. *62*
Figure 27 Schéma équivalent en régime petit signal du LDO incluant la compensation de Miller avec multiplicateur de capacité. *63*
Figure 28 Contributions au PSRR d'un régulateur LDO: chemins du signal. *66*
Figure 29 Contributions au PSRR d'un régulateur LDO-CI: allure typique du spectre du PSRR montrant la contribution dominante dans chaque gamme de fréquences. *66*
Figure 30 Modèle mathématique pour l'évaluation du PSRR d'un LDO-CI conventionnel. *67*
Figure 31 Modèle équivalent du régulateur LDO conventionnel incluant les capacités parasites du transistor de passage pour le calcul du PSRR. *69*
Figure 32 Comparaison des PSRR dans un régulateur conventionnel selon sa classe : (a) LDO-CI avec C_{Ch}=100pF, (b) LDO-CE avec C_{Ch}=1µF. *71*
Figure 33 Technique d'amélioration du PSRR proposée dans [68] et [69]. *72*
Figure 34 Technique d'amélioration du PSRR proposée dans [74]. *73*
Figure 35 Réponse transitoire typique d'un régulateur LDO-CI stable à un échelon de courant de charge [2]. *75*
Figure 36 Structure proposée dans [84] qui utilise un CCI pour détecter I_{Ch} et génère le courant de polarisation I_Z approprié. *78*
Figure 37 Structure proposée dans [86] utilisant un simple miroir de courant pour reproduire la variation de I_{Ch} dans la polarisation de l'amplificateur d'erreur. *78*

Figure 38 Structure proposée dans [94] utilisant un schéma de polarisation adaptative pour l'amplificateur d'erreur basé sur la cellule FVF avec un étage supplémentaire pour l'amélioration du gain statique. *79*
Figure 39 Structure proposée dans [100] avec polarisation adaptative de l'amplificateur d'erreur et compensation de Miller imbriquée. *80*
Figure 40 Schéma bloc de la structure proposée du régulateur LDO-CI. *84*
Figure 41 Implémentation en transistor MOS des blocs essentiels du régulateur LDO-CI proposé. *85*
Figure 42 Modèle équivalent du régulateur LDO proposé, non compensé, en régime petit signal haute fréquence. *86*
Figure 43 Localisation des pôles et des zéros en fonction de I_{Ch} pour la réponse fréquentielle non compensée du LDO proposé: (a) localisation dans le plan de Bode, (b) localisation dans le plan complexe s. *90*
Figure 44 Evolution des capacités parasites C_{gs} et C_{gd} d'un transistor NMOS en fonction de la tension de commande V_{GS} [29]. *90*
Figure 45 Circuit de base de la technique de compensation par différentiation et amplification. *91*
Figure 46 Circuit complet proposé pour la compensation et l'amélioration de la réponse transitoire. *92*
Figure 47 Schéma équivalent en régime dynamique du différentiateur-amplificateur de courant proposé. *93*
Figure 48 Réponse fréquentielle du différentiateur proposé. *94*
Figure 49 Diagramme bloc du système du LDO proposé avec compensation. *95*
Figure 50 Influence du facteur de qualité sur la réponse fréquentielle du système du LDO proposé. *103*
Figure 51 Effets des pôles introduits par le différentiateur sur le mouvement des pôles complexes conjugués en fonction du courant de charge I_{Ch}: (a) trajectoire des pôles souhaitée, (b) instabilité potentielle (plan s sans échelle). *104*
Figure 52 Fonctionnement du circuit de compensation proposé comme améliorateur de la réponse transitoire du régulateur LDO. *106*
Figure 53 Méthode graphique d'extraction du paramètre de la modulation de longueur du canal λ pour un NMOS (équation 2.100). *109*
Figure 54 Circuit test de la simulation AC en boucle ouverte du régulateur LDO. *118*
Figure 55 Courbes de gain et de phase simulées pour différentes valeurs de V_I sous $I_{Ch,min}$=50µA : C_{Ch}=100pF ; C_C=C_D=1pF ; R_C=100kΩ. *118*
Figure 56 Mesure de la marge de gain pour V_I=1.8V et $I_{Ch,min}$=50µA. *119*
Figure 57 Mesure de la marge de phase pour V_I=1.8V et $I_{Ch,min}$=50µA. *120*
Figure 58 Courbes de gain et de phase simulées pour différentes valeurs de V_I sous $I_{Ch,max}$=150mA : C_{Ch}=100pF ; C_C=C_D=1pF ; R_C=100kΩ. *120*
Figure 59 Mesure de la marge de gain pour V_I=1.8V et $I_{Ch,max}$=150mA. *121*
Figure 60 Mesure de la marge de phase pour V_I=1.8V et $I_{Ch,max}$=150mA. *121*
Figure 61 Courbes de gain et de phase simulées pour différentes valeurs de I_{Ch} sous V_I=1,5V : C_{Ch}=100pF ; C_C=C_D=1pF ; R_C=100kΩ. *122*
Figure 62 Courbes de gain et de phase simulées pour différentes valeurs de R_C sous $I_{Ch,min}$=50µA et V_I=1,6V: C_{Ch}=100pF ; C_C=C_D=1pF. *124*
Figure 63 Courbes de gain et de phase simulées pour différentes valeurs de R_C sous $I_{Ch,max}$=150mA et V_I=1,6V: C_{Ch}=100pF ; C_C=C_D=1pF. *124*
Figure 64 Variation de la marge de phase du système du LDO proposé dans la plage de courant de charge 0-150mA avec différentes techniques de compensation. *126*
Figure 65 Variation de la marge de phase du système du LDO proposé dans la plage des faibles valeurs du courant de charge (0-1000 µA) avec différentes techniques de compensation. *126*
Figure 66 Simulation de la caractéristique V_O=f(V_I) du LDO proposé - Régulation de ligne statique. *128*
Figure 67 Mesure de la valeur de RLDC pour les valeurs minimale et maximale du courant de charge I_{Ch} à partir de la caractéristique V_O=f(V_I) du LDO proposé. *128*
Figure 68 Mesure de la tension de chute V_{DO} à $I_{Ch,max}$=150mA à partir de la caractéristique V_O=f(V_I) du LDO proposé. *129*
Figure 69 Simulation de la régulation de charge statique du régulateur LDO proposé pour toute la plage de fonctionnement de tension d'entrée V_I. *129*
Figure 70 Mesure de la régulation de charge statique : (a) pour $V_{I,min}$=1,33V, (b) pour V_I=1,6V, (c) pour V_I=1.8V. *130*

Figure 71 Variation de la tension de chute V_{DO} du régulateur LDO proposé sur la plage de variation du courant de charge. *130*
Figure 72 Simulation des paramètres liés à la consommation du régulateur LDO proposé : (a) courant tiré de l'alimentation, (b) courant de repos, (c) rendement en courant. *131*
Figure 73 Simulation du rendement du régulateur LDO proposé pour $I_{Ch,max}$=150mA. *132*
Figure 74 Simulation de la régulation de ligne transitoire pour $I_{Ch,min}$=50µA et $I_{Ch,max}$=150mA pour le LDO proposé. *133*
Figure 75 Simulation de la régulation de charge transitoire pour $V_{I,min}$=1,33V et mesure du sous-dépassement minimal et dépassement maximum. *134*
Figure 76 Simulation de la régulation de charge transitoire pour V_I=1,6V et mesure du sous-dépassement minimal et dépassement maximum. *135*
Figure 77 Simulation de la régulation de charge transitoire pour V_I=1,8V et mesure du sous-dépassement minimal et dépassement maximum. *136*
Figure 78 Spectre du PSRR simulé du LDO proposé avec compensation sous la charge minimale et pour différentes valeurs de V_I. *139*
Figure 79 Spectre du PSRR simulé du LDO proposé avec compensation sous la charge maximale et pour différentes valeurs de V_I. *139*
Figure 80 Chemins d'ondulation d'alimentation entrée-sortie dans le LDO proposé. *141*
Figure 81 Schéma équivalent haute fréquence pour l'analyse de l'effet du transistor de passage sur le PSRR. *142*
Figure 82 Schéma de principe de la technique proposée pour l'amélioration du PSRR. *143*
Figure 83 Spectre du PSRR simulé du LDO proposé avec compensation sous la charge minimale et pour différentes valeurs de V_I. *144*
Figure 84 Spectre du PSRR simulé du LDO proposé avec compensation sous la charge maximale et pour différentes valeurs de V_I. *144*
Figure 85 Valeur minimale du PSRR atteinte par le circuit d'amélioration du PSRR proposé. *145*
Figure 86 Layout du régulateur LDO proposée réalisé en technologie CMOS UMC 0,18µm. *147*
Figure 87 Variation de la tension de référence VREF en fonction de la température ($V_{som}=m_1V_{PTAT}+m_2V_{CTAT}$). *151*
Figure 88 Schéma fonctionnel topologique d'une référence de tension de type bandgap de Widlar [128]. *152*
Figure 89 Implémentation de la tension $V_{PTAT}(T)$ [128]. *152*
Figure 90 Générateur de $V_{PTAT}=\Delta V_{BE}$ utilisant un miroir de courant. *154*
Figure 91 Générateur de $V_{PTAT}=\Delta V_{BE}$ utilisant un amplificateur d'erreur et un miroir de courant. *155*
Figure 92 Circuit de la référence de tension de type bandgap à multiplicateur β basée sur un amplificateur opérationnel. *155*
Figure 93 Diagramme bloc de la référence de tension de type bandgap à multiplicateur β basée sur un amplificateur opérationnel. *156*
Figure 94 Référence de tension sous-1V à multiplicateur β basée sur un AO avec diviseur résistif [114]. *158*
Figure 95 Allure typique de V_{REF} en fonction de la température (Coefficient de température). *159*
Figure 96 Allure typique de la variation de V_{REF} en fonction de la tension d'alimentation V_I. *160*
Figure 97 Allure typique du $PSRR_{REF}$ d'une référence de tension. *161*
Figure 98 Mesure du courant de consommation dans une référence de tension. *161*
Figure 99 Circuit de la référence de tension sous-1V proposée. *163*
Figure 100 Amplificateur d'erreur proposé pour la référence de tension. *163*
Figure 101 Variation de la tension V_{EB2} du transistor PNP Q_2 dans la plage de température −40°C -140 °C. . *169*
Figure 102 Modèle équivalent petit-signal hautes fréquences pour le calcul du $PSRR_{REF}$. *170*
Figure 103 Circuit de démarrage de la référence de tension proposée. *176*
Figure 104 Régulation de ligne de la référence de tension proposée à la température nominale. *177*
Figure 105 Régulation de ligne de la référence de tension proposée à la température nominale. *177*
Figure 106 Simulation de la variation de V_{REF} du en fonction de la température. *178*
Figure 107 Mesure du CT(V_{REF}) de la référence de tension proposée pour différentes valeurs de V_I. *178*
Figure 108 Simulation du PSRR de la référence de tension proposée pour différentes valeurs de la tension d'alimentation V_I. *179*

Figure 109 Courant de repos consommé par la référence de tension proposée dans toute la plage de tension d'alimentation à l température nominale 27°C. *180*
Figure 110 Variation du courant de consommation $I_{Q,REF}$ de la référence de tension proposée en fonction de la température pour différentes valeurs de la tension d'alimentation V_I. *180*
Figure 111 Variation de la tension d'offset de l'AE de la référence de tension proposée en fonction de la tension d'alimentation. *181*
Figure 112 Variation de la tension d'offset de l'AE de la référence de tension proposée en fonction de la température. *181*
Figure 113 Caractéristique $V_O=f(V_I)$ du régulateur LDO proposé obtenue avec la référence de tension réelle $V_{REF}=0,6346V$. *182*
Figure 114 Layout de la référence de tension de type bandgap sub-1V proposée. *183*

Liste des tableaux

Tableau 1 Comparaison entre les caractéristiques des régulateurs de tension linéaires et à découpage [27]…. 29
Tableau 2 Spécifications du régulateur LDO proposé. 30
Tableau 3 Spécifications de la référence de tension proposée. 30
Tableau 4 Caractéristiques des régulateurs linéaires en technologie CMOS selon leur classe. 35
Tableau 5 Expressions et ordres de grandeur des paramètres influençant sur la réponse fréquentielle selon la valeur du courant de charge. 53
Tableau 6 Valeurs limites du PSRR du LDO-CI conventionnel pour chaque contribution. 68
Tableau 7 Paramètres de la technologie CMOS UMC 0,18µm. 109
Tableau 8 Paramètres calculés ou extrait par simulation en technologie CMOS UMC 0,18µm. 110
Tableau 9 Spécifications de l'amplificateur d'erreur du LDO proposé. 113
Tableau 10 Dimensions des transistors MOS de l'AE du régulateur LDO proposé. 114
Tableau 11 Spécifications pour le bloc de compensation du LDO proposé. 114
Tableau 12 Valeurs limites des quantités $g_{m,P}$, $r_{o,P}$ et $g_{m,P}R_O$ pour le régulateur LDO proposé. 116
Tableau 13 Dimensionnement des composants du circuit de compensation proposé. 117
Tableau 14 Résultats de la simulation AC en boucle ouverte : $I_{Ch,min}$=50µA, C_{Ch}=100pF, C_C=1pF et R_C=100kΩ. 123
Tableau 15 Résultats de la simulation AC en boucle ouverte : $I_{Ch,max}$=150mA, C_{Ch}=100pF, C_C=1pF et R_C=100kΩ. 123
Tableau 16 Résultats de la simulation AC en boucle ouverte : $I_{Ch,min}$=50µA, C_{Ch}=100pF, C_C=1pF et R_C=150kΩ. 125
Tableau 17 Résultats de la simulation AC en boucle ouverte : $I_{Ch,min}$=50µA, C_{Ch}=100pF, C_C=1pF et R_C=200kΩ. 125
Tableau 18 Résultats de la simulation AC en boucle ouverte pour R_C=150kΩ et R_C=200kΩ: $I_{Ch,max}$=150mA, V_I=1.6V, C_{Ch}=100pF, C_C=1pF. 125
Tableau 19 Valeurs simulées de la régulation de charge statique. 129
Tableau 20 Valeurs simulées des paramètres liés à la consommation et du rendement pour $I_{Ch,max}$=150mA. 131
Tableau 21 Mesures liées à la régulation de ligne transitoire pour $I_{Ch,min}$=50µA et $I_{Ch,max}$=150mA. 133
Tableau 22 Mesures liées à la régulation de charge transitoire pour $V_{I,min}$=1,33V, V_I=1,6V et V_I=1,8V. 136
Tableau 23 Performances du régulateur LDO proposé et comparaison avec des régulateurs LDO adressant une bonne réponse transitoire et un faible courant de repos. 137
Tableau 24 Valeurs du PSRR du LDO proposé avec compensation. 140
Tableau 25 Valeurs du PSRR du LDO proposé avec circuit d'amélioration du PSRR. 145
Tableau 26 Performances du régulateur LDO proposé et comparaison avec des régulateurs LDO adressant un bon PSRR en moyennes et hautes fréquences. 146
Tableau 27 Dimensionnement des composants de l'AO de la BGVR sous-1V proposée. 164
Tableau 28 Dimensionnement des transistors du bloc d'amélioration du $PSRR_{REF}$. 175
Tableau 29 Valeurs de V_{REF} pour différentes valeurs de la tension d'alimentation d'entrée VI à la température nominale. 177
Tableau 30 Valeurs de CT(V_{REF}) de la référence de tension proposée pour différentes valeurs de V_I. 178
Tableau 31 Valeurs mesurées du PSRR de la référence de tension proposée pour différentes valeurs de la tension d'alimentation V_I. 179
Tableau 32 Valeurs mesurées du courant de repos $I_{Q,REF}$ de la référence de tension proposée pour différentes valeurs de V_I. 180
Tableau 33 Performances de la référence de tension proposée et comparaison avec des références de tensions adressant un faible coefficient de température et un PSRR supérieur. 183

Liste des symboles

A_E : Surface de l'émetteur d'un transistor bipolaire

A_I : Gain de l'amplificateur de courant

A_P : Gain intrinsèque statique du transistor de passage

A_{v0} : Gain statique en boucle ouverte de l'amplificateur d'erreur du LDO

$A_{v0,REF}$: Gain statique en boucle ouverte de l'amplificateur d'erreur de la référence de tension

$A_{v,AE}$: Fonction de transfert en boucle ouverte de l'amplificateur d'erreur du LDO

$A_{v,REF}$: Fonction de transfert en boucle ouverte de l'amplificateur d'erreur de la référence de tension

C_C : Capacité de compensation

C_{Ch} : Capacité de charge

C_{db} : Capacité inter-électrode drain-substrat

C_{gd} : Capacité inter-électrode grille-drain

C_{gs} : Capacité inter-électrode grille-source

$C_{G,P}$: Capacité totale connectée entre la grille du transistor de passage et la masse

C_M : Capacité de Miller utilisée dans la compensation de l'amplificateur d'erreur de la référence de tension proposée

$C_{par,G}$: Capacité parasite totale à la sortie de l'amplificateur d'erreur du LDO en excluant les capacités parasites du transistor de passage

$C_{par,O}$: Capacité parasite totale à la sortie du régulateur LDO

$C_{O,AE}$: Capacité totale à la sortie de l'AE pour le LDO conventionnel

$C_{O1,AE}$: Capacité totale à la sortie du 1er étage de l'AE pour le LDO proposé

$C_{O2,AE}$: Capacité totale à la sortie du 2ème étage de l'AE pour le LDO proposé

$C_{OD,n}$: Capacité parasite totale à la sortie du différentiateur de type-NMOS

$C_{OD,p}$: Capacité parasite totale à la sortie du différentiateur de type-PMOS

C'_{ox} : Capacité surfacique de l'oxyde de grille

D : Rapport de tailles entre le transistor de passage M_P principale et le transistor de passage réplique M_{PR}

f_{npd} : Fréquence du pôle non dominant

f_{pd} : Fréquence du pôle dominant

f_T : Fréquence de transition (fréquence à gain unité)

$g_{m,AE}$: Transconductance de l'AE du LDO conventionnel

$g_{m1,AE}$: Transconductance du 1er étage de l'AE du LDO proposé

$g_{m2,AE}$: Transconductance du 2ème étage de l'AE du LDO proposé

g_{mi} : Transconductance du transistor MOS M_i

$g_{m,P}$: Transconductance du transistor de passage

g_{oi} : Conductance source-drain en régime dynamique du transistor MOS M_i

H_0 : Gain statique du LDO non compensé

$H_{0,c}$: Gain statique du régulateur LDO compensé

$H_{bo,nc}$: Fonction de transfert en boucle ouverte non compensée du régulateur LDO

$H_{bo,c}$: Fonction de transfert en boucle ouverte compensée du régulateur LDO

I_C : Courant du collecteur d'un transistor bipolaire

I_{Ch} : Courant de charge

$I_{Ch,max}$: Courant de charge maximum

$I_{Ch,min}$: Courant de charge minimum

I_D : Courant de drain d'un transistor MOS

I_{D0} : Courant de fuite drain-substrat d'un transistor MOS

$I_{D,P}$: Courant de drain du transistor de passage M_P

I_{gnd} : Courant de masse qui circule dans les résistances de contre-réaction du LDO

I_I : Courant d'entrée tiré de l'alimentation

I_O : Courant fourni à la sortie

I_{Pol} : Courant de polarisation de l'AE du LDO

$I_{Pol,c}$: Courant de polarisation du circuit de compensation

I_Q : Courant de repos du régulateur LDO

$I_{Q,REF}$: Courant de repos consommé par la référence de tension

I_S : Courant de saturation de la jonction base-émetteur d'un transistor bipolaire

J_S : Densité de courant de saturation de la jonction base-émetteur d'un transistor bipolaire

k_B : Constante de Boltzmann

K_n' : Facteur de transconductance du transistor NMOS

K_p' : Facteur de transconductance du transistor PMOS

L : Longueur de la grille du transistor MOS

L_{min} : Longueur minimale de la grille autorisée par la technologie

L_P : Longueur du transistor de passage

L_r : Longueur de recouvrement d'un transistor MOS

M_i : Transistor MOS numéro i

M_P : Transistor de passage

M_Φ : Marge de phase

M_G : Marge de phase

N : Rapport de surfaces d'émetteur entre de deux transistors bipolaires

$p_{c1,2}$: Pôles complexes conjugués

p_d : Pôle dominant

p_i : Pôle numéro i

p_{nd} : Pôle non dominant

P_d : Puissance dissipée

P_O : Puissance fournie à la sortie

P_I : Puissance d'entrée tirée de l'alimentation

$PSRR_{AE}$: PSRR de l'amplificateur d'erreur

$PSRR_{DC}$: Valeur statique du PSRR en basse fréquence

$PSRR_{REF}$: PSRR de la référence de tension

q : Charge élémentaire

Q : Facteur de qualité des pôles complexes conjugués

Q_i : Transistor bipolaire numéro i

R_C : résistance de compensation

R_{Ch} : Résistance de charge

R_{FB1}, R_{FB2} : Résistances de contre-réaction (feedback)

$R_{G,P}$: Résistance équivalente connectée entre la grille du M_P et la masse

R_i : Résistance numéro i

$R_{i,CA}$: Résistance d'entrée de l'amplificateur de courant

R_M : Résistance d'annulation du zéro réel positif utilisée dans la compensation de l'AE de la référence de tension

R_O : Résistance de sortie du régulateur LDO

$R_{O,AE}$: résistance de sortie de l'amplificateur d'erreur du LDO conventionnel

$R_{O1,AE}$: résistance de sortie du 1er étage de l'amplificateur d'erreur du LDO proposé

$R_{O2,AE}$: résistance de sortie du 2ème étage de l'amplificateur d'erreur du LDO proposé

$R_{o,CA}$: Résistance de sortie de l'amplificateur de courant

r_{oi} : Résistance drain-source en régime dynamique du transistor MOS M_i

$r_{o,P}$: Résistance source-drain en régime dynamique du transistor de passage

$R_{ON,P}$: Résistance du transistor de passage en régime linéaire

RC_{DC} : Régulation de charge statique

RL_{DC} : Régulation de ligne statique

s : Variable complexe de Laplace

$SR_{G,P}$: Vitesse de balayage à la grille du transistor de passage M_P

T : Température absolue du système

t_{ox} : Epaisseur de l'oxyde de grille

V_{BS} : Tension entre le substrat et la source d'un transistor NMOS

V_{BE} : Tension entre la base et l'émetteur d'un transistor NPN

V_{DO} : Tension de chute (tension de Drop-Out)

V_{DS} : Tension entre le drain et la source d'un transistor NMOS

$V_{DS,sat}$:Tension de saturation d'un transistor NMOS

V_E^+ : Tension de l'entrée non inverseuse de l'AE du LDO

v_e^+ : Partie variable de la tension d'entrée non inverseuse de l'AE du LDO

V_E^- : Tension de l'entrée inverseuse de l'amplificateur d'erreur

v_e^- : Partie variable de la tension d'entrée inverseuse de l'AE du LDO

V_{EB} : Tension entre l'émetteur et la base d'un transistor PNP

$V_{G,P}$: Tension entre la grille du transistor de passage et la masse

$v_{g,P}$: Partie variable de la tension entre la grille et la masse en régime petit-signal

V_{GS} : Tension entre la grille et la source d'un transistor MOS

V_{FB} : Tension de contre-réaction (tension de retour)

v_{fb} : Partie variable de la tension de retour en régime petit-signal

V_I : Tension d'alimentation d'entrée

v_i : Partie variable de la tension d'alimentation d'entrée en régime petit-signal

$V_{I,min}$: Tension d'entrée minimale (tension de déchet)

$V_{I,max}$: Tension d'entrée maximale

V_{REF} : Tension de sortie de la référence

v_{ref} : Partie variable de la tension de référence en régime petit-signal

V_O : Tension de sortie du régulateur LDO

v_o : Partie variable de la tension de sortie du LDO en régime petit-signal

$V_{O,nom}$: Valeur nominale de la tension de sortie régulée

V_{pol} : Tension de polarisation

V_{SB} : Tension entre la source et le substrat d'un transistor PMOS

V_{SD} : Tension entre la source et le drain d'un transistor PMOS

$V_{SD,sat}$: Tension de saturation d'un transistor PMOS

V_{SG} : Tension entre la source et la grille d'un transistor PMOS

$V_{t0,n}$: Tension de seuil d'un transistor NMOS pour $V_{SB}=0$

$V_{t0,p}$: Tension de seuil d'un transistor PMOS pour $V_{SB}=0$

U_T : Tension thermodynamique

W : Largeur de la grille d'un transistor MOS

W_P : Largeur de la grille du transistor de passage

z_D : Zéro réel positif

z_i : Zéro numéro i

z_G : Zéro réel négatif

Z_O : Impédance de sortie du régulateur LDO

Δt_d : Temps de descente de l'échelon de I_{Ch} (ou de l'échelon de V_I)

Δt_m : Temps de montée de l'échelon de de I_{Ch} (ou de l'échelon de V_I)

$\Delta v_{o,min}$: Sous-dépassement minimum

$\Delta v_{o,max}$: Dépassement maximum

$\Delta V_{O,RL}$: Variation de la tension de sortie due à la régulation de ligne

$\Delta V_{O,RC}$: Variation de la tension de sortie due à la régulation de charge

ε_0 : Permittivité diélectrique du vide

ε_{ox} : Permittivité de l'oxyde de grille

μ_n : Mobilité des électrons (porteurs de charge pour un transistor NMOS)

μ_p : Mobilité des trous (porteurs de charge pour un transistor PMOS)

λ : Facteur de la modulation de longueur du canal (Effet Early)

γ : facteur de l'effet substrat

β_R : Facteur de contre-réaction

ω_{GBP} : Pulsation du produit gain-bande passante

ω_T : Pulsation de transition (pulsation à gain unité)

$\omega_{z,D}$: Pulsation du zéro réel positif

ω_{zi} : Pulsation du zéro numéro i

$\omega_{z,G}$: Pulsation du zéro réel négatif

ω_{pd} : Pulsation du pôle dominant

ω_{pi} : Pulsation du pôle numéro i

ω_{pnd} : Pulsation du pôle non dominant

ζ : facteur d'amortissement des pôles complexes conjugués

η : Rendement en puissance du régulateur LDO

η_I : Rendement en courant du régulateur LDO

Liste des acronymes

AC : Alternatif Current (Courant alternatif)

AE : Amplificateur d'Erreur (Error Amplifier)

AO : Amplificateur Opérationnel (Operational Amplifier)

BGVR : Bandgap Voltage Reference (Référence de tension de type bandgap)

BJT : Bipolar Junction Transistor (Transistor bipolaire à jonction)

CCI : First-generation Current Conveyor (Convoyeur de Courant de première génération)

CMOS : Complementary Metal Oxide Semiconductor (Oxyde métallique semi-conducteur Complémentaire)

CT : Temperature Coefficient (Coefficient de température)

CTAT : Complementary To the Absolute Temperature (Complémentaire à la température absolue)

CPU : Central processing unit (Unité centrale de traitement)

DC : Direct Current (Courant continu)

DRAM : Dynamic Random Access Memory (Mémoire vive dynamique)

DSP : Digital signal processing (Traitement numérique du signal)

EEPROM : Electrically-Erasable Programmable Read-Only Memory (Mémoire morte effaçable électriquement et programmable)

EMI : Electromagnetic Interference (Interférences électromagnétiques)

FOM : Figure of merit (Facteur de mérite)

FVF : Flipped Voltage Follower (Suiveur de tension inversé)

HDO : High Drop-Out (Régulateur de tension linéaire à forte chute)

IoT : Internet of Things (Internet des objets)

LCD : Liquid Crystal Display (Affichage à cristaux liquides)

LDO : Low Drop-Out (Régulateur de tension linéaire à faible chute)

LDO-CE : LDO à compensation externe (Externally Compensated LDO)

LDO-CI : LDO à compensation interne (Internally Compensated LDO)

MOS : Metal Oxide Semiconductor (Oxyde métallique semi-conducteur)

MOSFET : Metal Oxide Semiconductor Field Effect Transistor (Transistor à effet de champ à grille isolée)

PCB : Printed circuit board (circuit imprimé)

PDK : Process Design Kit (Kit de conception du processus)

PLL : Phase Locked Loop (Boucle à verrouillage de phase)

PMIC : Power Management Integrated Circuit (Circuit intégré de gestion de l'alimentation)

PSRR : Power Supply Ripple Rejection (Réjection d'ondulation de l'alimentation)

PTAT : Proportional To the Absolute Temperature (Proportionnel à la température absolue)

PWM : Pulse Width Modulation (Modulation de largeur d'impulsion)

RF : Radio frequency (Radio-fréquence)

RFID : Radio frequency identification (Radio-identification)

SoC : System On a Chip (Système sur une puce)

SR : Slew Rate (vitesse de balayage)

SRAM : Static Random Access Memory (Mémoire vive statique)

UMC : United Microelectronics Corporation

Introduction générale

La fourniture et le conditionnement de l'énergie sont les fonctions les plus fondamentales d'un système électrique. Une application de chargement, qu'il s'agisse d'un téléphone cellulaire, d'un téléavertisseur ou d'un nœud de capteur sans fil, ne peut pas se maintenir sans énergie et ne peut pas remplir pleinement ses fonctions sans une alimentation stable. Le fait est que les transformateurs, les générateurs, les batteries et autres alimentations hors ligne subissent des variations de tension et de courant substantielles dans le temps et dans une large gamme de conditions de fonctionnement. Ils sont normalement bruyants et instables non seulement en raison de leur nature inhérente, mais également parce que les circuits de commutation haute puissance tels que les unités centrales de traitement (CPU) et les circuits de traitement numérique du signal (DSP) les chargent généralement. Ces charges, à évolution rapide, provoquent des excursions transitoires dans l'alimentation supposée sans bruit, dont les résultats finaux sont des chutes de tension indésirables et des pics de fréquence là où seule une composante continue doit exister. Le rôle du régulateur de tension est de convertir ces alimentations imprévisibles et bruyantes en tensions stables, constantes, précises et indépendantes de la charge, atténuant ces fluctuations indésirables à des niveaux plus bas et plus acceptables.

1 Contexte et motivation

Le programme de cette thèse de Doctorat concerne l'étude analytique et la conception de deux circuits intégrés analogiques indispensables dans le domaine de la microélectronique de puissance et plus précisément celui du circuit intégré de gestion de l'alimentation (PMIC) [1], et leurs implémentation en technologie du métal oxyde semi-conducteur complémentaire (CMOS); un régulateur de tension linéaire à faible chute (LDO) [2] et une référence de tension de type bandgap [3]. L'application cible des circuits intégrés conçus est l'Internet des objets (IoT) émergent [4]-[9]. L'amélioration des performances de stabilité et de réponse transitoire d'une part, et l'amélioration de la réjection d'ondulation de l'alimentation (PSRR) d'une autre part, forment un véritable défi dans la conception du régulateur LDO proposé.

La figure (1) illustre un schéma de principe simplifié du système électronique de l'Internet des objets où le circuit intégré de gestion de l'alimentation est un bloc fonctionnel indispensable [1]. Il sert à fournir des tensions d'alimentation de haute qualité pour les circuits analogiques, les circuits à signaux mixtes, la radiofréquence (RF) et le numérique, par

exemple les convertisseurs des données [10] et [11], la boucle à verrouillage de phase (PLL) [12], le microprocesseur [13] et [14], les mémoires [15] et [16] etc. D'un intérêt particulier, le PMIC repose sur la co-conception du régulateur de commutation [17] et du régulateur LDO où le régulateur de commutation doit présenter un rendement énergétique intrinsèquement élevé (par exemple > 85%) au vu des éléments externes de stockage d'énergie (le condensateur et la bobine). Cependant, il y a un bruit de commutation important (à sa fréquence de fonctionnement) en raison de la nature de l'opération de commutation. Le régulateur LDO, grâce à son fonctionnement linéaire, supprime le bruit de commutation pour fournir une alimentation bien régulée. Cependant, son rendement est souvent compromis en raison de sa tension de chute.

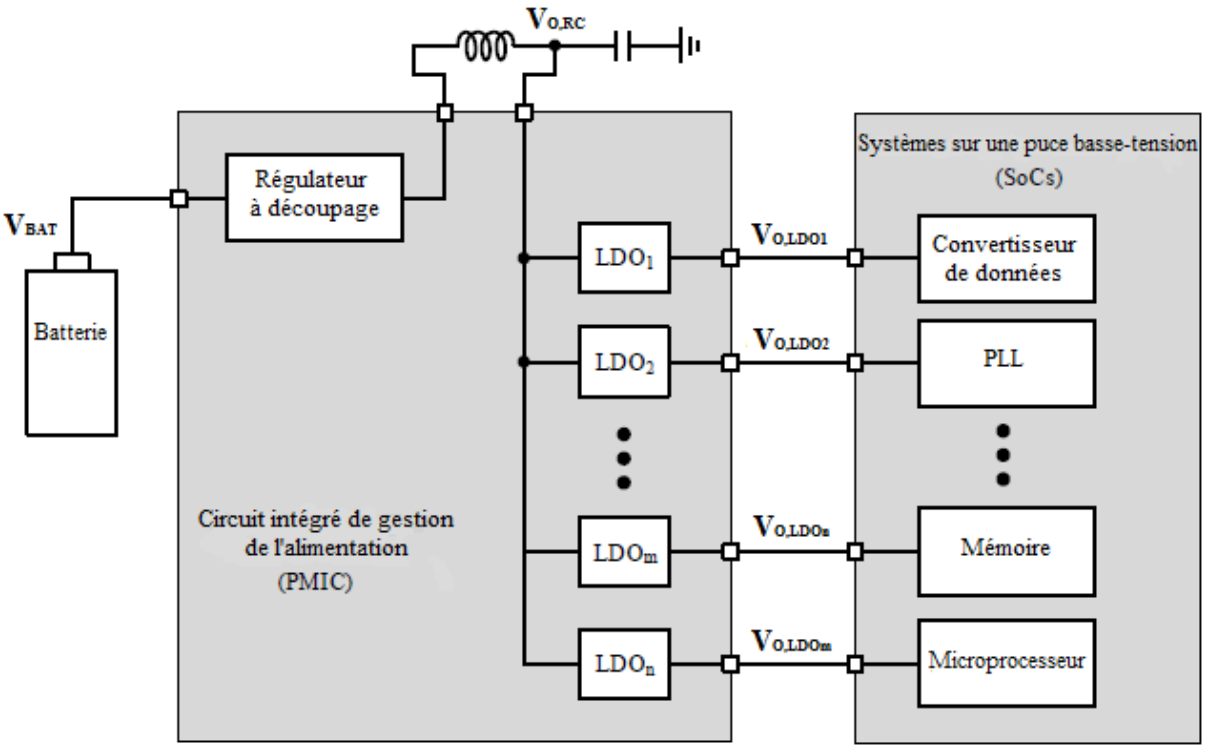

Figure 1 Schéma de principe simplifié de l'électronique dans les systèmes sur une puce de l'Internet des Objets.

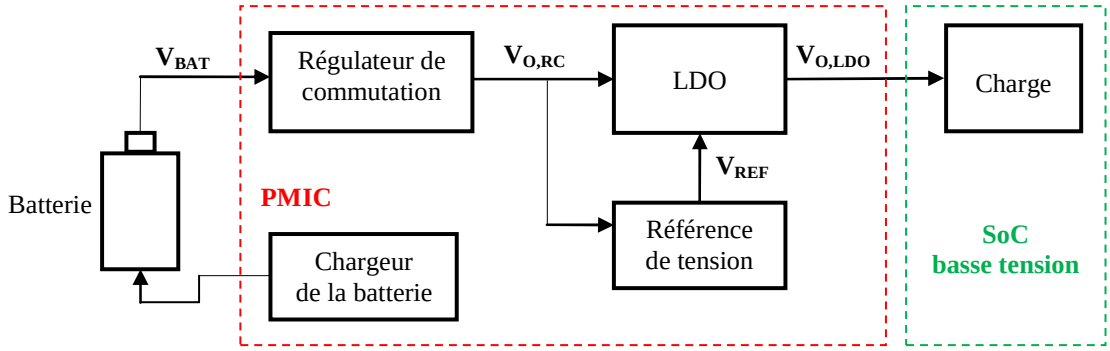

Figure 2 Module basique d'un PMIC.

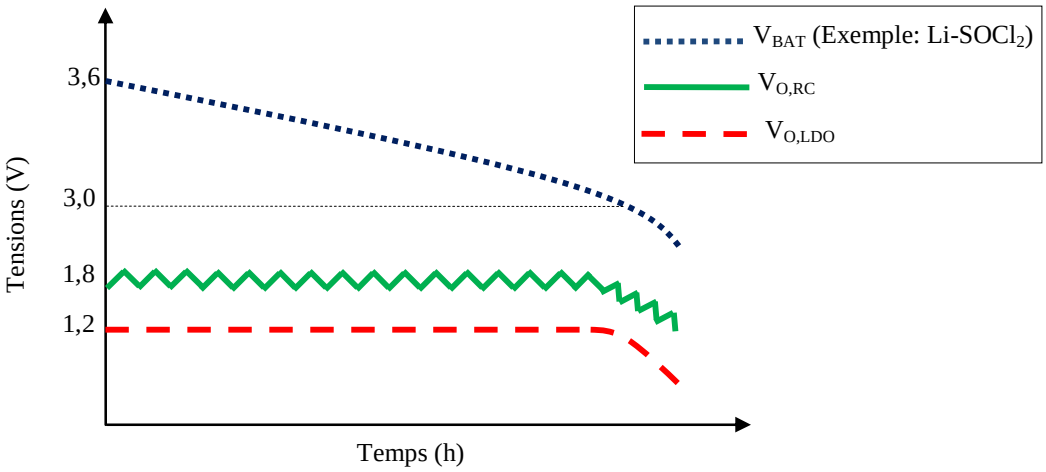

Figure 3 Allures des différentes tensions d'un module PMIC sous une charge constante.

La figure (2) représente le schéma de principe d'un module basique du circuit intégré de gestion de l'alimentation comprenant un seul régulateur LDO où la charge représente un système sur une puce basse tension à alimenter. Comme le montre les allures des tensions représentées sur la figure (3), la tension de la batterie V_{BAT} se décharge quasi-linéairement avec le temps, alors que les différentes fonctions d'un SoC demandent des alimentations fixes et stables avec le temps d'où la nécessité des convertisseurs de puissance statiques. Le régulateur de commutation abaisse la tension de la batterie et fournie une tension $V_{O,RC}$ régulée mais elle contient une forte ondulation (supérieure à 50mV pour la valeur crête à crête) à cause de la fréquence de fonctionnement élevée (de l'ordre de 10MHz) [18]. Cette tension constitue la tension d'alimentation du régulateur LDO, ce dernier baisse à nouveau cette tension et fournie une tension $V_{O,LDO}$ régulée et moins bruitée qui alimente un circuit intégré du système sur une puce (charge). Du fait que la sortie du régulateur de commutation alimente à la fois le régulateur LDO et la référence de tension, les tensions $V_{O,LDO}$ et V_{REF}

seront affectées en hautes fréquences par le bruit de commutation d'où la nécessité de concevoir des circuits de régulation à haute valeur du PSRR.

Pour les systèmes sur une puce de l'internet des objets, les attributs d'intérêt sont une faible tension de chute et un PSRR élevé pour le régulateur LDO, tandis qu'un faible coefficient de température (CT), un PSRR élevé et une faible tension d'alimentation représentent les attributs d'intérêt pour la référence de tension.

2 Type des convertisseurs de tension statiques

Les dispositifs chargés de fournir et de conditionner l'énergie ou la puissance peuvent être classés en trois catégories principales. La première catégorie comprend ceux qui sont appelés convertisseurs DC-DC à capacités commutées, également connus sous le nom de régulateurs à pompes de charge car ils sont similaires à une pompe qui force la charge à circuler de l'entrée vers la sortie, en utilisant des condensateurs pour le stockage intermédiaire de l'énergie. Ils sont basés sur un transfert de charge entre des condensateurs pour convertir la tension d'entrée en une tension de sortie régulée [19]-[21]. La deuxième catégorie est connue sous le nom de régulateurs de commutation appelés aussi convertisseurs DC-DC à stockage inductif. Ils utilisent une bobine pour le stockage intermédiaire de l'énergie qui est ensuite transférée à la charge [17], [18] et [22]-[24]. Enfin, la dernière catégorie est nommée régulateurs linéaires car ils sont basés sur un élément actif placé en série entre l'entrée et la charge, qui adapte dynamiquement la tension entre ses bornes afin de fournir une tension de sortie régulée [25] et [26]. Nous allons s'intéresser, au régulateur de tension linéaire et plus précisément à celui qui se caractérise par une faible chute de tension entre l'entrée et la sortie connu sous le nom de régulateur LDO [2].

Le tableau (1) donne une comparaison entre les performances et les caractéristiques conventionnelles des trois catégories des régulateurs de tension et leurs applications [27]. Dans ce tableau, on peut observer comment l'avantage majeur des régulateurs linéaires est une tension de sortie à faible bruit et bien régulée. De plus, il est possible d'économiser de la surface et de la complexité des circuits imprimés (PCB), car ils nécessitent moins de composants externes que leurs homologues de commutation. Néanmoins, les régulateurs linéaires présentent deux inconvénients majeurs. Le premier est un rendement inférieur à celui des régulateurs de commutation, bien que lorsque la tension d'entrée non régulée est proche de la tension de sortie (c'est-à-dire que la tension de chute est faible), leur efficacité peut

Tableau 1 Comparaison entre les caractéristiques des régulateurs de tension linéaires et à découpage [27].

	Catégorie du régulateur		
Caractéristiques	**Linéaire**	**A capacités commutées**	**A stockage inductif**
Type de conversion possible	Tension de sortie inférieure à la tension d'entrée et de même signe (positive).	- Tension de sortie inférieure à la tension d'entrée, - Tension de sortie supérieure à la tension d'entrée, - Tension de sortie négative.	- Tension de sortie inférieure à la tension d'entrée, - Tension de sortie supérieure à la tension d'entrée, - Tension de sortie négative.
Courant fourni à la sortie	Faible / Moyen ≤500mA	Faible / Moyen ≤500mA	Grand >500mA
Rendement	Faible / Moyen	Moyen	Elevé
Bruit	Faible	Elevé	Elevé (EMI)
Régulation	Elevé (ne nécessite pas un circuit de commande)	Médiocre (nécessite un circuit de commande PFM,...)	Moyenne (nécessite un circuit de commande PWM,…)
Surface occupée	Petite	Moyenne / grande	Moyenne / grande
Coût	Petit	Moyen	Grand
Applications	Cellules analogiques, RF,…	DRAM, EEPROM, USB OTG, LCD, RFID,…	Microprocesseurs, Cellules numériques, SRAM, USB type-C,...

encore être élevée. La seconde tient au fait que la tension de sortie ne peut jamais être supérieure à la tension d'entrée non régulée. Dans tous les cas, les régulateurs linéaires sont massivement mis en œuvre dans les applications hautes performances où une réponse transitoire rapide aux variations de la tension d'entrée et du courant de charge est requise, ainsi qu'une forte réjection des perturbations de l'alimentation.

3 Objectifs de la thèse

Les objectifs spécifiques au régulateur LDO sont:

- L'étude analytique de la structure conventionnelle d'un régulateur LDO sans condensateur externe et la détermination de ses limites en termes de stabilité, de réponse transitoire et de PSRR.
- Révision des méthodes récentes proposées pour l'amélioration des performances de la stabilité, de la réponse transitoire et du PSRR.
- Conception d'un régulateur LDO complètement intégré en technologie CMOS UMC 0,18µm basse tension répondant aux spécifications présentées dans le tableau (2).

- Simulation des paramètres pour vérifier les performances spécifiées du régulateur LDO proposé.

Les objectifs spécifiques à la référence de tension sont :

- L'étude analytique du circuit conventionnel d'une référence de tension générant une valeur inférieure à 1V.
- Conception d'une référence de tension générant une valeur inférieure à 1V en technologie CMOS UMC 0,18µm basse tension, répondant aux spécifications données par le tableau (3).
- Simulation des paramètres pour achever les performances spécifiées du circuit proposé.
- Vérification du fonctionnement de la référence de tension dans le régulateur LDO.

Tableau 2 Spécifications du régulateur LDO proposé.

Paramètres	**Spécifications**
Tension de sortie nominale $V_{O,nom}$	1,2V
Tension de chute (le dropout)	≤ 150mV
Courant de charge maximum $I_{Ch,max}$	150mA
PSRR	≤ −60dB pour 10Hz à 10MHz
Dépassement/sous-dépassement	≤ à 5% de la valeur régulée de V_O
Capacité de sortie	Intégrée (sur puce) et ≤ 100pF
Puissance consommée (sans référence de tension)	≤ 150µW

Tableau 3 Spécifications de la référence de tension proposée.

Paramètres	**Spécifications**
Tension de sortie	• Arbitraire entre 0,6V et 0,7V • Conditionnée par la saturation des transistors de l'amplificateur d'erreur du LDO
Plage de température	−40°C à 140°C
Coefficient de température	≤ 25ppm/°C
PSRR	≤−60dB pour 10Hz à 10MHz
Tension d'alimentation minimale	≤ 1,2V
Puissance consommée	≤ 150µW

4 Contributions de la thèse

Les contributions apportées dans cette thèse de doctorat et rapportées dans le présent document sont conformes aux objectifs décrits ci-dessus. Les contributions globales concernent la conception de deux circuits intégrés indispensables dans le PMIC en technologie CMOS UMC 0,18µm:

- Un régulateur LDO à haute stabilité, de bonne réponse transitoire et à valeurs supérieures du PSRR.
- Une référence de tension de type bandgap sub-1V à faible coefficient de température et à haute valeur du PSRR.

Les contributions spécifiques relatives à la conception du régulateur LDO sont:

i. L'étude analytique complète du régulateur linéaire de type LDO comprenant les définitions de ces paramètres caractéristiques et une révision des méthodes d'amélioration de ses performances de stabilité, de réponse transitoire et du PSRR.

ii. La proposition d'un circuit de compensation robuste qui améliore à la fois la stabilité et la réponse transitoire et qui est basé sur le couplage capacitif et l'amplification dynamique du courant de polarisation.

iii. La proposition d'un circuit d'amélioration du PSRR basé sur l'approche d'annulation de l'ondulation par action anticipative et la technique du transistor de passage réplique.

Les contributions spécifiques relatives à la conception de la référence de tension de type bandgap sont:

a. La proposition d'une architecture à haute PSRR qui permet de réguler la tension d'alimentation de l'amplificateur d'erreur et du bloc générateur de la tension de référence.

b. La modification du diviseur résistif du bloc générateur de la tension de référence à partir de la structure conventionnelle sub-1V afin de réduire l'offset pour augmenter la précision de la valeur générée à la sortie.

5 Organisation de la thèse

Le reste de ce mémoire de thèse a été organisé de la manière suivante :

Un chapitre 1, qui concerne le régulateur linéaire de type LDO, où nous avons présenté son principe de fonctionnement, les définitions de ses paramètres clés, l'analyse de la stabilité, du

PSRR et de la réponse transitoire et nous avons montrés les limitations de ses trois performances pour la condition sur la charge dans la structure conventionnelle. A la fin de ce chapitre, nous avons présenté une révision des méthodes récentes pour l'amélioration de la stabilité, du PSRR et de la réponse transitoire.

Un chapitre 2, où nous avons proposé une structure complètement intégrée d'un régulateur LDO, que nous avons conçu en technologie CMOS UMC 0,18µm basse tension. Une analyse détaillée de la stabilité a été établie pour montrer la robustesse du réseau de compensation proposé qui contribue à la fois à l'amélioration de la stabilité et de la réponse transitoire. Puis, une analyse du PSRR est donnée pour montrer la contribution du bloc d'amélioration du PSRR ajouté. En suite, les résultats de simulation du LDO avec une tension de référence idéale sont présentés ainsi que le layout du LDO est réalisé, puis une comparaison avec des travaux dans le même domaine est donnée. A la fin, une conclusion du chapitre a été ajoutée pour rappeler des performances obtenues pour le régulateur LDO proposé.

Un chapitre 3, qui a été consacré à la référence de tension et plus précisément à celle de type bandgap où on a rappelé de son principe de fonctionnement, puis une analyse de la structure conventionnelle générant une valeur inférieure à 1V a été présentée pour montrer la condition d'obtention d'une tension indépendante de la température afin d'achever un coefficient de température faible. Puis nous avons proposé la référence de tension de type bandgap sub-1V à multiplicateur β basée sur un amplificateur opérationnel et un diviseur de tension résistif. Le circuit de la référence de tension proposé a été conçu en technologie CMOS UMC 0,18µm basse tension. Une analyse détaillée du bloc générateur de la tension de référence inférieure à 1V a été établie pour montrer la contribution du pont diviseur résistif proposé dans la réduction de l'effet indésirable de la tension de décalage V_{OS} de l'amplificateur d'erreur. Puis une analyse du PSRR est donnée pour montrer la contribution du bloc d'amélioration du PSRR dans l'augmentation de la valeur de cette performance. Après, les résultats de simulation sont présentés, le layout du circuit est donné et une comparaison avec des travaux connexes récents a été insérée. La vérification du fonctionnement de la référence de tension dans le régulateur LDO a été mise en évidence dans ce chapitre.

A la fin de ce mémoire de thèse, nous avons présenté une conclusion générale pour rappeler des contributions et des performances des deux circuits intégrés proposés aussi que leurs limitations. Puis des perspectives pour des futurs travaux ont été mises au point.

Chapitre 1 : Régulateur LDO en technologie CMOS - Définitions et analyse des performances

Ce chapitre a été consacré à la révision des régulateurs linéaires de type LDO, où on a donné les définitions de ces paramètres, l'analyse des performances de la structure conventionnelle sans condensateur externe d'un tel type de régulateur linéaire, à savoir la stabilité, la réponse transitoire et le PSRR. Ainsi, on a mis en point l'état de l'art des techniques et des méthodes récentes qui visent à améliorer ces performances, tout en déterminant leurs avantages et leurs limites, afin de les comparées avec le régulateur LDO proposé dans cette thèse qui sera l'objet du deuxième chapitre.

1 Régulateur de tension linéaire de type LDO en technologie CMOS

1.1 Principe d'un régulateur de tension linéaire

Un régulateur de tension linéaire est un circuit électronique qui fournie à sa sortie une tension régulée V_O inférieure à la tension V_I appliquée à son entrée. Il agit comme une résistance contrôlable R_{ON} qui forme un diviseur de tension avec une charge résistive R_{Ch} comme le montre la figure (4.a). La tension de sortie est donnée par :

$$V_O = \frac{R_{Ch}}{R_{Ch} + R_{ON}}.V_I \tag{1.1}$$

Dans un circuit intégré de gestion de l'alimentation, la tension d'entrée V_I, qui varie en fonction de temps, provient d'un convertisseur de commutation et par conséquent elle contient des ondulations. Dans le but de garder la tension de sortie V_O constante, la résistance R_{ON} exprimée par l'équation (1.2) doit être contrôlée de façon que V_S soit égale à la valeur désirée régulée comme il est illustré dans la figure (4.b).

$$R_{ON} = R_{Ch}.(\frac{V_I - V_O}{V_O}) \tag{1.2}$$

La différence de tension $V_I - V_O$ aux bornes de la résistance R_{ON} est appelée la tension de chute (ou tension de drop-out) notée V_{DO} et sa valeur détermine la tension minimale requise à

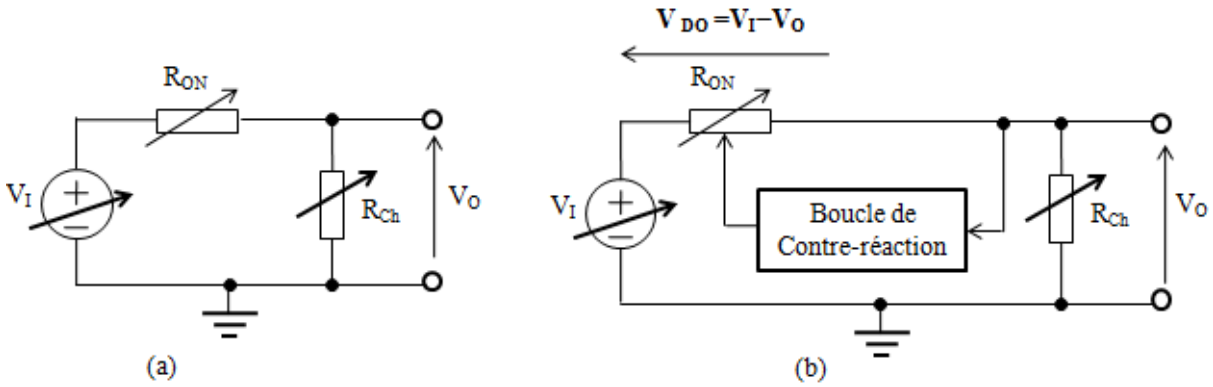

Figure 4 Schéma de principe de la régulation linéaire.

l'entrée du régulateur pour qu'il fonctionne correctement et aussi elle limite la puissance minimale dissipée par ce même régulateur d'où l'importance de ce paramètre. Le circuit de contre-réaction est composé d'un amplificateur opérationnel qui joue le rôle d'amplificateur d'erreur (AE), d'un diviseur de tension résistif et d'une référence de tension.

La figure (5) représente le schéma block d'un régulateur de tension linéaire classique. L'élément de passage, appelé aussi élément de puissance, est implémenté par un transistor MOS ou un transistor bipolaire suivant la tension de chute désirée [2]. Le rôle de l'élément de puissance est de fournir le courant nécessaire I_O à la charge qui peut être résistive ou capacitive ou les deux à la fois et cela dépend de l'application où il est utilisé le régulateur. Signalons qu'en régime permanent, le courant de sortie I_O fourni par le régulateur est égal au courant I_{Ch} qui circule dans la résistance de charge R_{Ch} car le courant qui circule dans le condensateur de charge C_{Ch} est nul. Le diviseur de tension composé des résistances de contre-

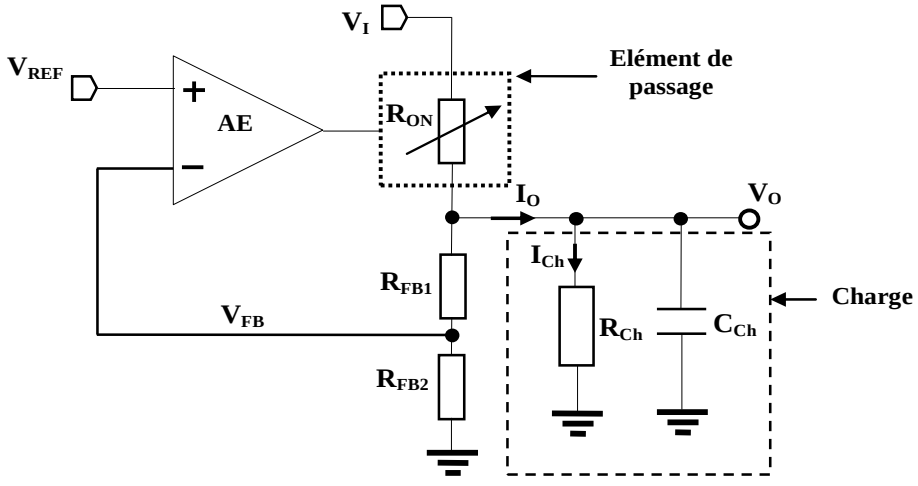

Figure 5 Diagramme bloc d'un régulateur de tension linéaire.

réaction R_{FB1} et R_{FB2} baisse la tension V_O à une tension V_{FB}, cette dernière est comparée avec une tension de référence V_{REF} par un amplificateur opérationnel (AE) et module la tension de commande de l'élément de passage, de sorte que V_O soit maintenue constante, indépendamment de la charge et de la tension d'entrée.

1.2 Classe des régulateurs linéaires

Selon la tension de chute, les régulateurs de tensions linéaires sont classés en deux catégories:

- Régulateur de tension linéaire à haute chute (régulateur HDO) présenté sur la figure (6.a),
- Régulateur de tension linéaire à faible chute (régulateur LDO) présenté sur la figure (6.b).

Le tableau (4) résume les caractéristiques de ces deux classes de régulateurs linéaires en technologie CMOS.

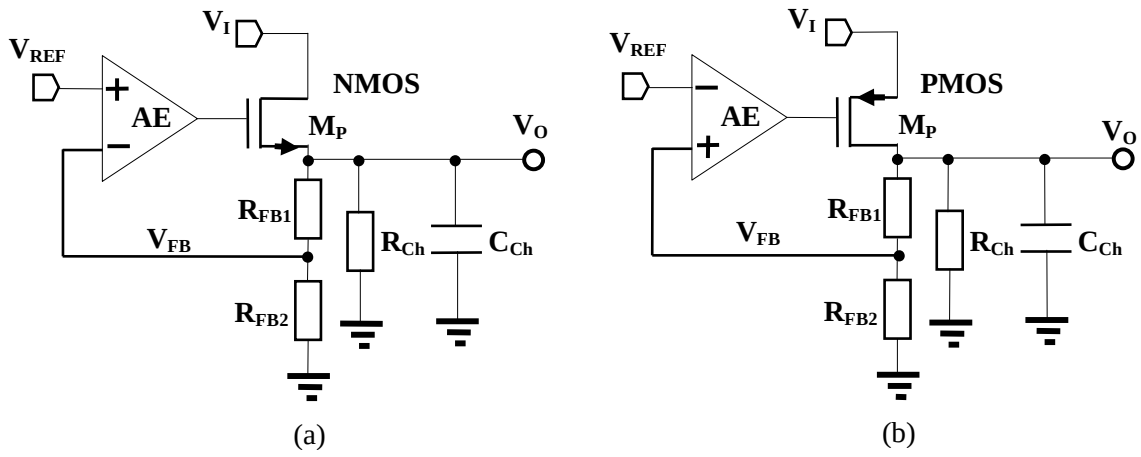

Figure 6 Schémas blocs des deux catégories des régulateurs linéaires, (a) HDO-type NMOS, (b) LDO-type PMOS.

Tableau 4 Caractéristiques des régulateurs linéaires en technologie CMOS selon leur classe.

	Classe	
Caractéristiques	**HDO**	**LDO**
Elément de passage	Transistor NMOS	Transistor PMOS
Tension d'entrée minimale $V_{I,min}$	V_O+V_{DO}	$V_O+V_{SD,sat}$
Tension de chute V_{DO}	$V_{DS,sat}+V_{GS}$ ($\geq$ 600mV)	$V_{SD,sat}$ (150mV - 350mV)
Courant de sortie maximal $I_{O,max}$	Faible	Moyen

Généralement, les régulateurs LDO souffrent du problème de stabilité et nécessitent une compensation de fréquence. En fonction de la compensation choisie, ils sont classés en deux catégories :

- Régulateurs LDO à compensation externe (LDO-CE),
- Régulateurs LDO à compensation interne (LDO-CI).

Dans le cas d'un régulateur LDO-CE, un gros condensateur est connecté à la sortie du régulateur LDO (hors puce) afin de forcer la localisation du pôle dominant à ce nœud. Une valeur typique de la capacité de ce condensateur est comprise entre 1 et 10 μF [2] et [28]. Inversement, un régulateur LDO-CI utilise un nœud interne pour placer le pôle dominant tel que la compensation de Miller [29]. Habituellement, ce nœud est associé à la grille du transistor de passage PMOS noté M_P. En raison de sa grande taille, la capacité parasite totale à la grille de l'élément de passage notée par la suite $C_{G,P}$, est généralement de l'ordre de quelques dizaines de picofarads. Le premier pôle non dominant des régulateurs LDO-CI est fixé par l'impédance de sortie du régulateur linéaire Z_O, qui est due à la résistance de sortie équivalente R_O (y compris R_{Ch}) et à la capacité de sortie totale C_O du régulateur LDO où $C_O=C_{Ch}+C_{par,O}$, et $C_{par,O}$ est la capacité parasite à la sortie du régulateur LDO. Dans les régulateurs LDO-CI, C_O est dominée par le condensateur de charge, de sorte que $C_O \approx C_{Ch}$. L'impédance Z_O doit être inférieure à une valeur maximale donnée afin de ne pas dégrader la stabilité du régulateur [2].

Nous allons s'intéresser, par la suite, à l'analyse du régulateur LDO-CI car c'est lui qui nous convient à notre conception et nous allons argumenter notre choix.

1.3 Paramètres et caractéristiques d'un régulateur LDO

1.3.1 Paramètres statiques

1.3.1.1 Tension de chute et tension de déchet

La tension de chute ou tension de drop-out V_{DO} d'un régulateur LDO est la tension différentielle entre la source du transistor de passage M_P et son drain qui ont respectivement la tension d'alimentation d'entrée V_I et la tension de sortie nominale régulée $V_{O,nom}$. La valeur minimale de la tension de chute est la différence de potentiel minimale qu'il faut appliquer entre la source et le drain du M_P pour qu'il soit dans état passant et qu'ainsi le régulateur puisse fonctionner normalement. Elle est donnée par la l'équation (1.3) où $V_{I,min}$ est la tension de déchet qui représente la tension d'alimentation d'entrée minimale au-dessus de laquelle le

régulateur fourni une tension de sortie V_O stable car le transistor de passage est dans état de saturation.

$$V_{DO} = V_{I,min} - V_O \tag{1.3}$$

La figure (7) représente l'allure typique de l'évolution de la tension de sortie V_O en fonction de la tension d'alimentation d'entrée V_I pour une valeur fixe du courant de charge I_{Ch}. Comme le montre la courbe $V_O=f(V_I)$, si la tension V_I diminue au dessous de la valeur $V_{I,min}$, le régulateur LDO passe à la zone (3), dite zone de chute, pendant laquelle la tension de sortie V_O est encore à sa valeur nominale régulée $V_{O,nom}$, mais les performances de régulation commencent à se dégrader. En suite, le régulateur LDO entre dans la zone (2) dite zone ohmique (ou zone linéaire) dans laquelle la tension de sortie V_O suit la tension d'alimentation d'entrée V_I car le transistor de passage opère dans sa région linéaire. Si la tension d'alimentation devient très faible, le régulateur LDO passe dans la zone (1) dite zone de blocage pour laquelle la tension V_I est insuffisante pour que le transistor M_P soit dans un état passant.

Pour un régulateur LDO et d'après l'équation (1.2), la tension de chute peut être exprimée en fonction de la résistance $R_{ON,P}$ équivalente au fonctionnement de ce transistor en régime linéaire et le courant de sortie I_O fourni par le régulateur LDO [2]:

$$V_{DO} = R_{ON,P}.I_O \tag{1.4}$$

Pour un transistor PMOS, la résistance $R_{ON,P}$ est approximée par l'équation (1.5) [29], où $K_p^{'}$ et $V_{t0,p}$ représentent respectivement le paramètre de transconductance et la tension de seuil à $V_{BS}=0$ du transistor PMOS, W_P et L_P sont respectivement la largeur et la longueur de la grille du transistor de ce transistor, V_{SG} et V_{BS} représentent les tensions entre la source et la grille et entre le substrat et la source respectivement.

$$R_{ON,P} \approx \frac{1}{K_p^{'} \frac{W_p}{L_p}(V_{SG} - |V_{t0,p}|)} \tag{1.5}$$

Le rapport (W_P/L_P) représente la taille du transistor de passage M_P, qui est un paramètre critique dans la conception d'un régulateur LDO.

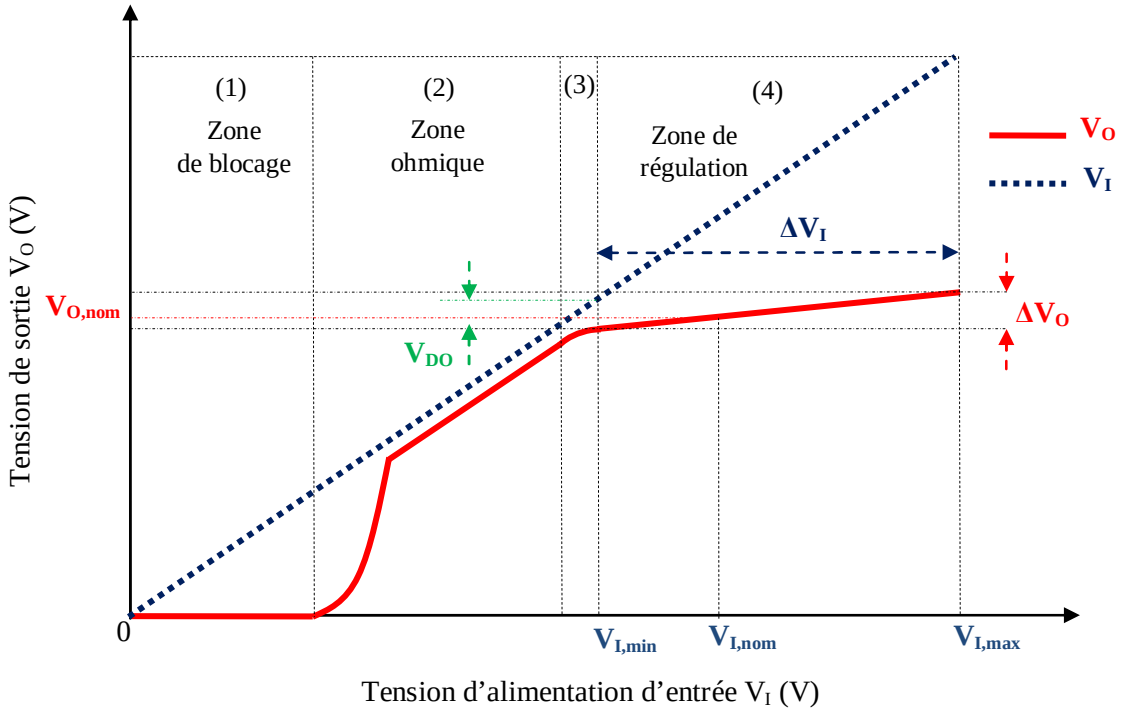

Figure 7 Allure typique de l'évolution de V_O en fonction de V_I pour un régulateur LDO.

1.3.1.2 Plage de tension d'alimentation d'entrée

Elle représente l'intervalle des valeurs de la tension V_I dans la zone (4), dite zone de régulation (voir figure 7), où tous les transistors MOS restent en état de saturation sauf le transistor de passage M_P car ce dernier change sa région d'opération suivant la valeur du courant de charge I_{Ch}. Les performances du LDO doivent garder leurs valeurs spécifiées dans le cahier de charge. La plage de tension d'alimentation d'entrée d'un régulateur LDO est donnée par l'équation suivante :

$$\Delta V_I = V_{I,\max} - V_{I,\min} \tag{1.6}$$

1.3.1.3 Courant de sortie maximum

Il représente la valeur maximale $I_{O,max}$ du courant de charge I_O que peut fournir le régulateur LDO à sa sortie lors du fonctionnement normal. Ce paramètre est imposé par la charge (circuits alimentés par le LDO) et il est spécifié dans le cahier de charge (valeur de $I_{Ch,max}$).

1.3.1.4 Régulation de ligne statique

La régulation de ligne statique ou régulation de ligne à courant continu (DC), notée RL_{DC}, est définie par le rapport de la variation de la tension de sortie V_O sur une variation de la tension d'alimentation d'entrée V_I pour une valeur fixe du courant de charge I_{Ch}.

$$RL_{DC} = \left.\frac{\Delta V_O}{\Delta V_I}\right|_{I_{Ch}} \tag{1.7}$$

Elle mesure la capacité du régulateur LDO à maintenir la tension de sortie spécifiée $V_{O,nom}$ quand la tension d'alimentation d'entrée varie sur la plage de fonctionnement (voir figure 7).

1.3.1.5 Régulation de charge statique

La régulation de charge statique ou régulation de charge à courant continu (DC), notée RC_{DC}, est définie par le rapport de la variation de la tension de sortie V_O sur une variation du courant de sortie I_O (ou courant de charge I_{Ch}) pour une valeur fixe de la tension d'alimentation d'entrée V_I.

$$RL_{DC} = \left.\frac{\Delta V_O}{\Delta I_{Ch}}\right|_{V_I} \tag{1.8}$$

Elle mesure la capacité du régulateur LDO à maintenir la tension de sortie spécifiée $V_{O,rég}$ quand le courant de charge varie sur la plage spécifiée (voir figure 8).

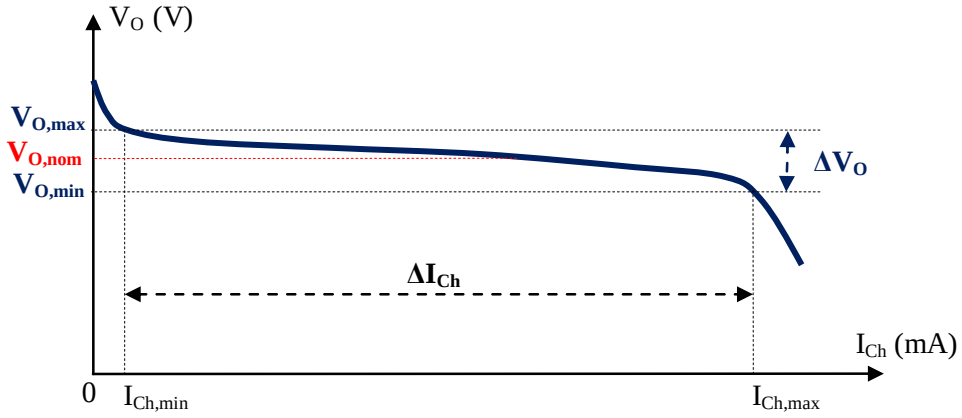

Figure 8 Allure typique de l'évolution de V_O en fonction de I_{Ch} pour un régulateur LDO.

1.3.1.6 Courant de repos

Le courant de repos, noté $I_{Q,}$ d'un régulateur LDO appelé aussi courant de masse, représente la différence entre le courant consommé I_I (tiré de l'alimentation), et qui n'est pas restitué à sa charge, et le courant de sortie I_O. La figure (9) montre le courant de repos qui est défini par :

$$I_Q = I_I - I_O \tag{1.9}$$

Le courant de repos provient des sources des courants de polarisation telles que la référence de tension intégrée, les résistances de contre-réaction et l'amplificateur d'erreur. Ce paramètre détermine la durée de vie de la batterie d'où l'intérêt de le diminuer [2].

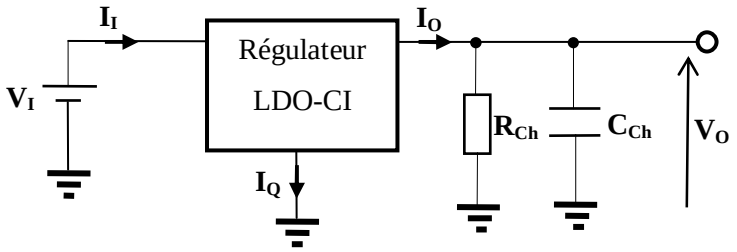

Figure 9 Courant de repos dans un régulateur LDO.

1.3.1.7 Rendement

Le rendement en puissance, noté η, d'un régulateur LDO est défini par le rapport de la puissance P_O fournie à sa sortie sur la puissance P_I consommée à l'entrée :

$$\eta = \frac{P_O}{P_I} \tag{1.10}$$

$$P_O = V_O . I_O \tag{1.11}$$

$$P_I = V_I . I_I \tag{1.12}$$

En remplaçant l'équation (1.9) dans l'équation (1.10), on peut exprimer le rendement η comme suit :

$$\eta = \frac{V_O}{V_I} . \left(\frac{I_O}{I_O + I_Q} \right) \tag{1.13}$$

Le terme $\left(\frac{I_O}{I_O + I_Q}\right)$ représente le rendement en courant noté η_I.

D'après l'équation (1.13), il apparait bien que pour maximiser le rendement η du régulateur LDO pour les valeurs spécifiées de la tension de sortie V_O et du courant de sortie I_O, il faut minimiser V_I et I_Q. Or d'après l'équation (1.3), le rendement maximum sera :

$$\eta_{\max} = \frac{V_O}{V_O + V_{DO,\min}} \cdot \left(\frac{I_O}{I_O + I_{Q,\min}}\right) \tag{1.14}$$

Généralement le courant de repos I_Q est négligeable devant le courant de sortie I_O lors du fonctionnement en charge maximale, et par conséquent le rendement d'un régulateur LDO sera toujours limité par la tension de chute V_{DO} comme le montre l'équation (1.15), d'où l'importance de minimiser la tension V_{DO}.

$$\eta \leq \frac{V_O}{V_O + V_{DO}} \tag{1.15}$$

La valeur minimale que peut prendre la tension de chute est égale à la tension de saturation $V_{SD,sat}$ du transistor de passage M_P si ce dernier est choisi de type PMOS.

1.3.2 Paramètres dynamiques

1.3.2.1 Régulation de ligne transitoire

Ce paramètre mesure la capacité du régulateur LDO à maintenir une tension de sortie V_O constante lorsqu'un échelon transitoire est appliqué à la tension d'alimentation d'entrée V_I pour une valeur fixe de I_{Ch}.

La figure (10) montre l'allure typique de l'évolution de la tension de sortie en fonction du temps t où les différentes mesures sont mises en évidence. Quand la tension V_I bascule de sa valeur minimale $V_{I,min}$ à sa valeur maximale $V_{I,max}$ durant le temps de montée Δt_m du signal test, la tension de sortie subit des variations transitoires par rapport à sa valeur initiale nominale régulée $V_{O,nom}$. Après un délai qui correspond au temps d'établissement Δt_{e1}, la tension V_O se stabilise à la valeur $V_{O,nom}+\Delta V_{RL}$ où ΔV_{RL} correspond à la valeur de la régulation de ligne statique RL_{DC}. La variation maximale de V_O par rapport à sa nouvelle valeur régulée est donnée par le dépassement $\Delta v_{max,L}$. A l'envers, quand la tension V_I bascule de $V_{I,max}$ à $V_{I,min}$ durant le temps de descente Δt_d du signal test, la tension de sortie V_O subit

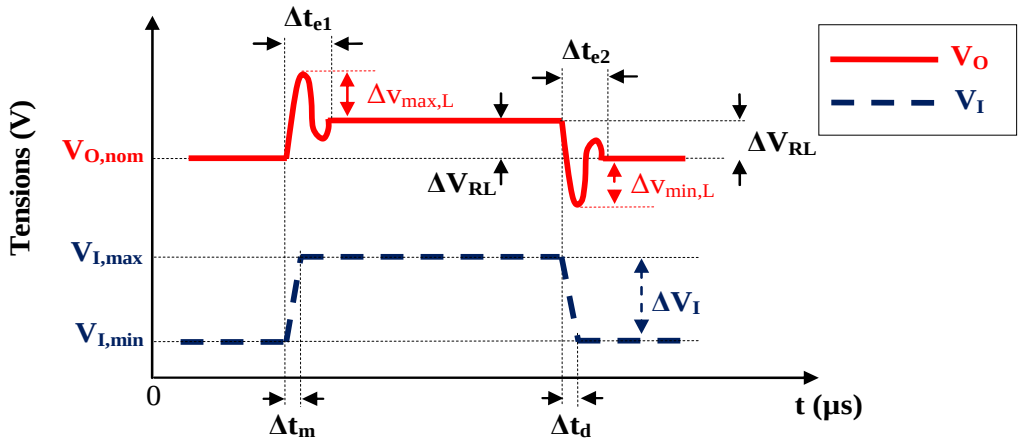

Figure 10 Allure typique de la régulation de ligne transitoire d'un régulateur LDO.

des variations transitoires et après un délai qui correspond au temps d'établissement Δt_{e2}, la tension V_O retrouve sa valeur nominale régulée $V_{O,nom}$. La variation maximale de V_O par rapport à sa valeur nominale régulée $V_{O,nom}$ est donnée par le sous-dépassement $\Delta v_{min,L}$

1.3.2.2 Régulation de charge transitoire

Ce paramètre mesure la capacité du régulateur LDO à maintenir une tension de sortie V_O constante lorsqu'un échelon transitoire est appliqué au courant de charge I_{Ch} pour une valeur fixe de V_I.

La figure (11) montre l'allure typique de l'évolution de la tension de sortie en fonction du temps t où les différentes mesures sont mises en évidence. Quand le courant de charge I_{Ch} bascule de sa valeur minimale $I_{Ch,min}$ à sa valeur maximale $I_{Ch,max}$ durant le temps de montée Δt_m du signal test, la tension de sortie subit des variations transitoires par rapport à sa valeur

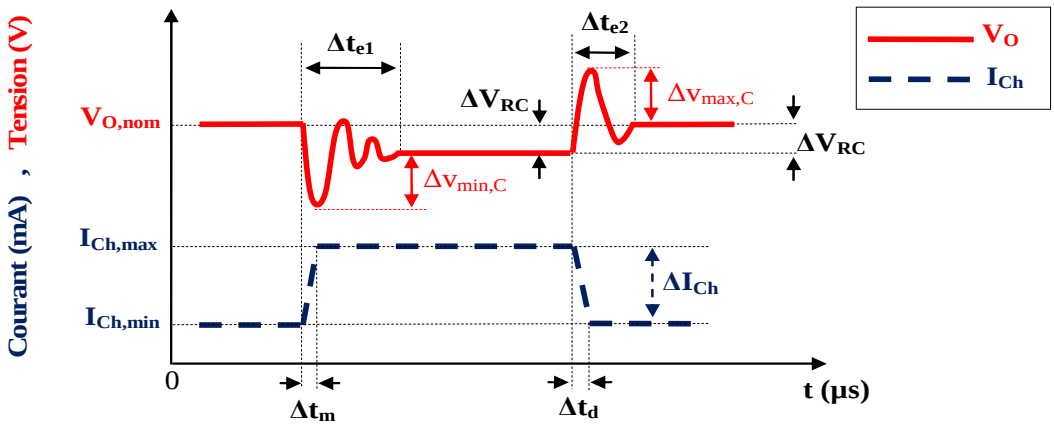

Figure 11 Allure typique de la régulation de charge transitoire d'un régulateur LDO.

initiale $V_{O,nom}$. Après un délai qui correspond au temps d'établissement Δt_{e1}, la tension V_O se stabilise à la valeur $V_{O,nom}+\Delta V_{RC}$ où ΔV_{RC} correspond à la valeur de la régulation de charge statique RC_{DC}. La variation maximale de V_O par rapport à sa nouvelle valeur régulée est donnée par le sous-dépassement $\Delta v_{min,C}$. A l'envers, quand la tension I_{Ch} bascule de $I_{Ch,max}$ à $I_{Ch,min}$ durant le temps de descente Δt_d du signal test, la tension V_O subit des variations transitoires et après un délai qui correspond au temps d'établissement Δt_{e2}, la tension V_O retrouve sa valeur nominale régulée $V_{O,nom}$. La variation maximale de V_O par rapport à sa valeur nominale régulée $V_{O,nom}$ est donnée par le dépassement $\Delta v_{max,C}$

1.3.2.3 Réjection d'ondulation de l'alimentation

La réjection d'ondulation de l'alimentation, noté PSRR, mesure la capacité du régulateur LDO à atténuer sur la tension de sortie V_O des perturbations introduites par la tension d'alimentation d'entrée V_I (voir figure 12). Elle est définie dans tous le spectre des fréquences disponible par la relation :

$$PSRR(f) = \frac{\Delta v_o(f)}{\Delta v_i(f)} \tag{1.16}$$

Où Δv_i représente l'ondulation sur la tension d'alimentation d'entrée V_I et Δv_o représente l'ondulation introduite sur la tension de sortie V_O à une fréquence donnée f. Le PSRR est exprimée en dB comme le montre l'équation (1.17).

$$PSRR_{dB} = 20.\log \frac{\Delta v_o(f)}{\Delta v_i(f)} \tag{1.17}$$

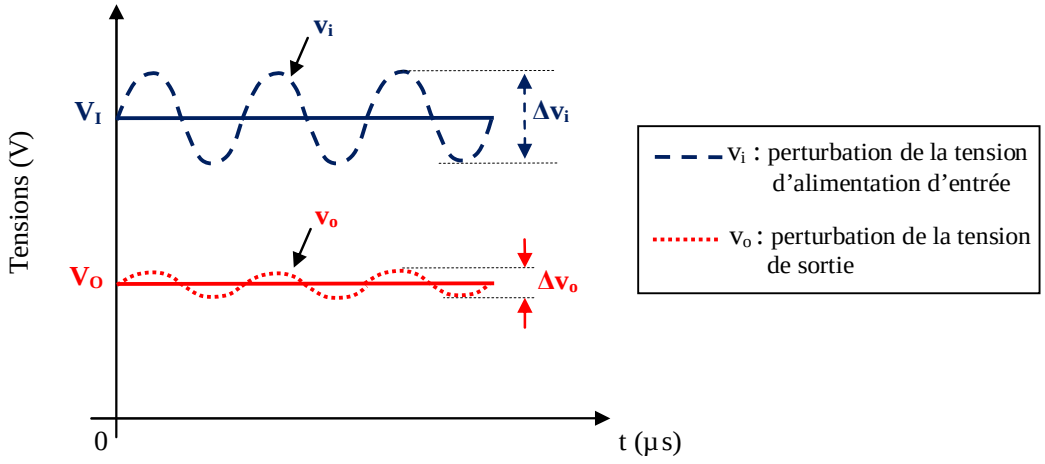

Figure 12 Réjection d'ondulation de l'alimentation d'un régulateur LDO.

1.3.2.4 Bruit à la tension de sortie

Ce paramètre est la tension efficace de bruit de sortie générée uniquement par le LDO (y compris le bruit de la référence de tension car il est supposé que le LDO a une référence de tension intégrée) sur une plage de fréquences donnée (généralement de 10 Hz à 100 kHz) sous un courant de charge I_{Ch} constant et une tension d'entrée V_I fixe. La majeure partie du bruit provient du bruit de scintillement (bruit en1/f) de la référence de tension interne du LDO [30].

1.3.3 Précision sur la tension de sortie

La précision sur la tension de sortie décrit l'écart de la tension de sortie V_O par rapport à la tension de sortie nominale régulée $V_{O,nom}$ du régulateur LDO. Elle Comprend tous les effets non idéaux tels que:

- Une variation ΔV_{RL}, due à La régulation de ligne statique,
- Une variation $|\Delta V_{RC}|$, due à La régulation de charge statique,
- Une variation $\Delta V_{O,REF}$ due à la référence de tension,
- Une variation $\Delta V_{O,AE}$ due à la tension de décalage (offset) de l'AE,
- Une variation $\Delta V_{O,R}$ due aux tolérances des résistances de contre-réaction.

La précision totale de la tension de sortie, notée $\frac{\Delta V_O}{V_{O,nom}}$ et exprimée en %, est donnée par l'équation (1.18) [2]. Elle se mesure à partir de la courbe $V_O=f(V_I)$ de la figure (7).

$$\frac{\Delta V_O}{V_{O,nom}} = \frac{\Delta V_{RL} + |\Delta V_{RC}| + \sqrt{\Delta V_{O,REF}^2 + \Delta V_{O,AE}^2 + \Delta V_{O,R}^2}}{V_{O,nom}} \times 100 \qquad (1.18)$$

1.3.4 Autres caractéristiques d'un régulateur LDO

1.3.4.1 Fonctionnement sans condensateur de sortie

La plupart des régulateurs LDO nécessitent un condensateur de sortie hors puce (figure 13-a) pour un fonctionnement correct. Les LDO capables de fournir les performances spécifiées sans condensateur de sortie sont appelés "LDO sans condensateur " ou "Capacitor-Less (Capless) LDO" en anglais (figure 13-b). Les régulateurs LDO Capless sont idéaux pour les applications exigeantes en termes d'espace, telles que les Smartphones et les appareils portables. Généralement un condensateur connecté à la sortie du régulateur LDO est indispensable pour que la tension de sortie soit stable.

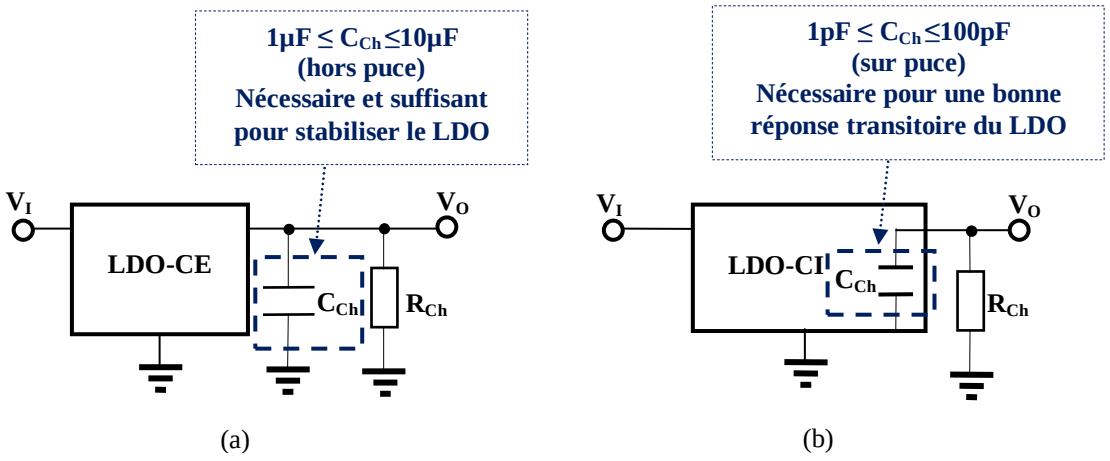

Figure 13 Condensateur de sortie d'un régulateur LDO: (a) LDO-CE, (b) LDO-CI (Capless).

1.3.4.2 Fonctionnement sans courant de charge

Plusieurs applications ont besoin d'un régulateur LDO pour conserver la sortie et fournir de bonnes performances dans des conditions de non-charge (I_{Ch}=0 ou absence de R_{Ch}) comme les applications de maintien de la RAM CMOS [31]. Certains régulateurs LDO peuvent subir des performances dégradées sans charge résistive et exigent un courant de charge minimum pour qu'ils soient stables.

2 Performances d'un régulateur LDO-CI

2.1 Problèmes et défis liés aux régulateurs LDO-CI

Il y a trois problèmes majeurs que retrouvent les concepteurs des régulateurs LDO à compensation interne et qui déterminent ces performances ; La stabilité, la réponse transitoire et le PSRR. Pour la stabilité, le régulateur LDO-CI doit maintenir la stabilité pour toutes les conditions spécifiées sur ; le courant de charge I_{Ch}, la capacité de charge C_{Ch} et la tension d'alimentation d'entrée V_I. Pour la réponse transitoire, le régulateur LDO-CI doit avoir un temps de réponse et un temps d'établissement les plus petits possibles, en d'autres termes, la tension de sortie V_O doit retrouver sa valeur nominale rapidement lorsque V_I subissent des variations transitoires brusques pour toutes les conditions spécifiées sur C_{Ch} et I_{Ch}, et aussi quand I_{Ch} subissent des variations transitoires brusques pour toutes les conditions spécifiées sur C_{Ch} et V_I. Pour le PSRR, le régulateur LDO-CI doit conserver un bon PSRR (valeur ≤ −60dB) dans toute la plage de fréquences désirée et pour toutes les conditions spécifiées sur V_I, I_{Ch} et V_I.

Dans la suite, nous analysons ces trois performances pour un régulateur LDO-CI conventionnel et nous citons de la littérature les améliorations apportées.

2.2 Analyse du régulateur LDO-CI conventionnel en régime petit-signal basse fréquence

Dans ce paragraphe, on supposera que l'amplificateur d'erreur (AE) du régulateur LDO conventionnel présenté sur la figure (6-b) est idéal. Le modèle du schéma conventionnel du LDO en régime petit-signal et en basse fréquence, où tous les condensateurs sont équivalents à des circuits ouverts, est représenté sur la figure (14). Dans ce schéma, v_i, v_{ref} , v_{sg}, $v_{g,P}$, v_{fb} et v_o représentent respectivement les parties variables en régime dynamique des tension V_I, V_{REF}, V_{SG}, $V_{g,P}$, V_{FB} et V_O, tandis que v_{dif} est la tension différentielle d'entrée de l'amplificateur d'erreur dans le même régime. $g_{m,P}$ et $r_{o,P}$ sont la transconductance et la résistance de sortie source-drain du transistor de passage M_P en régime dynamique, respectivement.

Appliquons la loi des nœuds de Kirchhoff au nœud de sortie :

$$g_{m,P}v_{sg} + \frac{(v_i - v_o)}{r_{o,P}} = v_o\left(\frac{1}{R_{FB1}+R_{FB2}} + \frac{1}{R_{Ch}}\right) \tag{1.19}$$

D'autre part, on a :

$$v_{sg} = v_i - v_{g,P} \tag{1.20}$$

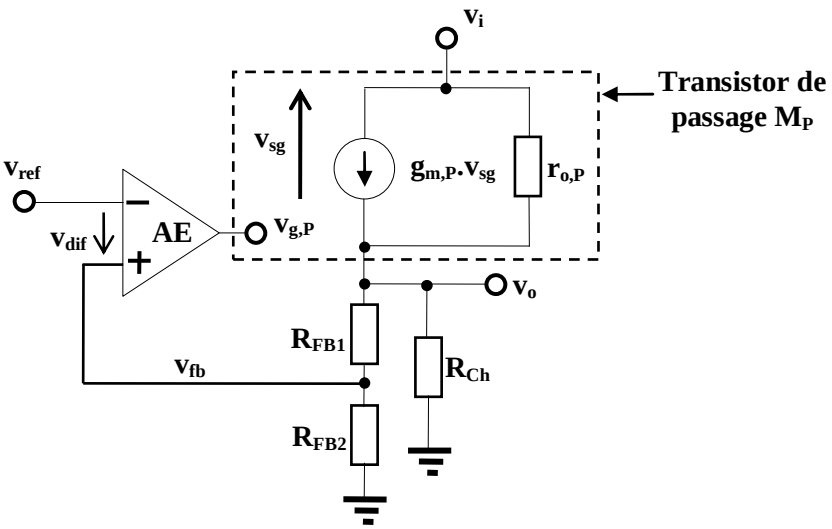

Figure 14 Schéma équivalent du LDO en régime petit-signal et en basse fréquence.

$$v_{g,P} = A_{v0} v_{dif} \tag{1.21}$$

$$v_{dif} = \frac{R_{FB2}}{R_{FB1} + R_{FB2}} v_o - v_{ref} \tag{1.22}$$

Après le calcul, on trouve :

$$v_o = \frac{(1 + A_P).\frac{R_O}{r_{o,P}}}{1 + H_0}.v_i + \frac{1}{\beta_R}.\frac{H_0}{1 + H_0}.v_{ref} \tag{1.23}$$

Avec,

$$A_P = g_{m,P}.r_{o,P} \tag{1.24}$$

$$R_O = (R_{FB1} + R_{FB2}) // R_{Ch} // r_{o,P} \tag{1.25}$$

$$\beta_R = \frac{R_{FB1}}{R_{FB1} + R_{FB2}} \tag{1.26}$$

$$H_0 = \beta_R A_{v0} g_{m,P} R_O \tag{2.27}$$

Où, A_{v0} est le gain statique en boucle ouverte de l'amplificateur d'erreur, A_P est le gain intrinsèque du transistor de passage M_P, β_R représente le facteur de contre-réaction, R_O et H_0 représentent respectivement la résistance de sortie et le gain statique en boucle ouverte du régulateur LDO en charge. Généralement, les différents blocs d'un régulateur LDO sont conçus de façon que $A_P >> 1$ et $H_0 >> 1$, et par conséquent l'équation (1.19) peut être simplifiée comme suit :

$$v_o \approx \frac{v_i}{\beta_R A_{v0}} + \frac{v_{ref}}{\beta_R} \tag{1.28}$$

D'après la dernière équation, on conclue que l'amplificateur d'erreur atténue les variations de la tension d'alimentation v_i et il n'a aucun effet sur les variations de la référence de tension v_{ref}. L'expression de la régulation de ligne statique (équation 1.7) est déterminée en remplaçant $v_{ref}=0$ dans l'équation (1.28), d'où on obtient:

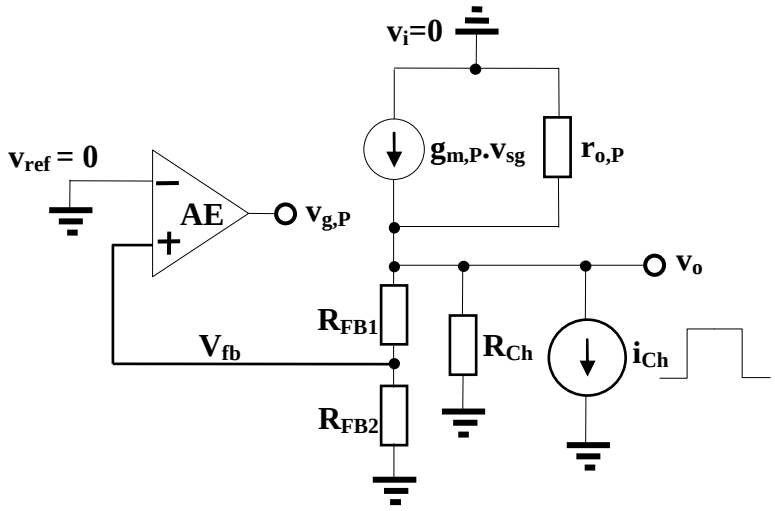

Figure 15 Schéma équivalent du LDO en régime petit-signal et en basse fréquence pour le calcul de RC_{DC}.

$$RL_{DC} = \frac{\Delta V_O}{\Delta V_i} = \frac{v_o}{v_i} \approx \frac{1}{\beta_R A_{v0}} \tag{1.29}$$

L'expression (1.29) montre que pour avoir une faible valeur de la régulation de ligne, qui est idéalement nulle, il faut concevoir un amplificateur d'erreur à grand gain statique A_{v0}.

L'expression de la régulation de charge statique, qui représente la résistance de sortie en boucle fermée du LDO, est obtenue à l'aide du schéma équivalent de la figure (15). D'après la loi des nœuds appliqué au nœud de sortie, on peut écrire que :

$$g_{m,P} v_{sg} - \frac{v_o}{r_{o,P}} = i_{Ch} + (\frac{1}{R_{Ch}} + \frac{1}{R_{FB1} + R_{FB2}}) v_o \tag{1.30}$$

Et on a :

$$v_{sg} = -v_{g,P} = -A_{v0}.\beta_R.v_o \tag{1.31}$$

D'où on obtient :

$$\frac{v_o}{i_{Ch}} = -\frac{R_O}{1 + \beta_R A_{v0} g_{m,P} R_O} \tag{1.32}$$

La conception du LDO est faite de façon que $\beta_R A_{v0} g_{m,P} R_O >> 1$, d'où l'équation (1.32) peut être simplifiée comme suit :

$$\frac{v_o}{v_i} \approx -\frac{1}{g_{m,P} \beta_R A_{v0}} \tag{1.33}$$

L’expression de la régulation de charge statique (équation 1.8) est donnée par :

$$RC_{DC} = \frac{\Delta V_O}{\Delta I_{Ch}} = \frac{v_o}{i_{Ch}} \approx -\frac{1}{g_{m,P}\beta_R A_{v0}} \tag{1.34}$$

La dernière équation montre que pour améliorer la régulation de charge statique, il faut non seulement que le gain statique A_{v0} de l’AE soit élevé, mais aussi avoir une grande transconductance $g_{m,P}$ du transistor de passage. Ceci implique que M_P doit opérer da la région de saturation [29]. Cependant, pour un régulateur LDO qui doit fourni un grand courant de sortie (≥100mA), le transistor de passage M_P est habituellement forcé pour qu’il fonctionne à la région ohmique pour la valeur maximale du courant de charge afin d’économiser la surface du circuit intégré [2].

2.3 Analyse de la stabilité

Dans ce paragraphe, on va tenir en compte de l’effet des capacités intrinsèques du régulateur LDO qui sont les capacités parasites des transistors MOS.

2.3.1 Réponse fréquentielle non compensée

Généralement, Le régulateur LDO conventionnel est composé de deux étages comme le montre la figure (16) [2]. Le premier étage appelé, étage de gain inverseur, est constitué de la paire différentielle composée de deux transistors PMOS M_1, une charge composée de deux transistors NMOS M_2, l’un est connecté en diode et se comporte comme une résistance active et l’autre est une source de courant et un transistor PMOS M_3 qui fourni le courant de polarisation nécessaire où sa grille est polarisée par la tension V_{Pol}, cette dernière est réalisé par un circuit de polarisation [32]. La sortie de l’amplificateur d’erreur se fait sur le drain du transistor M_2 monté en source de courant afin d’avoir un gain statique élevé [33]. Le deuxième étage, appelé étage de puissance, est formé par un transistor PMOS M_P de grande taille, qui fourni le courant spécifié à la charge.

Pour étudier la stabilité, on court-circuite l’entrée (v_i=0) et on détermine la fonction de transfert en boucle ouverte $H_{bo,nc}(s)$ définie par l’équation (1.35), à l’aide du schéma équivalent en régime petit-signal haute fréquence (modèle de Norton) présenté sur la figure (17).

$$H_{bo,nc}(s) = \frac{v_{fb}(s)}{v_e^+(s)} \tag{1.35}$$

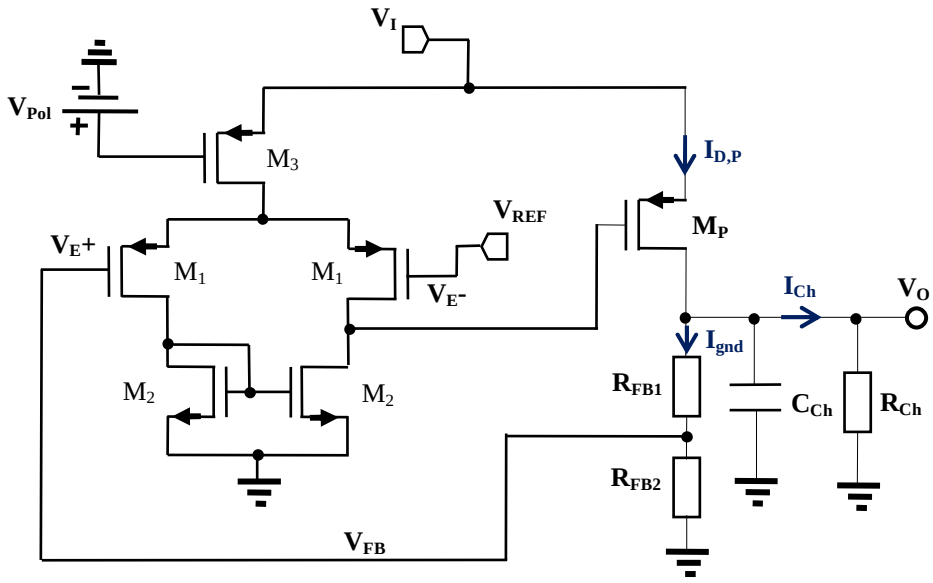

Figure 16 Implémentation par des transistors MOS d'un régulateur LDO conventionnel.

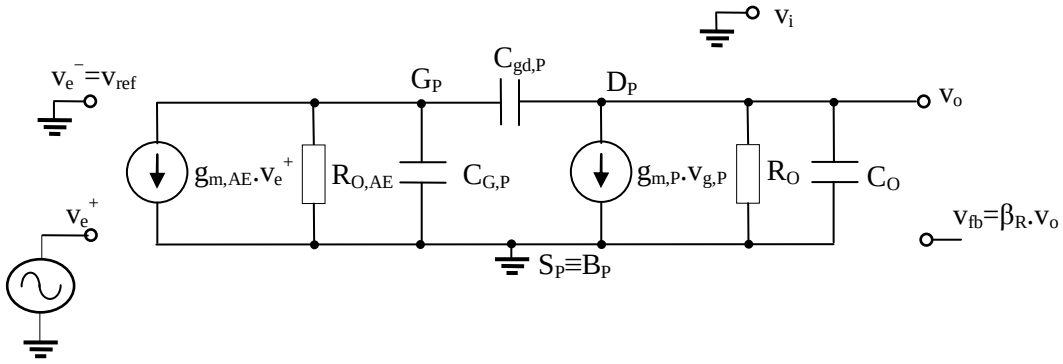

Figure 17 Modèle équivalent du LDO pour le calcul de la fonction de transfert en boucle ouverte.

On a aussi :

$$v_{fb}(s) = \beta_R . v_o(s) \tag{1.36}$$

Dans les figures (16) et (17), V_E^+ et V_E^- représentent l'entrée non inverseuse et l'entrée inverseuse en régime continu de l'amplificateur d'erreur, tandis que v_e^+ et v_e^- sont les tensions petit-signal en régime dynamique appliquées sur ces deux entrées. En appliquant la loi des nœuds de Kirchhoff aux nœuds G_P (grille du transistor M_P) et D_P (nœud de sortie au drain du transistor M_P), respectivement, on obtient deux les équations suivantes :

$$g_{m,AE} . v_{ref} + (\frac{1}{R_{G,P}} + C_{G,P} s) . v_{g,P} + C_{gd,P} s . (v_{g,P} - v_o) = 0 \tag{1.37}$$

$$g_{m,P}.v_{g,P} + (\frac{1}{R_O} + C_O s).v_o + C_{gd,P} s.(v_o - v_{g,P}) = 0 \quad (1.38)$$

$$C_{G,P} = C_{O,AE} + C_{gs,P} \quad (1.39)$$

$$C_O = C_{db,P} + C_{Ch} \quad (1.40)$$

Où $g_{m,AE}$ est la transconductance de l'AE qui est égale à la transconductance g_{m1} du transistor M_1. $R_{G,P}$ est la résistance connectée entre la grille de M_P et la masse. Elle représente la résistance de sortie de l'AE, notée $R_{O,AE}$, qui vaut (r_{o1}//r_{o2}) où r_{o1} et r_{o2} sont respectivement les résistances de sortie source-drain équivalentes en régime petit-signal des transistors M_1 et M_2. $C_{gs,P}$, $C_{gd,P}$ et $C_{db,P}$ sont les capacités parasites inter-électrodes du transistor de passage M_P. En éliminant la tension $v_{g,P}$ entre les deux équations (1.37) et (1.38), on obtient :

$$\frac{v_o(s)}{v_{ref}(s)} = g_{m,AE} R_{O,AE} g_{m,P} R_O \frac{(1 - \frac{C_{gd,P}}{g_{m,P}} s)}{1 + a.s + b.s^2} \quad (1.41)$$

Avec,

$$a = (C_O + C_{gd,P}) R_O + C_{G,P} R_{O,AE} + (1 + g_{m,P} R_O) C_{gd,P} R_{O,AE} \quad (1.42)$$

$$b = R_{O,AE} R_O (C_{G,P} C_{gd,P} + C_{G,P} C_O + C_O C_{gd,P}) \quad (1.43)$$

L'expression de la fonction de transfert en boucle ouverte s'écrit alors :

$$H_{bo,nc}(s) = \beta_R g_{m,AE} R_{O,AE} g_{m,P} R_O \frac{(1 - \frac{C_{gd,P}}{g_{m,P}} s)}{1 + a.s + b.s^2} \quad (1.44)$$

L'équation (1.44), montre la présence d'un zéro réel positif (situé dans le demi-plan droit) et deux pôles réels négatifs (situés dans le demi-plan gauche). D'autre part la transconductance $g_{m,P}$ et la résistance $r_{o,P}$ dépendent de la valeur de I_{Ch} car le courant de drain $I_{D,P}$ qui circule dans le transistor de passage M_P est égale à I_{Ch}+I_{gnd}, alors R_O et le produit $g_{m,P}.R_O$ en dépendent aussi, et par conséquent la localisation du zéro et des deux pôles change ce qui influe sur la stabilité du système du LDO.

Le tableau (5) donne les expressions de $g_{m,P}$ et $r_{o,P}$ pour les différentes régions de fonctionnement du transistor M_P qui varient en fonction de I_{Ch}, ainsi l'ordre de grandeur de R_O et $g_{m,P}.R_O$. Dans ce tableau, W_P et L_P représentent respectivement la largeur de grille et la longueur du canal du transistor de passage M_P. $g_{m,P,sat}$ représente la transconductance de M_P en régime de saturation, I_{gnd} représente le courant de masse qui circule dans les résistances de contre-réaction, n et U_T représentent respectivement le facteur de conduction sous le seuil et la tension thermodynamique qui vaut 25,9mV à la température 27°C [34] et λ_p est le paramètre de la modulation de longueur du canal reconnue par l'effet Early [29].

En supposant que les deux pôles sont séparables et en utilisant la méthode des constantes de temps décrite dans [35], la fonction de transfert peut s'écrire sous la forme :

$$H_{bo,nc}(s) = H_{0,nc}\frac{(1-\frac{s}{\omega_{z,D}})}{(1+\frac{s}{\omega_{pd}})(1+\frac{s}{\omega_{pnd}})} \tag{1.45}$$

Avec,

$$H_{0,nc} = \beta_R g_{m,AE} R_{O,AE} g_{m,P} R_O \tag{1.46}$$

$$\omega_{z,D} = \frac{g_{m,P}}{C_{gd,P}} \tag{1.47}$$

$$\omega_{pd} = \frac{1}{a} \tag{1.48}$$

$$\omega_{pnd} = \frac{a}{b} \tag{1.49}$$

Où $H_{0,nc}$ est le gain statique du LDO non compensé, $\omega_{z,D}$ est la fréquence angulaire correspondante au zéro z_D (z_D>0), ω_{pd} et ω_{pnd} sont respectivement les pulsations qui correspondent aux pôle dominant p_d (p_d=-ω_{pd}) et au pôle non dominant p_{nd} (p_{nd}=-ω_{pnd}).

En utilisant le critère de stabilité de Revers [36], la marge de phase M_Φ du système du LDO est définie par l'équation (1.50), où ω_T est la pulsation de transition ou pulsation à gain unité donnée par l'équation (1.51).

Tableau 5 Expressions et ordres de grandeur des paramètres influençant sur la réponse fréquentielle selon la valeur du courant de charge.

	Courant de charge faible $0 \leq I_{Ch} < 100\mu A$	Courant de charge moyen $100\mu A \leq I_{Ch} < 10mA$	Courant de charge fort $10mA \leq I_{Ch} \leq I_{Ch,max}$
Région de fonctionnement du M_P	Conduction sous le seuil	Saturation	Ohmique
Expression de $\mathbf{g_{m,P}}$	$\frac{I_{Ch} + I_{gnd}}{n.U_T}$	$\sqrt{2K_p^{'} \frac{W_P}{L_P}(I_{Ch} + I_{gnd})}$	$\frac{g_{m,P,sat}}{2}$
Ordre de grandeur de $\mathbf{g_{m,P}}$	$\approx 10\ \mu\Omega^{-1}$	$\approx 100\ \mu\Omega^{-1}$	$\approx 10\ \Omega^{-1}$
Expression de $\mathbf{r_{o,P}}$	$\frac{1}{\lambda_p.(I_{Ch} + I_{gnd})}$	$\frac{1}{\lambda_p.(I_{Ch} + I_{gnd})}$	$R_{ON,P}$ (Equation 1.5)
Ordre de grandeur de $\mathbf{R_O}$	$\approx 100\ k\Omega$	$\approx 10\ k\Omega$	$\approx 10\ \Omega$
Ordre de grandeur de $\mathbf{g_{m,P}.R_O}$	>> 1	>> 1	≈ 1

$$M_{\Phi} = 180° + Arg[H_{bo}(j\omega_T)] \tag{1.50}$$

$$\left|H_{bo}(j\omega_T)\right| = 1 \tag{1.51}$$

Pour que le système soit stable en boucle fermée, il faut que la marge de phase en boucle ouverte soit positive, voir supérieure ou égale à 45°, en d'autres termes, il faut que la courbe de gain dans le diagramme de Bode coupe l'axe des fréquences avec une pente de −20dB/déc. Pour la topologie classique du régulateur LDO conventionnel et comme le montre la figure (18), la stabilité dépend fortement du courant de charge I_{Ch}. En effet pour des valeurs faibles ou moyens de I_{Ch} et puisque le zéro réel positif z_D introduit un déphasage de −90°, le pôle non dominant p_{nd} est localisé avant la pulsation de transition ω_T ce qui rend le LDO instable car $M_\Phi<0$. Pour des valeurs fortes de I_{Ch}, z_D se déplace vers les hautes fréquences ainsi p_{nd} est localisé après ω_T et par conséquent la marge de phase est positive mais elle reste inférieure à 45° [2]. En conclusion, le régulateur LDO conventionnel est instable si I_{Ch} prend des valeurs faibles ou moyennes, d'où une compensation de fréquence est nécessaire. Nous allons cités quelques méthodes de compensations internes qui existent dans la littérature tout en donnant leurs limites et nous proposons notre méthode de compensation interne dans le chapitre 2.

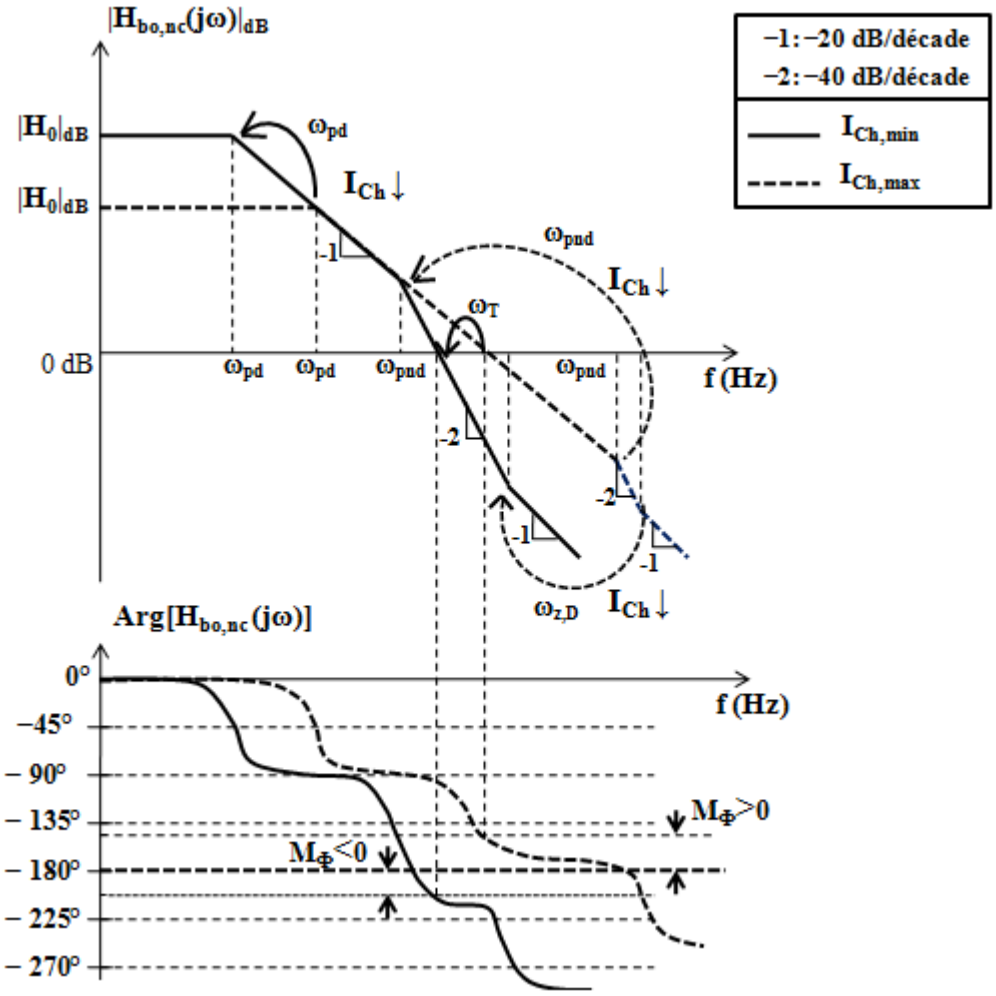

Figure 18 Diagramme de Bode de la réponse non compensée du régulateur LDO conventionnel.

2.3.2 Méthodes de compensation interne

Le but de la compensation de fréquence est de :

- séparer le pôle dominant et le premier pôle non dominant car ce dernier doit être localisé après la pulsation de transition,
- rejeter le zéro réel positif vers les hautes fréquences pour atténuer son effet indésirable sur la stabilité,
- créer un zéro réel négatif situé dans le demi-plan gauche pour introduire un déphasage de 90° afin d'annuler le premier pôle non dominant situé avant la pulsation de transition.

2.3.2.1 Compensation simple de Miller

La compensation simple de Miller consiste à l'insertion d'un condensateur de capacité C_C entre le nœud de sortie du régulateur LDO et le nœud de sortie de l'amplificateur d'erreur qui correspond à la grille du transistor de passage M_P [2],[29], [33] et [33]. Cette méthode de

compensation nécessite un condensateur de charge de capacité C_{Ch} pour assurer la stabilité comme le montre la figure (19). La figure (20) montre l'effet amplificateur de capacité généré par cette compensation.

La fonction de transfert en boucle ouverte compensée $H_{bo,c}(s)$ est semblable à celle non compensée et elle est donnée par :

$$H_{bo,c}(s) = H_{0,c} \frac{(1-\frac{s}{\omega_{z,D}})}{(1+\frac{s}{\omega_{pd}})(1+\frac{s}{\omega_{pnd}})} \tag{1.52}$$

Avec,

$$\omega_{z,D} = \frac{g_{m,P}}{C_{gd,P}+C_C} \tag{1.53}$$

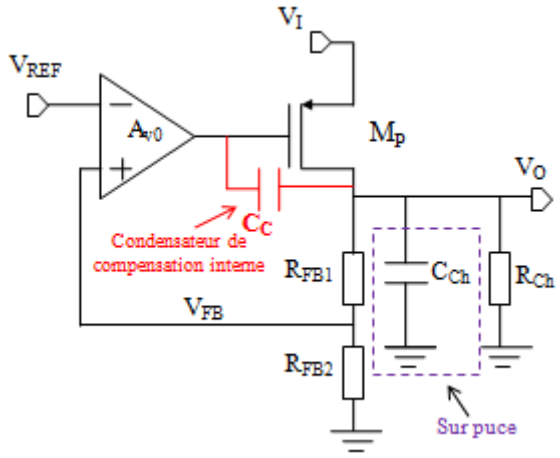

Figure 19 Structure conventionnelle du LDO comprenant le réseau de la compensation de Miller simple.

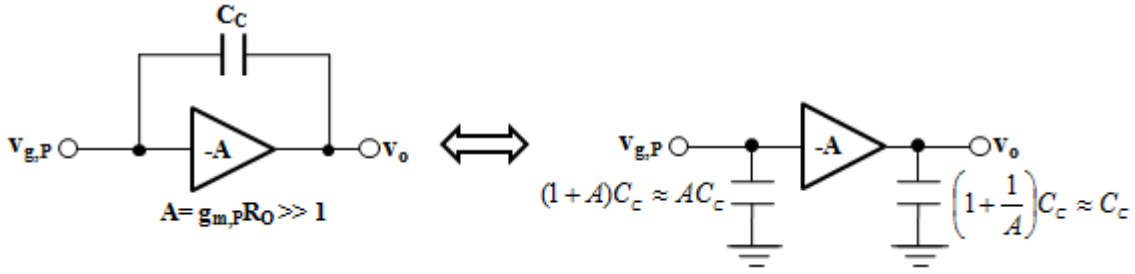

Figure 20 L'effet amplificateur de capacité dans la compensation de Miller.

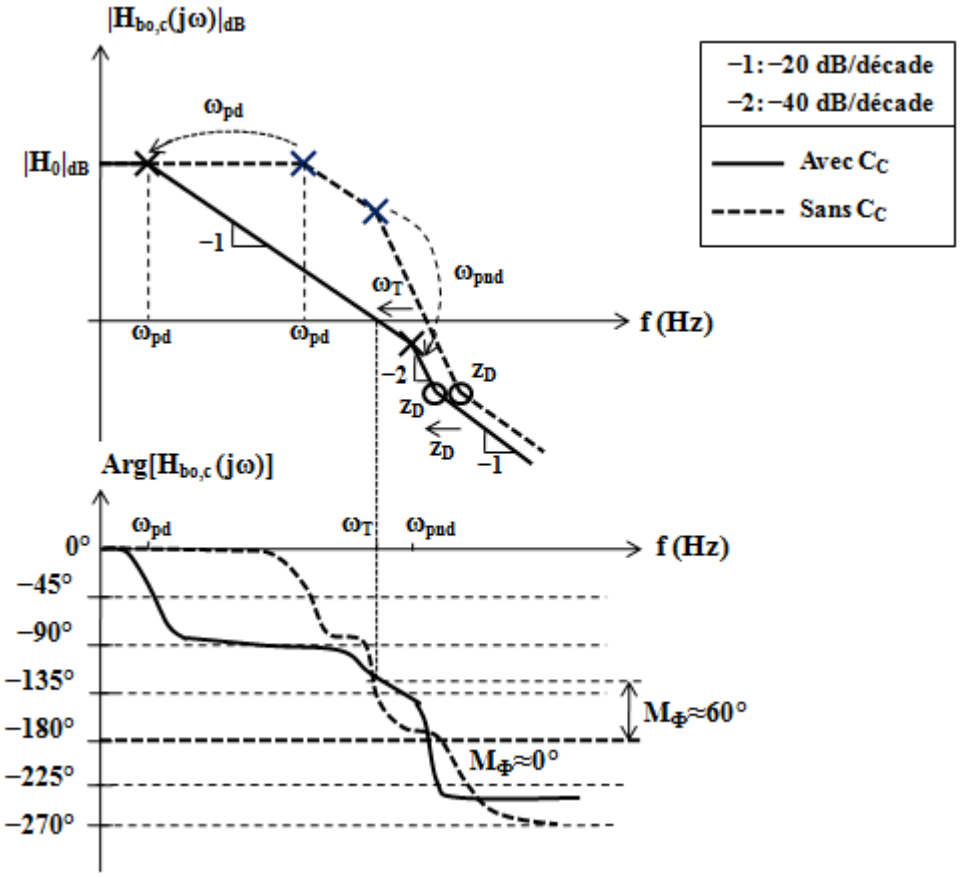

Figure 21 Séparation des pôles dominant et non dominant par la compensation interne de Miller.

$$\omega_{pd} = \frac{1}{(C_O + C_{gd,P} + C_C)R_O + C_{G,P}R_{O,AE} + (1 + g_{m,P}R_O)(C_{gd,P} + C_C)R_{O,AE}} \tag{1.54}$$

$$\omega_{pd} = \frac{(C_O + C_{gd,P} + C_C)R_O + C_{G,P}R_{O,AE} + (1 + g_{m,P}R_O)(C_{gd,P} + C_C)R_{O,AE}}{R_{O,AE}R_O[C_{G,P}(C_{gd,P} + C_C) + C_{G,P}C_O + C_O(C_{gd,P} + C_C)]} \tag{1.55}$$

Le gain statique $H_{0,c}$ du LDO compensé est le même que celui du LDO non compensé. Cette méthode de compensation permet de déplacer le pôle dominant vers les basses fréquences et le pôle non dominant au-delà la pulsation de transition pour stabiliser le LDO comme le montre la figure (21), mais cette stabilité est assurée seulement pour les moyennes et les grandes valeurs du courant de charge I_{Ch}. Or pour les faibles valeurs de I_{Ch}, le zéro réel positif z_D se déplace auprès de la pulsation de transition dégradant ainsi la marge de phase. La condition de stabilité et la marge de phase sont données respectivement par les équations (1.56) et (1.57) [37].

$$C_C = 2\frac{g_{m,AE}}{g_{m,P}} C_{Ch} \tag{1.56}$$

$$M_\Phi = 63° - \arctan\left(\frac{g_{m,AE}}{g_{m,P}}\right) \tag{1.57}$$

2.3.2.2 Compensation de Miller avec résistance d'annulation du zéro réel positif

La compensation de Miller avec résistance d'annulation du zéro réel positif consiste à l'insertion d'une résistance R_C en série avec la capacité C_C comme le montre la figure (21) [2]. Cette compensation vise à déplacer le zéro réel positif z_D vers le demi-plan gauche ou de le rejeter vers les très hautes fréquences afin d'augmenter la marge de phase du système du régulateur LDO. En négligeant l'effet Miller de la capacité parasite $C_{gd,P}$, la fonction de transfert compensée peut être approximée par:

$$H_{bo,c}(s) \approx H_{0,c} \frac{[1 - sC_C(\frac{1}{g_{m,P}} - R_C)]}{1 + a_1 s + a_2 s^2 + a_3 s^3} \tag{1.58}$$

Avec,

$$a_1 = (R_O + R_{O,AE} + g_{m,P} R_{O,AE} R_O + R_C) C_C + R_O C_O + R_{O,AE} C_{G,P} \tag{1.59}$$

$$a_2 = R_{O,AE} R_O (C_O C_{G,P} + C_{G,P} C_C + C_O C_C) + R_C C_C (R_{O,AE} C_{G,P} + R_O C_O) \tag{1.60}$$

$$a_3 = R_C R_{O,AE} R_O C_C C_O C_{G,P} \tag{1.61}$$

Le zéro de la fonction de transfert d'équation (1.58) est donné par l'équation (1.62). Si on choisi $R_C > (1/g_{m,P})$, alors le zéro z_1 est un réel négatif. Par contre, si $R_C = (1/g_{m,P})$ alors $z_1 = \infty$, dans ce cas le zéro réel positif est rejeté vers les très hautes fréquences et par conséquent il est complètement éliminé. Les valeurs des coefficients a_1, a_2 et a_3 dépendent de la valeur de I_{Ch}.

$$z_1 = \frac{1}{C_C(\frac{1}{g_{m,P}} - R_C)} \tag{1.62}$$

Pour les courants de charge forts jusqu'à la valeur maximale $I_{Ch,max}$ et pour la condition $R_C > (1/g_{m,P})$, la fonction de transfert (1.58) peut s'écrire sous la forme:

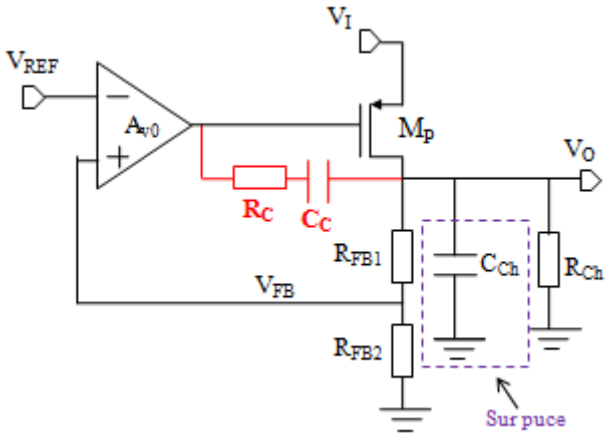

Figure 22 Structure conventionnelle du LDO comprenant la compensation de Miller avec résistance d'annulation du zéro réel positif.

$$H_{bo,c}(s) \approx H_{0,c} \frac{(1+\frac{s}{\omega_{z1}})}{(1+\frac{s}{\omega_{pd}})(1+\frac{s}{\omega_{pnd}})(1+\frac{s}{\omega_{p3}})} \tag{1.63}$$

Où $\omega_{z1}=-z_1$ est la pulsation correspondante au zéro réel négatif z_1 introduit par le réseau de compensation. Les pôles dominant et non dominant sont approximés respectivement par (1.64) et (1.65), le troisième pôle ω_{p3} est localisé dans les très hautes fréquences et par conséquent il n'a aucun effet sur la stabilité du LDO. La figure (23) montre l'effet de la compensation de Miller avec annulation du zéro réel positif dans le plan de Bode pour des fortes valeurs du courant de charge I_{Ch}. L'introduction du zéro réel négatif z_1 annule l'effet du pôle non dominant p_{nd}. Par conséquent, la courbe de gain coupe l'axe des fréquences avec une pente de −20dB/déc, ce qui stabilise le régulateur LDO.

$$\omega_{pd} = \frac{1}{a_1} \approx \frac{1}{R_{O,AE} g_{m,P} R_O C_C} \tag{1.64}$$

$$\omega_{pnd} = \frac{a_1}{a_2} \approx \frac{g_{m,P} C_C}{C_{G,P} C_O + C_C (C_{G,P} + C_O)} \tag{1.65}$$

$$\omega_{p3} = \frac{a_2}{a_3} \approx \frac{C_{G,P} C_O + C_C (C_{G,P} + C_O)}{R_C C_C C_{G,P} C_O} \tag{1.66}$$

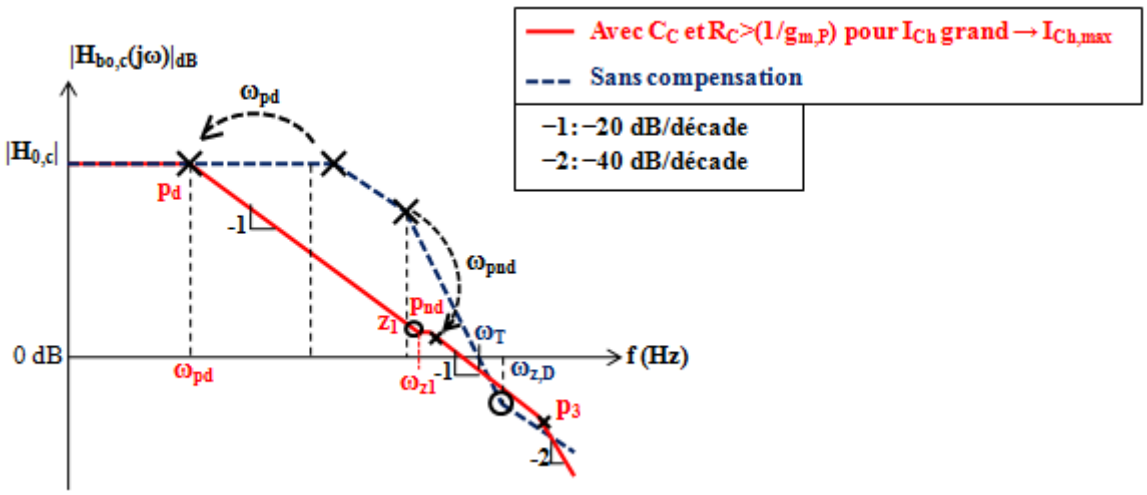

Figure 23 Localisation pôles-zéros dans le plan de Bode pour la compensation de Miller avec annulation du zéro réel positif dans le cas de I_{Ch} grand.

Pour les valeurs faibles et moyennes de I_{Ch}, la fonction de transfert (1.58) s'écrit pour la condition $R_C>(1/g_{m,P})$ comme suit :

$$H_{bo,c}(s) = H_{0,c}\frac{(1+\frac{s}{\omega_{z1}})}{(1+\frac{s}{\omega_{pd}})(1+c_1 s+c_2 s^2)} \tag{1.67}$$

Avec,

$$\omega_{pd} = \frac{1}{a_1} \tag{1.68}$$

$$c_1 = \frac{a_2}{a_1} \tag{1.69}$$

$$c_2 = \frac{a_3}{a_1} \tag{1.70}$$

La localisation du pôle dominant ne subie aucun changement notable et son expression est donnée par l'équation (1.68). Avec l'augmentation de I_{Ch} vers les valeurs moyennes, le facteur de qualité Q de l'équation polynômiale du seconde ordre $1+c_1s+c_2s^2=0$ augmente, produisant ainsi deux pôles complexes conjugués p_{c1} et p_{c2} donnés par l'équation (1.71). La pulsation de résonance est donnée par l'équation (1.75).

$$p_{c1,2} = -\zeta\omega_0 \mp j\sqrt{1-\zeta^2} \tag{1.71}$$

Avec,

$$\zeta = \frac{c_1}{2\sqrt{c_2}} \tag{1.72}$$

$$\omega_0 = \frac{1}{\sqrt{c_2}} \tag{1.73}$$

$$Q = \frac{1}{2\zeta} \tag{1.74}$$

$$\omega_r = \omega_0(\sqrt{1-2\zeta^2}) \tag{1.75}$$

Où ω_0 et ζ représentent respectivement la pulsation centrale et le coefficient d'amortissement de l'équation polynômiale du numérateur de la fonction de transfert de l'équation (1.68). Les valeurs de R_C et C_C sont choisis pour avoir la marge de phase M_Φ et la pulsation de transition ω_T désirées d'après l'équation (1.76).

$$M_\Phi \approx -\arctan[\frac{\omega_T}{C_C(\frac{1}{g_{m,P}} - R_C)}] - \arctan[Q(\frac{\omega_T}{\omega_0} - \frac{\omega_0}{\omega_T})] \tag{1.76}$$

Comme le montre la figure (24), si $R_C >> (1/g_{m,P})$, alors la localisation de ω_{z1} ne change pas en fonction de I_{Ch}, dans ce cas le pic de résonance se croise avec l'axe 0dB et ω_T se déplace vers une valeur supérieure à la pulsation de résonance ω_r des deux pôles complexes conjugués ce qui introduit une diminution notable dans la marge de phase d'où le LDO devient instable.

La méthode de compensation de Miller avec annulation du zéro réel positif présente des limitations, cependant la condition de stabilité (1.77) dépend de la valeur de R_C, de plus le régulateur LDO est instable pour I_{Ch} nul et aussi pour les valeurs moyennes de I_{Ch}.

$$\frac{1}{g_{m,P}} \le R_C < \frac{R_{O,AE}}{10} \tag{1.77}$$

Pour améliorer la stabilité, des techniques de control du facteur d'amortissement et du facteur de qualité des pôles non dominants ont étés proposées [38] et [39].

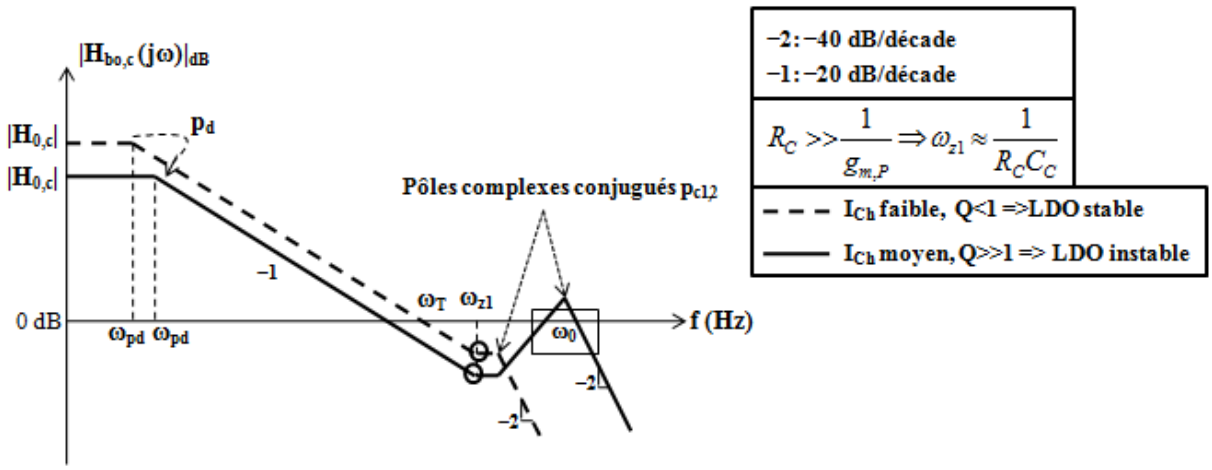

Figure 24 Influence des pôles complexes conjugués sur la stabilité du LDO en fonction de I_{Ch} dans la compensation de Miller avec annulation du zéro réel positif.

2.3.2.3 Compensation par multiplication de l'effet Miller

Pour les modernes systèmes sur une puce conçus dans les technologies submicroniques, l'amplificateur d'erreur utilisé dans le régulateur LDO est implémenté par plusieurs étages en cascade pour assurer le gain statique nécessaire, en raison de la diminution du gain intrinsèque du transistor MOS [40] et [41], des effets de canal-court [42] et des courants de fuite [43]. Ces effets indésirables dégrade la réponse en boucle fermée du régulateur LDO et notamment la stabilité, à cause de la présence des multiples pôles. Des méthodes de compensation plus robustes ont été élaborées pour stabiliser le régulateur LDO à étages multiples [44]-[58], elles utilisent des tampons de courant ou/et des amplificateurs de courant pour générer une capacité active afin de multiplier l'effet Miller dont le but d'atténuer l'effet indésirable de la grande valeur du facteur de qualité à cause de la présence des pôles complexes conjugués.

La figure (25) montre la structure d'un régulateur LDO incluant la compensation de Miller avec multiplicateur de capacité. Le réseau de compensation comprend maintenant un amplificateur de courant de gain A_I qui amplifie le courant i_C traversant le condensateur de Miller et par conséquent sa capacité C_C. Cette capacité réagit aux changements de la tension de sortie produits par un changement du courant de charge, générant ainsi un changement de courant équivalent traversant le condensateur de compensation. En conséquence, le courant généré est injecté dans la capacité équivalente connectée entre la grille du transistor de passage M_P et la masse.

L'utilisation de l'amplificateur de courant avec le condensateur de Miller produit un bloc appelé différentiateur ou dérivateur. Il fonctionne comme un multiplicateur de capacité permettant d'utiliser un petit condensateur C_C et donc d'économiser beaucoup la surface de la puce. La figure (26) donne une simple implémentation par des transistors MOS de l'amplificateur du courant utilisé dans cette compensation [59] et [2].

En ignorant la capacité équivalente d'entrée de l'amplificateur de courant, le schéma équivalent simplifié du régulateur LDO utilisant la compensation de Miller avec multiplicateur de capacité est représenté sur la figure (27). La fonction de transfert en boucle ouverte compensée du régulateur LDO dont le cas de la présence d'un pôle dominant est approximée par l'équation (1.78) [56].

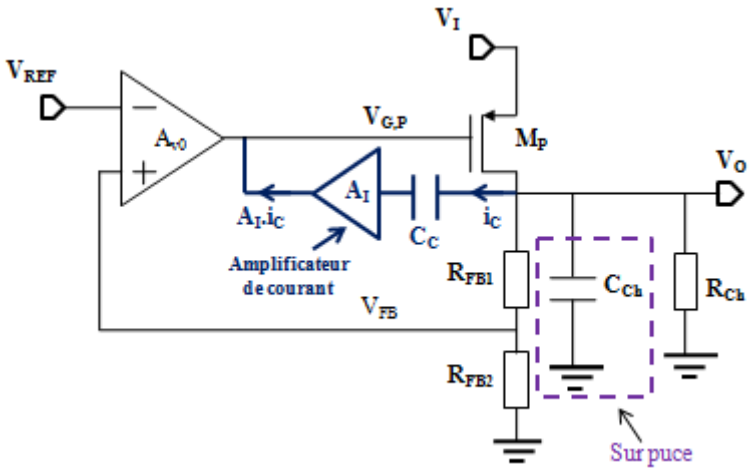

Figure 25 Compensation de Miller avec multiplicateur de capacité.

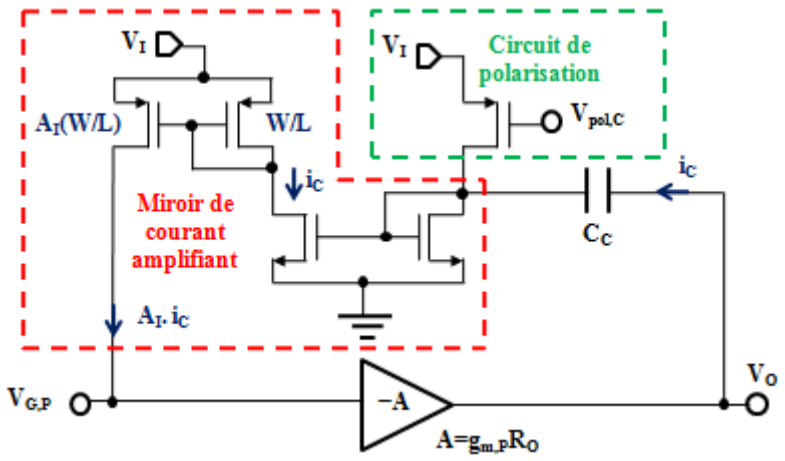

Figure 26 Implémentation simple par des transistors MOS de l'amplificateur de courant utilisé dans la compensation avec multiplicateur de capacité.

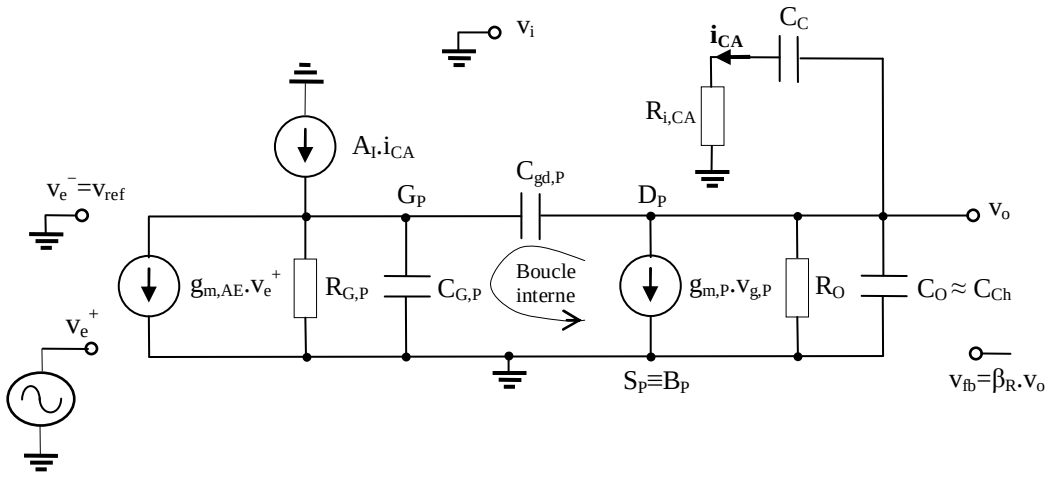

Figure 27 Schéma équivalent en régime petit signal du LDO incluant la compensation de Miller avec multiplicateur de capacité.

$$H_{bo,c}(s) = H_{0,c}\frac{(1-\frac{s}{\omega_{z,D}})(1+\frac{s}{\omega_{z,G}})}{(1+\frac{s}{\omega_{pd}})(1+\frac{s}{\omega_{GBP,i}}+\frac{s^2}{\omega_{GBP,i}.\tan M_{\Phi,i}})} \tag{1.78}$$

Avec,

$$H_{0,c} = \beta_R g_{m,AE} R_{Ge} g_{m,P} R_O \tag{1.79}$$

$$\omega_{z,D} = \frac{g_{m,P}}{C_{gd,P}} \tag{1.80}$$

$$\omega_{z,G} = \frac{1}{R_{i,CA}C_C} \tag{1.81}$$

$$\omega_{pd} \approx \frac{1}{R_O[g_{m,P}R_{G,P}(C_{gd,P}+A_I C_C)+C_{Ch}]} \tag{1.82}$$

$$\omega_{GBP,i} \approx \frac{g_{m,P}R_{G,P}(C_{gd,P}+A_I C_C)+C_{Ch}}{R_{G,P}C_{Ch}(C_{gd,P}+C_{G,P})+R_{i,CA}C_C(g_{m,P}R_{G,P}C_{gd,P}+C_{Ch})} \tag{1.83}$$

$$\tan M_{\Phi,i} \approx \frac{[R_{G,P}C_{Ch}(C_{gd,P}+C_{G,P})+R_{i,CA}C_C(g_{m,P}R_{G,P}C_{gd,P}+C_{Ch})]^2}{[g_{m,P}R_{G,P}(C_{gd,P}+A_I C_C)+C_{Ch}].C_{Ch}C_C(C_{gd,P}+C_{G,P})R_{G,P}R_{i,CA}} \tag{1.84}$$

$R_{G,P}$ et $C_{G,P}$ représentent respectivement la résistance équivalente et la capacité équivalente connectées entre la grille de M_P et la masse où $R_{G,P}=R_{O,AE}//R_{o,CA}$ et $C_{G,P}=C_{O,AE}+C_{gs,P}+C_{o,CA}$, $R_{o,CA}$ et $C_{o,CA}$ sont, respectivement, la résistance de sortie et la capacité de sortie de l'amplificateur de courant. $R_{i,CA}\approx(1/g_{m,CA})$ est la résistance d'entrée de l'amplificateur de courant du réseau de compensation qui est approximativement égale à la valeur de la transconductance $g_{m,CA}$ de l'amplificateur de courant, $\omega_{GBP,i}$ est la pulsation correspondante au produit gain-bande passante de la boucle interne sans réseau de contre-réaction et $M_{\Phi,i}$ est la marge de phase de la boucle interne. La fonction de transfert montre la présence d'un zéro réel positif $z_D=\omega_{z,D}$, d'un zéro réel négatif $z_G=-\omega_{z,G}$, d'un pôle dominant réel négatif $p_d=-\omega_{pd}$ et de deux pôles complexes conjugués. Les conditions de stabilité pour cette compensation sont données par les équations (1.85)-(1.88) d'après [56], où ω_{GBP} représente la pulsation correspondante au produit gain bande passante de la boucle principale (avec réseau de contre-réaction). Ces conditions de stabilité permettent de déterminer la valeur de la capacité C_C et la taille des transistors de l'amplificateur de courant du circuit de compensation selon la marge de phase et le produit gain-bande passante désirés.

$$C_C=\frac{1}{A_I}\left(\sqrt{\frac{g_{m,AE}}{g_{m,P}}.\frac{\omega_{GBP,i}}{\omega_{GBP}}C_{G,P}C_{Ch}}-\frac{C_{Ch}}{2g_{m,P}R_{G,P}}\right) \tag{1.85}$$

$$\omega_{GBP}=\frac{g_{m,AE}}{\frac{C_{Ch}}{g_{m,P}R_{G,P}}+A_IC_C} \tag{1.86}$$

$$g_{m,CA}=\frac{1}{A_I}\tan M_{\Phi,i}.\frac{\omega_{GBP,i}}{\omega_{GBP}}.g_{m,AE} \tag{1.87}$$

$$\frac{\omega_{GBP}}{\omega_{GBP,i}}=[\sqrt{1+\frac{4}{(\tan M_{\Phi,i}-1)^2\tan M_{\Phi}}}-1].\frac{\tan M_{\Phi,i}(\tan M_{\Phi,i}-1)}{2} \tag{1.88}$$

La compensation de Miller avec multiplicateur de capacité présente un autre bénéfique qui se manifeste dans l'amélioration de la régulation de charge transitoire en réduisant les sous-dépassements et les dépassements [46], mais ils présentent des inconvénients car elle demande des circuits additionnels et par conséquent une augmentation de la surface intégrée, en plus de l'augmentation de la consommation.

2.3.2.4 Méthodes de compensation alternatives

Pour surmonter les limitations de la topologie classique du régulateur LDO-CI, une topologie alternative nommée suiveur de tension inversé (FVF) a été proposée [60] et [61]. Cette méthode a été bien analysée, développée et appliquée au régulateur LDO [62], elle se caractérise par une contre-réaction locale ce qui permet d'atteindre une faible impédance de sortie, et par conséquent d'améliorer la vitesse de balayage au niveau de la grille du transistor de passage, ce qui améliore la réponse transitoire ainsi que la stabilité, mais à cause de la faible valeur du gain statique $H_{0,c}$ généré par cette méthode [62], les performances des régulations de ligne et de charge restent limitées ce qui dégrade la réponse transitoire. Pour améliorer les performances de la stabilité et de la régulation, plusieurs régulateurs LDO ont été proposés, comme celui qui utilise le suiveur de tension inversé cascodé (Cascode Flipped Voltage Follower) [63], le régulateur LDO à plusieurs boucles basé sur le suiveur de tension inversé [64] et le régulateur LDO à compensation interne mixte qui marie entre la compensation de Miller et le suiveur de tension inversé [65] et [66].

2.4 Analyse du PSRR

2.4.1 Analyse du PSRR du régulateur LDO-CI conventionnel

Le PSRR, d'un régulateur LDO-CI incluant la référence de tension, est influencé par trois chemins du signal injecté à la tension d'alimentation d'entrée et qui relient cette dernière à la sortie du régulateur LDO comme le montre la figure (28). Le premier chemin provient du circuit qui génère la tension de référence, V_{REF}, dont le PSRR domine normalement en basse fréquence. Le second provient de l'amplificateur d'erreur dont le PSRR domine généralement aux fréquences intermédiaires. Le troisième et dernier chemin a deux contributions: la première provient de la boucle de contrôle, et la seconde vient directement du transistor de passage M_P par sa transconductance $g_{m,P}$, sa résistance de sortie finie $r_{o,P}$ et ses capacités parasites, qui couplent en hautes fréquences la ligne (alimentation d'entrée) au nœud de sortie. La figure (29) montre la les gammes de fréquences approximatives dont dominent chacun de ces trois chemins. Pour évaluer la contribution de chaque chemin, il est nécessaire d'étudier la fonction de transfert de la tension de sortie v_o sur la tension d'entrée v_i pour chaque chemin. Pour cela, le modèle mathématique du PSRR est établi à partir des équations (1.19)-(1.23) et il est représenté sur la figure (30). Les termes $PSRR_{REF}$ et $PSRR_{AE}$ représentent respectivement le PSRR intrinsèque de la référence de tension et le PSRR intrinsèque de l'amplificateur d'erreur. $A_{v,AE}(s)$ est la fonction de transfert de l'amplificateur d'erreur donnée

par l'équation (1.89) où $\omega_{pd,AE}$ est la pulsation de son pole dominant (approximation du premier ordre). $Z_{Ch}(s)$ est l'impédance équivalente de la charge donnée par l'équation (1.90).

$$A_{v,AE}(s) = \frac{A_{v0}}{1 + \frac{s}{\omega_{pd,AE}}} \tag{1.89}$$

$$Z_{Ch}(s) = R_{Ch} \,//\left(\frac{1}{C_{Ch}.s}\right) \tag{1.90}$$

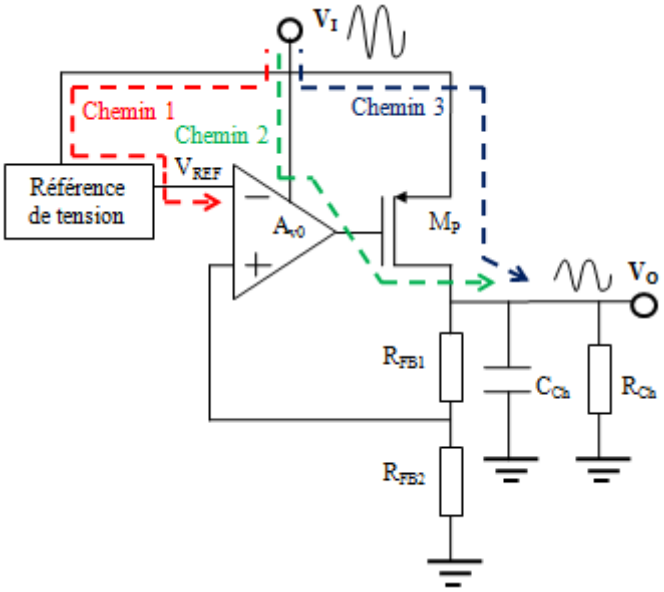

Figure 28 Contributions au PSRR d'un régulateur LDO: chemins du signal.

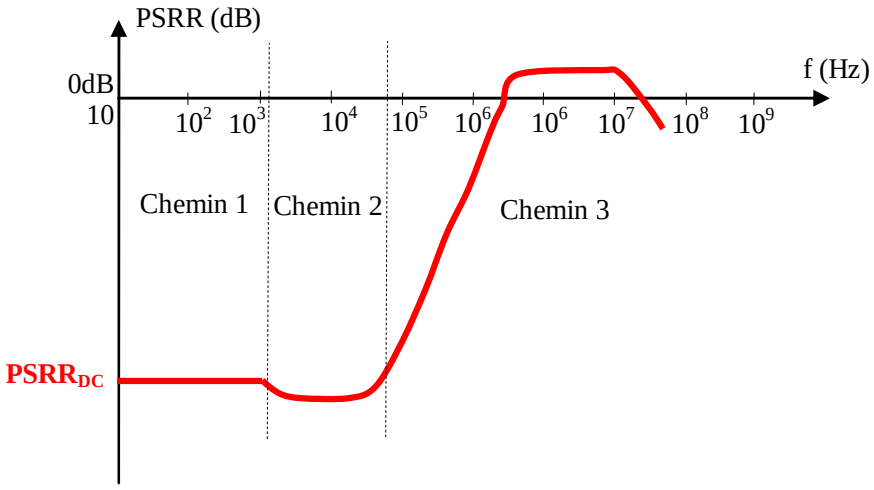

Figure 29 Contributions au PSRR d'un régulateur LDO-CI: allure typique du spectre du PSRR montrant la contribution dominante dans chaque gamme de fréquences.

D’après la figure (30) et en traitant les trois chemins séparément, on obtient le rapport $\frac{v_o(s)}{v_i(s)}$ pour chaque chemin:

$$\left.\frac{v_o(s)}{v_i(s)}\right|_{1,REF} = \frac{\mathrm{PSRR}_{\mathrm{REF}} g_{m,P} A_{v,AE}(s)[(R_{FB1}+R_{FB2})//Z_{Ch}(s)]}{(1+[g_{m,P}\beta_R.A_{v,AE}(s)+\frac{1}{r_{o,P}}].[(R_{FB1}+R_{FB2})//Z_{Ch}(s)])} \quad (1.91)$$

$$\left.\frac{v_o(s)}{v_i(s)}\right|_{2,AE} = -\frac{A_{v,AE}(s)}{\mathrm{PSRR}_{\mathrm{AE}}}.\frac{.g_{m,P}[(R_{FB1}+R_{FB2})//Z_{Ch}(s)]}{(1+[g_{m,P}\beta_R.A_{v,AE}(s)+\frac{1}{r_{o,P}}].[(R_{FB1}+R_{FB2})//Z_{Ch}(s)])} \quad (1.92)$$

$$\left.\frac{v_o(s)}{v_i(s)}\right|_{3,M_P} = \frac{(\frac{1}{r_{o,P}}+g_{m,P}).[(R_{FB1}+R_{FB2})//Z_{Ch}(s)]}{(1+[g_{m,P}\beta_R.A_{v,AE}(s)+\frac{1}{r_{o,P}}].[(R_{FB1}+R_{FB2})//Z_{Ch}(s)])} \quad (1.93)$$

Les valeurs limites du rapport $\frac{v_o(s)}{v_i(s)}$ pour chaque contribution, dans le cas où A_{v0} et $r_{o,P}$ sont très grands, et $g_{m,P}.r_{o,P}>>1$, sont données dans le tableau (6).

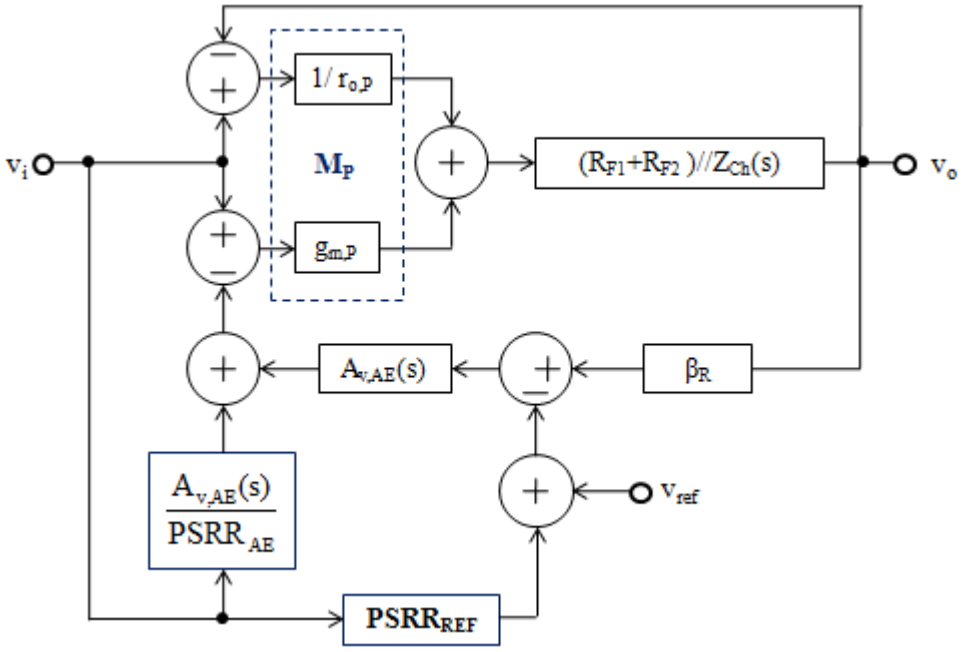

Figure 30 Modèle mathématique pour l’évaluation du PSRR d’un LDO-CI conventionnel.

Tableau 6 Valeurs limites du PSRR du LDO-CI conventionnel pour chaque contribution.

	Domaine de fréquences	
	Basses fréquences (s→0)	**Hautes fréquences (s→∞)**
$\left.\frac{v_o(s)}{v_i(s)}\right\|_{1,REF}$	$\cong \frac{PSRR_{REF}}{\beta_R}$	0
$\left.\frac{v_o(s)}{v_i(s)}\right\|_{2,AE}$	$\cong -\frac{1}{\beta_R.PSRR_{AE}}$	0
$\left.\frac{v_o(s)}{v_i(s)}\right\|_{3,M_P}$	$\cong \frac{1}{\beta_R.A_{v0}}$	0

D'après cette analyse, on constate que pour avoir un bon PSRR en basse fréquence, l'amplificateur d'erreur doit avoir un grand gain statique A_{v0} pour qu'il possède un bon $PSRR_{AE}$, et il faut aussi que la référence de tension possède un bon $PSRR_{REF}$. Notons que la valeur statique du PSRR du LDO correspondante au chemin 3 est égale à la régulation de ligne statique d'après l'équation (1.29).

2.4.2 Contribution des capacités parasites du transistor de passage au PSRR du régulateur LDO conventionnel

Pour étudier le PSRR en moyennes et hautes fréquences, il est indispensable de tenir en comptes des capacités parasites du transistor de passage M_P du régulateur LDO. Pour cela, un modèle équivalent adéquat en régime petit-signal est établi pour la détermination de l'expression du PSRR comme le montre la figure (31). Le PSRR d'un LDO en régime petit-signal et en haute fréquence est la fonction de transfert définie par l'équation (1.94) pour des valeurs fixes de la tension d'alimentation V_I et du courant de charge I_{Ch} :

$$PSRR(s) = \left.\frac{v_o(s)}{v_i(s)}\right|_{V_I, I_{Ch}} \tag{1.94}$$

En appliquant la loi des nœuds respectivement au nœud de sortie et au nœud de gille de M_P on obtient :

$$[(\frac{1}{R_{FB1}+R_{FB2}}+\frac{1}{R_{Ch}}+\frac{1}{r_{o,P}})+(C_{Ch}+C_{db,P}+C_{gd,P})s]v_o = (g_{m,P}+\frac{1}{r_{o,P}}+C_{db,P}s).v_i+(C_{gd,P}s-g_{m,P})v_{g,P} \tag{1.95}$$

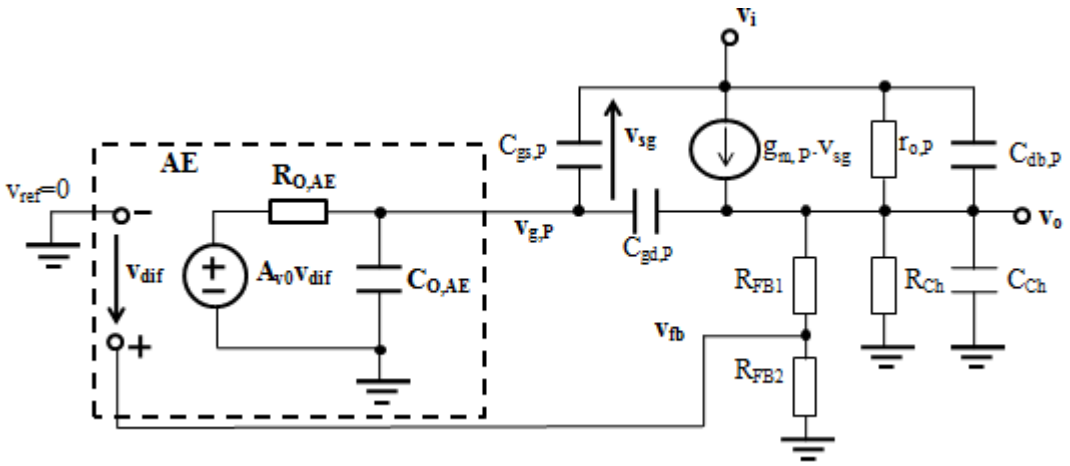

Figure 31 Modèle équivalent du régulateur LDO conventionnel incluant les capacités parasites du transistor de passage pour le calcul du PSRR.

$$[\frac{1}{R_{O,AE}}+(C_{O,AE}+C_{gs,P}+C_{gd,P})s]v_{g,P}=C_{gs,P}s.v_i+(\frac{\beta_R A_{v0}}{R_{O,AE}}+C_{gd,P}s)v_o \tag{1.96}$$

En éliminant la tension petit-signal $v_{g,P}$ entre les équations (1.94) et (1.95), en plus de quelques manipulations mathématiques, on obtient l'expression du PSRR:

$$PSRR(s)=\frac{R_O}{r_{o,P}}.\frac{1+g_{m,P}r_{o,P}+b_1.s+b_2.s^2}{1+g_{m,P}R_O A_{v0}\beta_R+a_1.s+a_2.s^2} \tag{1.97}$$

Avec,

$$b_1 = R_{O,AE}(1+g_{m,P}r_{o,P})(C_{O,AE}+C_{gd,P})+r_{o,P}C_{gd,P} \tag{1.98}$$

$$b_2 = r_{o,P}R_{O,AE}C_{db,P}(C_{O,AE}+C_{gs,P}+C_{gd,P})+r_{o,P}R_{O,AE}C_{gs,P}C_{gd,P} \tag{1.99}$$

$$a_1 = R_O(C_{Ch}+C_{gd,P}+C_{db,P})+R_{O,AE}(C_{O,AE}+C_{gs,P}+C_{db,P})+g_{m,P}R_O R_{O,AE}C_{gd,P}-R_O C_{gd,P}A_{v0}\beta_R \tag{1.100}$$

$$a_2 = R_{O,AE}R_O[(C_{Ch}+C_{db,P})(C_{O,AE}+C_{gs,P}+C_{gd,P})+C_{gd,P}(C_{O,AE}+C_{gs,P})] \tag{1.101}$$

La valeur statique du PSRR du LDO conventionnel est obtenue en remplaçant (s=0) dans l'équation (1.97) et en utilisant les approximations $g_{m,P}.r_{o,P}>>1$ et $g_{m,P}.r_{o,P}A_{v0}\beta_R>>1$:

$$PSRR_{DC}=\frac{R_O}{r_{o,P}}.\frac{1+g_{m,P}r_{o,P}}{1+g_{m,P}R_O A_{v0}\beta_R}\approx\frac{1}{A_{v0}\beta_R} \tag{1.102}$$

La valeur limite du PSRR du LDO conventionnel en haute fréquence est obtenue en remplaçant (s→∞) dans l'équation (2.97) :

$$PSRR(\infty) = \frac{R_O}{r_{o,P}} . \frac{b_2}{a_2} = \frac{C_{db,P}(C_{O,AE} + C_{gs,P} + C_{gd,P}) + C_{gs,P}C_{gd,P}}{(C_{Ch} + C_{db,P})(C_{O,AE} + C_{gs,P} + C_{gd,P}) + C_{gd,P}(C_{O,AE} + C_{gs,P})} \qquad (1.103)$$

En utilisant les approximations $C_{gs,P} >> C_{gd,P}$ et $C_{gs,P} >> C_{O,AE}$, l'équation (2.103) se simplifiera comme suit :

$$PSRR(\infty) \approx \frac{C_{db,P} + C_{gd,P}}{C_{Ch} + C_{db,P} + C_{gd,P}} \qquad (1.104)$$

D'après le résultat (1.104), on peut observer que l'effet du $C_{db,P}$ est critique en haute fréquence. Par conséquent, cette capacité parasite ne peut être négligée. D'autre part, l'effet de la capacité de charge C_{Ch} dépend du type de la compensation utilisé qu'elle soit externe ou interne.

La figure (32) donne les allures du spectre du PSRR d'un LDO-CI et d'un LDO-CE. On voit bien que le régulateur LDO-CE possède un bon PSRR pour les hautes fréquences, mais cette catégorie de régulateurs LDO n'est pas pratique pour les systèmes sur une puce complètement intégrés.

D'après l'analyse précédente, on peut conclure que les régulateurs LDO-CI présentent en général un mauvais PSRR pour les moyennes et hautes fréquences. Ce problème a été abordé dans les références [67]-[81].

Pour les fonctions sans fil du microsystème d'internet des objets, il est important d'avoir un PSRR élevé (valeur ≤ à -60dB), non seulement dans les basses fréquences (valeur statique $PSRR_{DC}$), mais aussi dans la bande de fréquence 100kHz-10MHz, car le régulateur LDO qui leurs fournissent l'alimentation est alimenté par la tension de sortie d'un convertisseur DC-DC à découpage, dont la fréquence de fonctionnement appartient à cette bande, afin de limiter les perturbations dues au découpage.

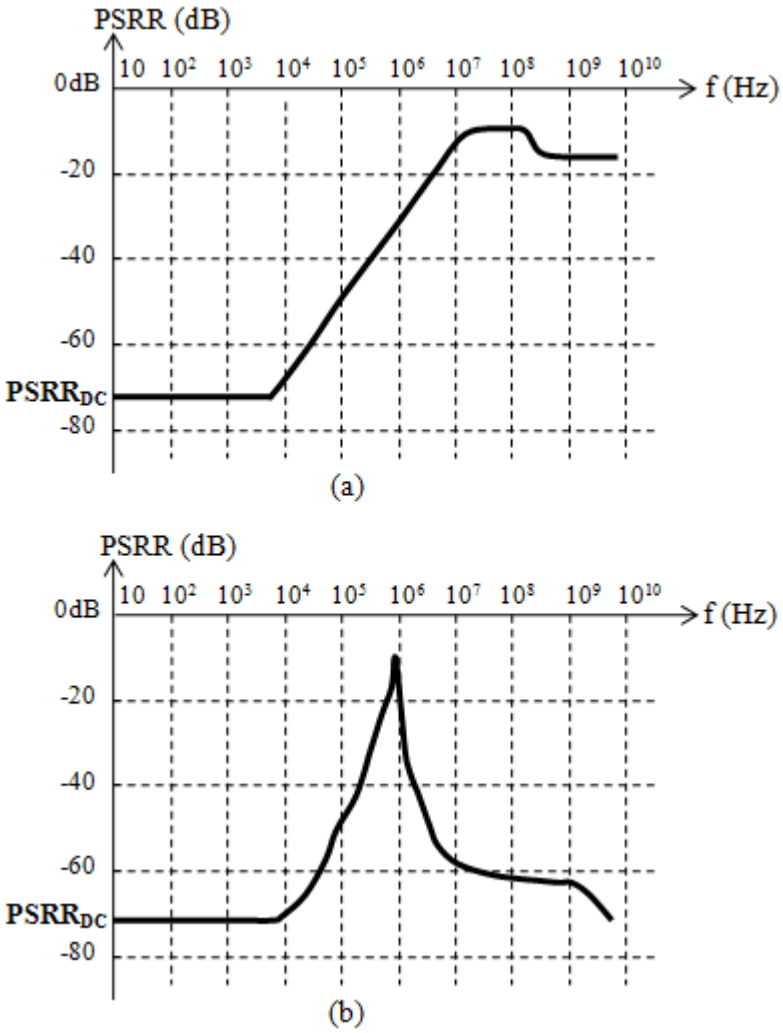

Figure 32 Comparaison des PSRR dans un régulateur conventionnel selon sa classe : (a) LDO-CI avec C_{Ch}=100pF, (b) LDO-CE avec C_{Ch}=1µF.

2.4.3 Méthodes et techniques d'amélioration du PSRR

L'une des approches les plus simples pour améliorer le PSRR aux moyennes et hautes fréquences est d'introduire un filtre RC passe-bas en série avec le nœud de sortie qui atténue les variations haute fréquence à la tension de sortie. Cependant, pour minimiser la puissance dissipée et la tension de chute, la résistance du filtre doit être très faible (dans la plage de 1 à 10 Ω) et donc, une très grande capacité du condensateur du filtre (dans la plage de 1 à 100 µF) est nécessaire. En conséquence, cette technique n'est pas valable dans les applications nécessitant une intégration à grande échelle, une faible tension d'alimentation et une faible consommation d'énergie comme celles des SoCs. Même si une utilisation d'un filtre RLC permettrait une réduction de la taille du condensateur, la grande valeur de l'inductance et la puissance qui serait dissipée dans sa résistance interne rend cette mise en œuvre tout aussi irréalisable.

Dans [68] et [69], une technique pour l'amélioration du PSRR est proposée. Elle est basée sur l'utilisation d'un transistor NMOS qui agit comme un cascode pour le transistor de passage M_P du LDO conventionnel [82]. De cette manière, le transistor M_P est isolé des fluctuations de la tension d'alimentation d'entrée V_I. La figure (33) montre un schéma simplifié du circuit proposé. Les auteurs rapportent une amélioration du PSRR d'environ −30dB pour les moyennes et hautes fréquences. Cependant, cette technique présente plusieurs inconvénients. Pour un bon fonctionnement du transistor NMOS cascode, sa tension de grille doit être supérieure à V_I. Les auteurs génèrent cette tension au moyen d'une pompe de charge, dont la sortie est filtrée pour minimiser le bruit. Un autre inconvénient est l'augmentation de la tension de chute V_{DO} (0,6V), qui reste inadaptée aux technologies actuelles, sans oublier la baisse du rendement, et l'augmentation de la surface due au transistor cascode (qui transporte le même courant que M_P), à la pompe de charge et au filtre passe-bas.

Dans [70] et [71], une technique similaire a été utilisée. Le circuit de référence est remplacé par un régulateur linéaire avec un transistor de passage NMOS. Il permet de réduire la dissipation de puissance par rapport à la technique proposée dans [71], ainsi que la taille des condensateurs de la pompe de charge. Dans [71] et [72], des régulateurs supplémentaires sont utilisés pour augmenter l'immunité de la tension de grille du transistor cascode, au détriment d'une tension de chute encore plus grande.

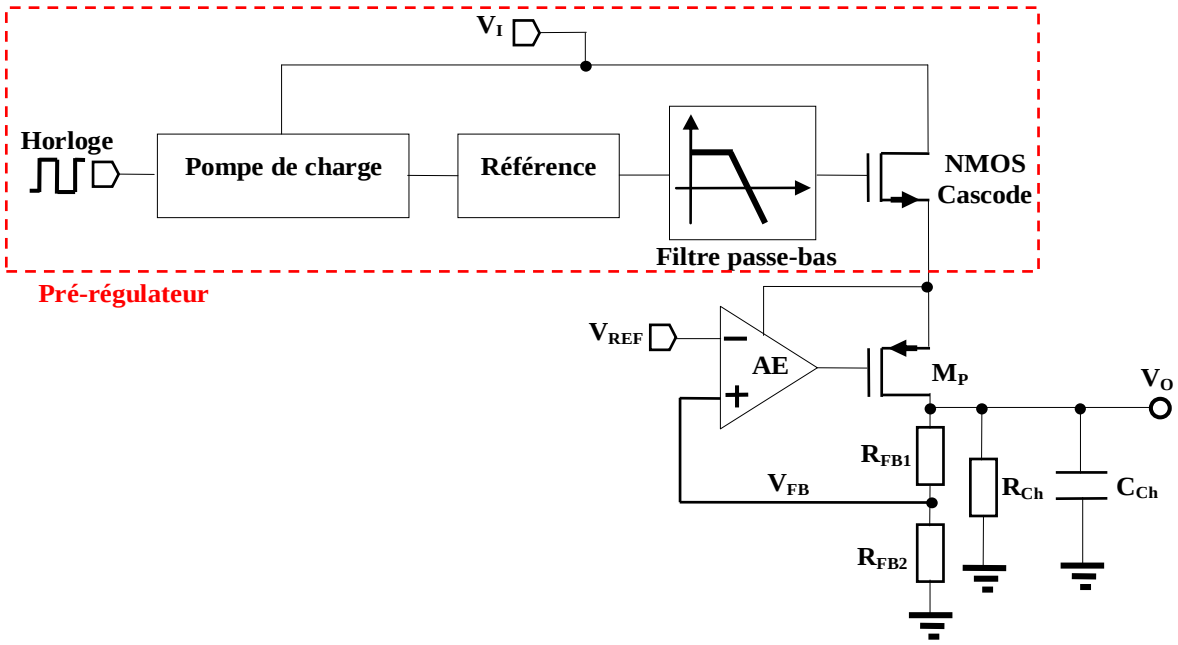

Figure 33 Technique d'amélioration du PSRR proposée dans [68] et [69].

Pour améliorer le PSRR dans les moyennes et hautes fréquences, une deuxième boucle de contre-réaction négative est ajoutée en utilisant un circuit de réplique [73]. Pour simplifier l'implémentation, les deux boucles de contre-réaction sont fusionnées dans un seul amplificateur de courant. Le principal inconvénient de cette approche réside dans la nécessité de garantir un comportement similaire entre le circuit principal et la réplique dans toutes les conditions de fonctionnement.

Le moyen le plus efficace pour améliorer le PSRR est de mettre en œuvre un chemin direct entre le signal d'entrée V_I, connecté à la source du transistor de passage M_P, et sa grille (figure 34). De cette façon, la tension V_{SG} du transistor M_P et son courant de drain I_D sont indépendantes de la tension V_I (en approximation du premier ordre). Différentes implémentations de cette technique ont été proposées. Dans [74], l'effet de la résistance de sortie $r_{o,P}$ de M_P a été pris en compte, et le chemin rapide direct amplifie les variations de V_I par le rapport $\frac{1+g_{m,P}.r_{o,P}}{g_{m,P}.r_{o,P}}$. De plus, pour éviter une interférence avec la boucle de contrôle principale, il est commode de générer un zéro dans la fonction de transfert du PSRR pour annuler l'effet du pôle dominant du régulateur LDO. En utilisant cette technique, les auteurs ont étendu la petite valeur du PSRR, typique des basses fréquences, jusqu'à 9 MHz. L'inconvénient de cette méthode est l'ajout de deux autres amplificateurs opérationnels et l'utilisation des éléments passifs, ce qui augmente la consommation et la surface du LDO.

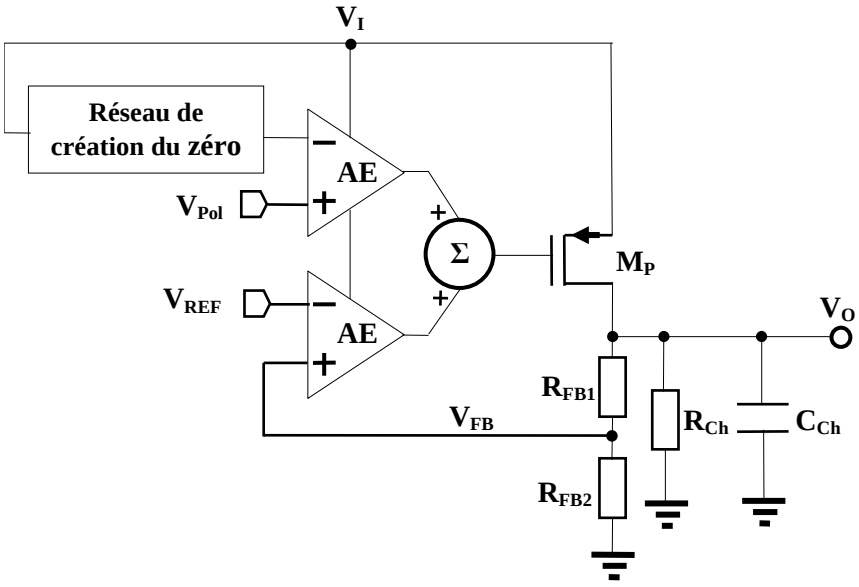

Figure 34 Technique d'amélioration du PSRR proposée dans [74].

Une technique similaire a été présentée dans [77], où un filtre passe-bande a été introduit comme chemin direct pour coupler les variations de tension d'alimentation d'entrée à la sortie. Le deuxième étage de l'amplificateur d'erreur est utilisé pour faire la sommation du courant de trajet continu avec celui de la boucle principale. Cette technique n'améliore le PSRR qu'aux fréquences intermédiaires, nécessitant l'utilisation de techniques supplémentaires pour améliorer le PSRR aux basses et hautes fréquences.

2.5 Analyse de la réponse transitoire d'un régulateur LDO-CI

2.5.1 Réponse transitoire d'un régulateur LDO-CI conventionnel

L'effet des variations transitoires brusques de la tension de ligne (tension d'alimentation d'entrée V_I) ou du courant de charge I_{Ch} sur la réponse transitoire est caractérisé par le temps d'établissement et par les pics maximum et minimum apparaissant sur la tension de sortie V_O. Ces pics de tension sont indésirables car elles peuvent provoquer un comportement anormal des circuits alimentés par le régulateur LDO. Par exemple, ils peuvent provoquer l'arrêt accidentel d'un microcontrôleur ou des variations parasites de la fréquence d'un oscillateur commandé en tension. La figure (35) représente l'allure typique de la réponse transitoire d'un régulateur LDO-CI à un échelon de courant de charge dans le cas d'une réponse stable [2]. A cause des chargements et des déchargements de la capacité parasite totale $C_{G,P}$ à la grille du transistor du passage et de la capacité totale C_{Ch} connectée au nœud de sortie, la tension de sortie du système du LDO prend un certain délai avant de se stabiliser à une valeur régulée comme il est montré sur la figure (35).

Lors d'une variation positive du courant de charge durant un temps de montée Δt_m, le transistor de passage M_P ne peut pas fournir immédiatement un courant de charge I_{Ch} suffisant car ce dispositif fonctionne de manière similaire à un robinet et nécessite un temps pour être à l'état passant afin de fournir un courant important [27]. Par conséquent, la tension de sortie V_O subit une chute. La durée de chute Δt_1, appelée temps de réponse du LDO, dépend de la bande passante en boucle fermée $\omega_{BP,bf}$ du LDO et de la vitesse de balayage (slew rate) $SR_{G,P}$ à la grille du transistor M_P (sortie de l'amplificateur d'erreur). Le temps de réponse peut être estimé par l'équation (1.105) [27], où $I_{AE,max}$ est le courant de sortie maximum de l'AE et $\Delta V_{G,P}$ est la variation de tension aux bornes de la capacité $C_{G,P}$. Après un délai Δt_2 qui dépend de la bande passante en boucle fermée et de la marge de phase en boucle ouverte du système du LDO, la sortie retrouve une valeur stable qui correspond à la valeur maximale du courant

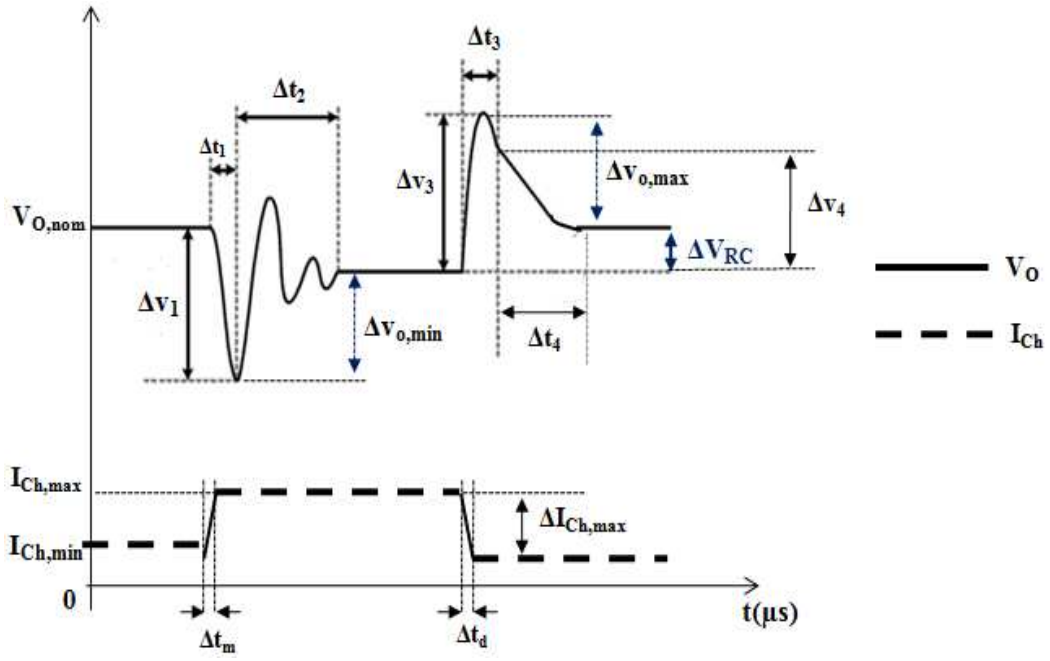

Figure 35 Réponse transitoire typique d'un régulateur LDO-CI stable à un échelon de courant de charge [2].

de charge. La différence entre la valeur régulée de la tension de sortie et sa valeur nominale initiale $V_{O,nom}$ est égale à la régulation de charge statique ΔV_{RC} donnée par l'équation (1.106) où $R_{O,bf}$ est la résistance de sortie du LDO en boucle fermée [2]. La chute de tension maximale lors d'une variation positive du courant de charge de sa valeur minimale $I_{Ch,min}$ à sa valeur maximale $I_{Ch,max}$ est donnée par la variation de tension Δv_1 exprimé par l'équation (1.107) [2], où $\Delta I_{Ch,max}=I_{Ch,max}-I_{Ch,min}$.

$$\Delta t_1 = \frac{2\pi}{\omega_{BP,bf}} + C_{G,P}\frac{\Delta V_{G,P}}{I_{AE,\max}} \tag{1.105}$$

$$\Delta V_{RC} = R_{O,bf}.\Delta I_{Ch,\max} \tag{1.106}$$

$$\left|\Delta v_1\right| = \frac{\Delta I_{Ch,\max}.\Delta t_1}{C_{Ch}} \tag{1.107}$$

De même, lors d'une variation négative du courant de charge de la valeur maximale $I_{Ch,max}$ à la valeur minimale $I_{Ch,min}$, la tension de sortie subit une variation donnée par le dépassement Δv_3 exprimée par l'équation (1.108), où Δt_3 est la durée nécessaire au chargement de la capacité de sortie C_{Ch}. Les délais Δt_3 est Δt_1 sont normalement différents à cause de l'asymétrie du chargement et du déchargement des capacités parasites à la grille du transistor de passage [27]. Après un délai Δt_4, donné par l'équation (1.109), qui correspond à la

dissipation du pic de dépassement de la tension de sortie par le courant de fuite au niveau des résistances de contre-réaction, la sortie retrouve sa valeur nominale régulée $V_{O,nom}$.

$$\Delta v_3 = \frac{\Delta I_{Ch,\max} . \Delta t_3}{C_{Ch}} \tag{1.108}$$

$$\Delta t_4 = \frac{C_{Ch} R_{FB2}}{V_{REF}} \Delta v_4 \tag{1.109}$$

Finalement, nous concluons que la performance de la réponse transitoire d'un régulateur LDO-CI est évaluée par les mesures suivantes : le sous dépassement minimum $\Delta v_{o,min}$, le dépassement maximum $\Delta v_{o,max}$ et les deux temps d'établissements $\Delta t_1+\Delta t_2$ et $\Delta t_3+\Delta t_4$, d'où l'intérêt à minimiser ses paramètres. Comme on peut le déduire de cette analyse, la bande passante en boucle fermée est un paramètre de conception critique. Étant donné que le pôle dominant d'un régulateur LDO-CI est situé à la grille du M_P, pour obtenir une bonne réponse transitoire, il sera nécessaire de concevoir des circuits qui chargent et déchargent rapidement la capacité équivalente $C_{G,P}$ à ce nœud. Ceci peut être réalisé au moyen des courants de polarisation importants, mais cette solution conduira à des régulateurs à faible rendement, ce qui n'est pas acceptable dans la plupart des cas.

2.5.2 Méthodes d'amélioration de la réponse transitoire d'un LDO-CI

La plupart des solutions proposées, pour résoudre le problème de la réponse transitoire, utilisent des circuits de polarisation dynamique qui consomment un faible courant de repos, mais sont capables de fournir des courants transitoires élevés [83]-[100]. La polarisation adaptative, les amplificateurs de classe AB et les couplages RC sont des solutions adéquates.

L'une des premières techniques visant à améliorer la réponse transitoire d'un régulateur LDO-CI utilise la polarisation adaptative, de sorte que le courant de polarisation reste faible lorsque le courant de charge I_{Ch} est faible, et il augmente avec les changements de I_{Ch} pour améliorer la rapidité (et le gain statique) de la boucle de contrôle. Les principaux inconvénients de cette technique résident dans: la variation de la consommation au repos avec le courant de charge, la complexité du bloc de contrôle, qui doit inclure un circuit pour détecter I_{Ch} et la nécessité de garantir la stabilité du régulateur pour toutes les conditions sur le courant de charge I_{Ch}.

Dans [83], un régulateur LDO-CI dont l'amplificateur d'erreur utilise un schéma d'auto-polarisation basé sur [101] est présenté. Afin de polariser le premier étage, qui est une paire différentielle, l'auteur a implémenté un amplificateur de courant qui convertit le signal d'erreur en sortie de la paire différentielle en un courant. Ce courant charge ou décharge le condensateur qui établit la tension de polarisation à la grille des transistors du tampon de courant qui joue le rôle d'un amplificateur séparateur. En conséquence, le courant de polarisation de la paire différentielle sera proportionnel à I_{Ch}. Cela provoque l'augmentation du gain en boucle ouverte de cet amplificateur opérationnel auto-polarisé d'un facteur $g_{m,pol}.r_{o,pol}$ où $g_{m,pol}$ est la transconductance du transistor de polarisation de la paire différentielle qui fonctionne comme une source de courant et $r_{o,pol}$ est la résistance de sortie de l'étage qui génère la tension de grille du transistor M_P. En tant qu'inconvénient, cette solution nécessite un circuit de démarrage pour fixer une charge initiale dans le condensateur.

Dans [84], les auteurs utilisent un convoyeur de courant de première génération modifié (CCI) pour détecter le courant délivré à la charge et générer un courant proportionnel I_Z qui polarise le premier étage de l'amplificateur d'erreur comme le montre la figure (36).

La même idée de la détection du courant de sortie est utilisée dans les références [86] et [90]. Dans [86], la source de courant qui polarise l'amplificateur d'erreur a été divisée en deux. La première génère un courant constant I_{pol} de faible valeur, tandis que la seconde génère un courant I_{AB} dont la valeur augmente avec le courant de charge I_{Ch}. Comme le montre la figure (37), un seul miroir de courant génère ce courant. La taille du transistor qui copie les variations du courant de charge doit être ajustée car sa tension source-drain V_{SD} est supérieure à la tension de chute. Dans [91], les auteurs profitent de l'idée proposée dans [86], où un simple miroir de courant est utilisé pour reproduire les variations du courant de charge. Contrairement à [86], l'amplificateur d'erreur est implémenté par un transconducteur à large bande passante présenté dans [85].

Le convoyeur de courant utilisé dans [84] est réutilisé dans [90] pour réduire le dépassement au nœud de sortie, générant une polarisation adaptative pour l'amplificateur d'erreur. Comme dans [86], pour une forte valeur de I_{Ch}, le courant de polarisation est important et charge rapidement le condensateur situé à la grille de M_P, ce qui réduit la tension de dépassement. Pour réduire le sous-dépassement, qui est produit lorsque le courant de polarisation est faible, un bloc supplémentaire de réduction du sous-dépassement a été introduit. Ce circuit différencie la tension de sortie V_O de sorte que, lorsque V_O descend, il

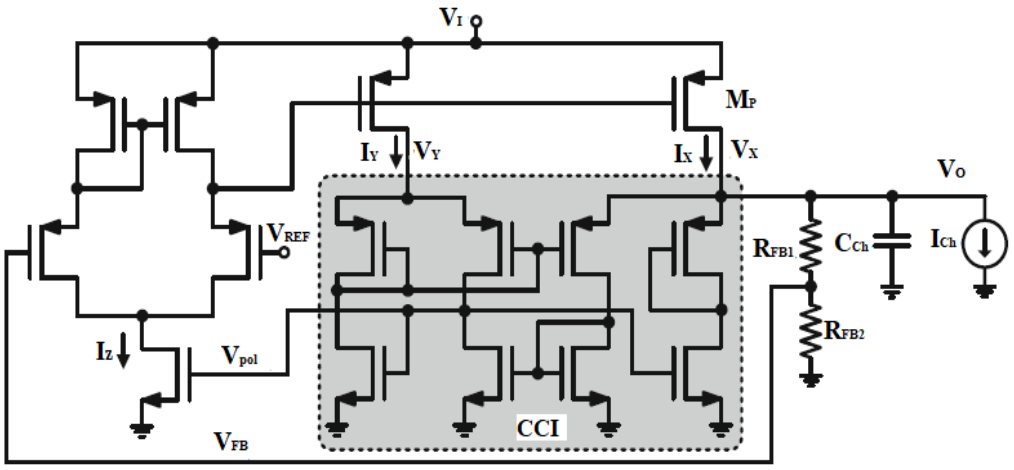

Figure 36 Structure proposée dans [84] qui utilise un CCI pour détecter I_{Ch} et génère le courant de polarisation I_Z approprié.

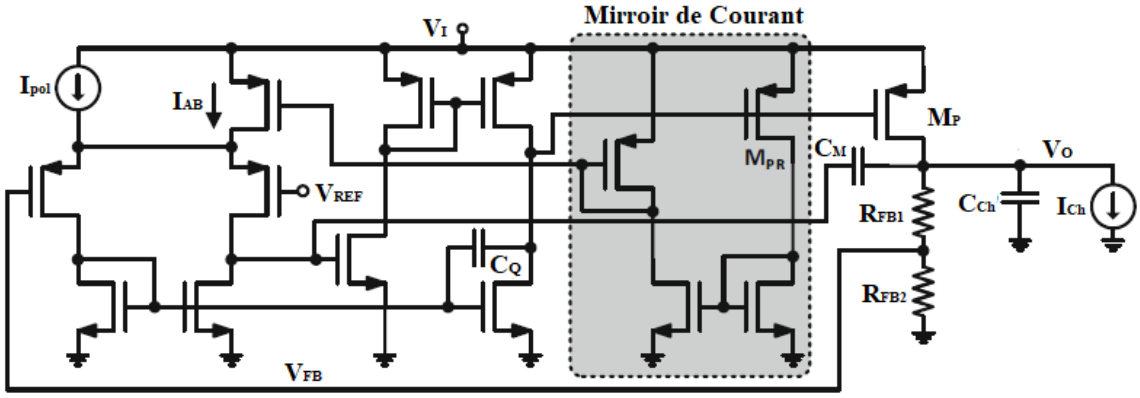

Figure 37 Structure proposée dans [86] utilisant un simple miroir de courant pour reproduire la variation de I_{Ch} dans la polarisation de l'amplificateur d'erreur.

génère un courant de décharge qui aide à réduire la tension à la grille de M_P. Les transistors du bloc de réduction du sous-dépassement sont polarisés dans la région de sous-seuil, de sorte qu'ils peuvent générer un courant très élevé en régime transitoire avec un faible courant de repos pour réduire la consommation.

Dans [94], les auteurs proposent l'utilisation d'un amplificateur d'erreur dont la polarisation est adaptative, il est caractérisé par un gain statique et une vitesse de balayage élevés. Cet amplificateur d'erreur est basé sur le travail présenté dans [102] et [103]. La vitesse de balayage élevée est due à l'utilisation d'une cellule dite de suiveur de tension inversée (FVF) [60] et [61], qui permet au courant de polarisation de l'amplificateur d'erreur d'augmenter au-delà d'une valeur limite I_{pol} pendant la réponse transitoire. Le gain statique élevé est obtenu par l'utilisation de deux amplificateurs dans une configuration à grille commune dont les

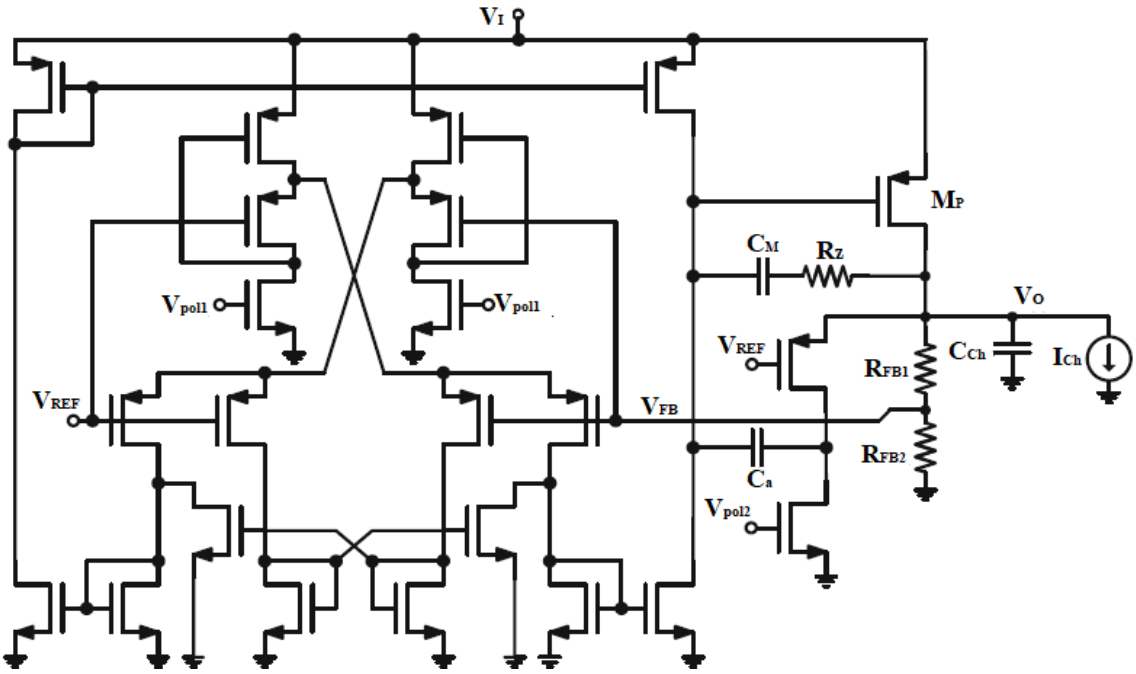

Figure 38 Structure proposée dans [94] utilisant un schéma de polarisation adaptative pour l'amplificateur d'erreur basé sur la cellule FVF avec un étage supplémentaire pour l'amélioration du gain statique.

sorties sont ajoutées via un miroir de courant. La figure (38) présente la structure proposée dans [94]. Les auteurs incluent un étage supplémentaire pour augmenter davantage la vitesse de balayage de l'amplificateur d'erreur. Cet étage contient un amplificateur à grille commune dont l'entrée est la tension de sortie V_O du LDO-CI, et dont la sortie est couplée capacitivement à la grille du transistor de passage M_P. Le condensateur de couplage de capacité C_a, est également utilisé pour contribuer à la compensation.

Contrairement aux travaux précédents, [92] propose de diviser le transistor de passage en deux. Le premier, de petite taille, est chargé de fournir le courant à la sortie lorsque I_{Ch} est faible. Le second, de grande taille, commence à fonctionner lorsque I_{Ch} augmente. Cette structure pour le transistor de passage permet d'avoir deux boucles de commande, constituées respectivement de deux et trois étages d'amplification. De plus, il augmente la stabilité pour les faibles valeurs de I_{Ch}, où le régulateur n'a que deux pôles. Comme dans [84] et [104], le courant de polarisation de l'amplificateur d'erreur est généré dynamiquement. Ce courant est proportionnel au courant de charge fourni par le transistor de passage de petite taille qui est toujours actif, mais dont la valeur maximale devient saturée lorsque le second transistor de passage est activé. Pour surmonter cette limitation, dans [99], les auteurs présentent un schéma similaire où, contrairement à [92], le courant I_{Ch} est estimé à partir de la tension du nœud de la grille du transistor de passage.

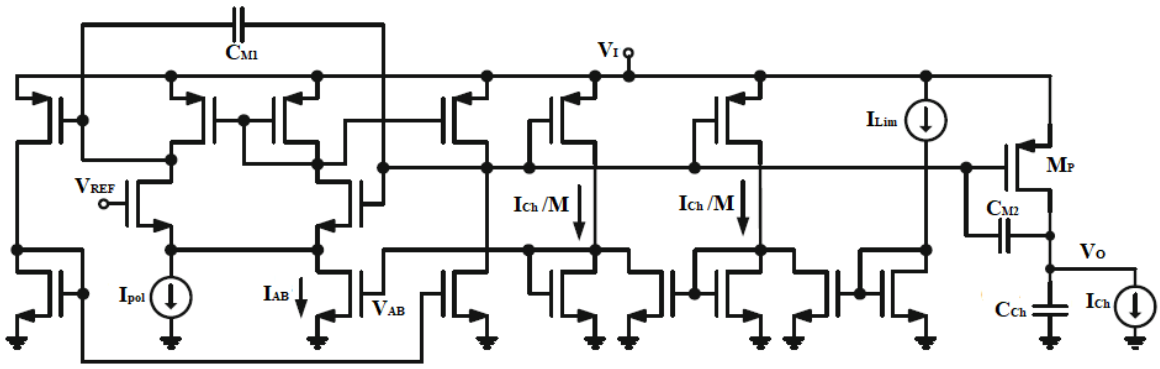

Figure 39 Structure proposée dans [100] avec polarisation adaptative de l'amplificateur d'erreur et compensation de Miller imbriquée.

Dans [100] et comme le montre la figure (39), un schéma de polarisation adaptative est proposé pour l'amplificateur d'erreur accompagné d'une compensation de Miller imbriquée pour améliorer la stabilité. Les auteurs ont étudié la relation entre le courant de polarisation de l'amplificateur d'erreur et la valeur minimale du courant de charge pour que le régulateur soit stable. Ils ont optimisé également le courant de polarisation adaptative de l'amplificateur d'erreur, en serrant sa valeur à un courant critique lorsque I_{Ch} devient élevé, afin de ne pas dégrader le rendement du courant.

Une autre manière d'améliorer la vitesse de balayage du régulateur LDO-CI, sans sacrifier la consommation due au courant de repos, est de modifier l'étage de sortie. Dans [85], un étage de sortie push-pull a été utilisé. Contrôlé par deux amplificateurs à grille commune et un circuit de sommation de courant, il améliore la réponse transitoire pour les régulations de ligne et de charge.

Dans [87], un circuit est ajouté à l'étage de sortie afin d'augmenter la vitesse de balayage négative. A cet effet, une deuxième boucle de contrôle rapide est ajoutée. Malheureusement, le fonctionnement simultané des deux boucles de commande dégrade la stabilité du système. De plus, la technique proposée n'améliore la vitesse de balayage que dans un sens, de sorte que le courant de repos de l'amplificateur d'erreur doit rester élevé si l'on veut charger rapidement la capacité parasite à la grille du M_P lorsque I_{Ch} diminue ce qui augmente la consommation.

Dans [93], un étage de sortie push-pull est également utilisé. L'amplificateur de transconductance opérationnel (OTA) de classe AB publié dans [102] agit comme l'amplificateur d'erreur. Pour améliorer la vitesse de balayage, un circuit supplémentaire est

utilisé qui augmente les courants de charge ou de décharge de la capacité parasite $C_{G,P}$ à la grille du transistor de passage M_P lorsque V_O augmente. Pour activer ce circuit, deux comparateurs de courant complémentaires détectent les pics de la tension V_O et activent le bloc correspondant.

Dans [95], un tampon push-pull est utilisé pour agir sur la tension de grille du M_P. L'objectif de ce tampon est double. Premièrement, en régime grand signal, il améliore la vitesse de balayage du régulateur LDO-CI. Deuxièmement, en régime petit signal, il découple la haute impédance à la sortie de l'amplificateur d'erreur et la capacité parasite localisée à la grille du M_P, améliorant ainsi la stabilité du système.

Une autre technique utilise des couplages RC pour améliorer la vitesse de balayage du régulateur en cas des changements abrupts de la tension de ligne ou du courant de charge. Un exemple de cette technique se trouve dans [88], où un circuit de polarisation dynamique est proposé qui exploite des couplages RC pour augmenter le courant de polarisation de l'amplificateur d'erreur lorsque la tension de sortie change. Les auteurs utilisent deux comparateurs pour détecter les changements de V_O dans les deux sens. Dans [89], les deux tensions, V_O et V_{REF}, sont utilisées pour augmenter le courant dans l'étage de sortie de l'amplificateur d'erreur.

Enfin, dans [98], les auteurs ont modulé la tension du substrat du transistor de passage M_P pour réduire sa tension de seuil, permettant une taille plus petite pour le même courant. En diminuant la taille du transistor de passage, sa capacité de grille parasite diminue, ce qui pousse le pôle dominant à une fréquence plus élevée et améliore la rapidité de la boucle de commande. Afin de moduler la tension du substrat, un deuxième amplificateur d'erreur est utilisé qui fixe une tension appropriée pour empêcher la polarisation directe de la jonction substrat-source. Le principal inconvénient de cette approche réside dans la nécessité de garantir un comportement similaire entre le circuit principal et la réplique dans toutes les conditions de fonctionnement.

3 Conclusion

Dans ce chapitre, nous avons présenté la structure conventionnelle d’un régulateur linéaire de type LDO où on a défini ces paramètres clés, puis nous avons mis le point sur les performances d’un régulateur LDO à savoir la stabilité, le PSRR et la réponse transitoire. Après on a décrit les méthodes récentes qui existe dans la littérature pour améliorer ces

performances, tout en donnant les contributions et les limites de ces méthodes. Pour la performance de la stabilité, la compensation par amplification de la capacité de compensation s'avère robuste au niveau de la séparation du pole dominant et du pôle non dominant et assure une bonne stabilité pour la structure conventionnelle du régulateur LDO à compensation interne. Pour la performance de la réponse transitoire, le schéma de polarisation adaptative améliore davantage la réponse transitoire en termes de régulation de charge. Pour la performance du PSRR, nous pouvons dire que la création d'un chemin direct d'annulation de l'ondulation est une bonne solution pour augmenter le PSRR en moyennes et hautes fréquences. Dans le chapitre qui suit, nous allons présenter la structure proposée pour la conception d'un régulateur LDO.

Chapitre 2 : Structure Proposée du régulateur LDO à compensation interne

Dans ce chapitre, nous avons proposé une structure complètement intégrée d'un régulateur LDO à compensation interne. Une nouvelle technique de compensation basée sur les amplificateurs et les tampons de courant avec polarisation adaptative a été proposée pour garantir la stabilité du régulateur LDO dans toute la plage du curant de charge. La technique de compensation proposée a permis également d'améliorer la performance de la réponse transitoire en réduisant le sous-dépassement minimal et le dépassement maximal et par conséquent de diminuer le temps de réponse et le temps d'établissement du LDO. Nous avons également introduit un circuit qui assure un chemin direct entre la tension d'alimentation d'entrée et la grille du transistor de passage afin d'annuler les ondulations qui existent dans la tension d'alimentation d'entrée qui se répliquent dans la grille du transistor de passage et par conséquent d'améliorer le PSRR sur une large gamme de fréquences. A la fin de ce chapitre, nous avons comparé les performances du régulateur LDO-CI proposé avec celles des régulateurs LDO, cités dans le chapitre 1, afin de monter notre contribution.

1 Analyse et conception du régulateur LDO-CI proposé

1.1 Schéma bloc de la structure proposée

La figure (40) représente le schéma bloc du régulateur LDO-CI proposé. Il est basé sur la structure conventionnelle avec utilisation d'un amplificateur opérationnel à deux étages au lieu d'un seul étage pour assurer un gain statique suffisant. L'élément de puissance est implémenté par un transistor PMOS pour avoir une faible tension de chute V_{DO}. Le réseau de contre-réaction est constitué d'un pont diviseur de tension résistif. Deux blocs ont été ajoutés pour améliorer la stabilité, la réponse transitoire et le PSRR. La référence de tension proposée sera le sujet du chapitre 3.

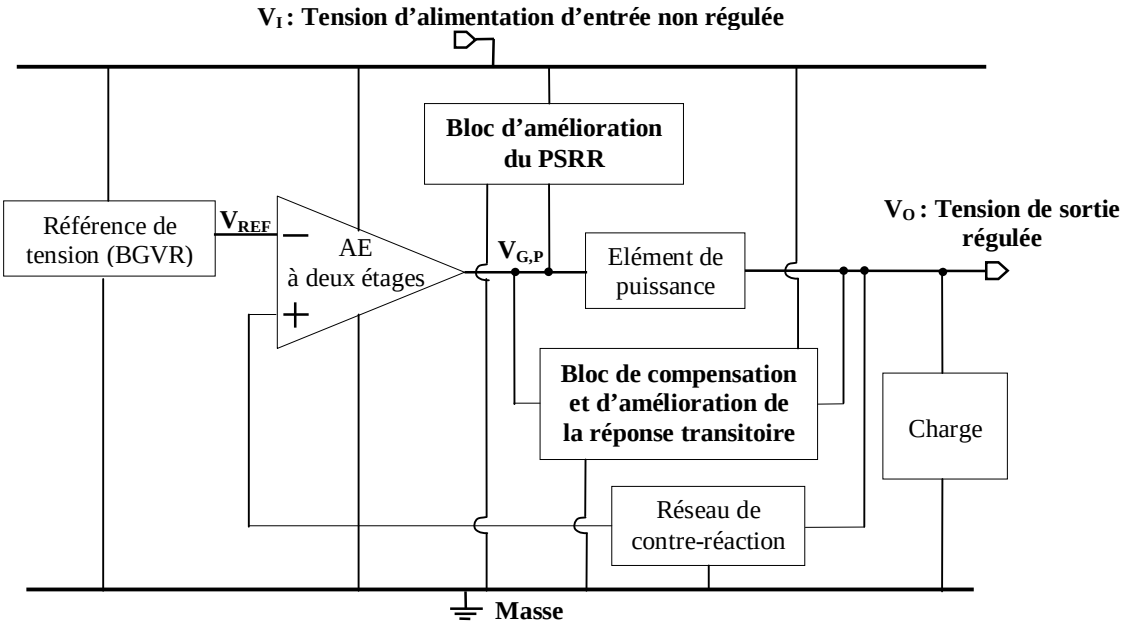

Figure 40 Schéma bloc de la structure proposée du régulateur LDO-CI.

1.2 Implémentation de l'amplificateur d'erreur du LDO-CI proposé

La figure (41) montre l'implémentation en transistor MOS de l'amplificateur d'erreur (AE) proposé. Un étage d'entrée PMOS entièrement différentiel, constitué des deux transistors M_1, est utilisé pour obtenir une réjection de bruit de l'alimentation élevée. Les transistors de charge NMOS (transistors M_2) utilisent une contre-réaction locale pour contrôler leurs tensions de grille, ce qui facilite la connexion au deuxième étage et annule en même temps le signal différentiel au nœud de grille commune des transistors M_2 et M_3. Le gain en mode différentiel est défini par la transconductance g_{m1} de l'étage d'entrée et la résistance R_{CMFB} des deux résistances de contre-réaction en mode commun. Le rôle des deux résistances R_{CMFB} est d'assurer une auto-polarisation des grilles des transistors M_2 et M_3 afin d'éviter l'utilisation d'un autre circuit de polarisation [29]. Les deux transistors cascode M_4 sont ajoutés au deuxième étage de l'amplificateur d'erreur car ils aident à minimiser l'effet de la modulation de longueur du canal afin d'améliorer l'appariement entre les deux transistors M_3 et par conséquent d'augmenter le gain statique de l'AE. La résistance de sortie élevée de l'amplificateur d'erreur, qui en résulte à la grille du transistor de passage $M_{P,}$ aide à stabiliser le système car le pôle dominant de la boucle est forcé de se situer à la grille du transistor de passage. Il a été constaté que la contribution de l'amplificateur d'erreur au PSRR du LDO aux hautes fréquences est négligeable en raison de sa symétrie. Ce résultat est en bon accord avec

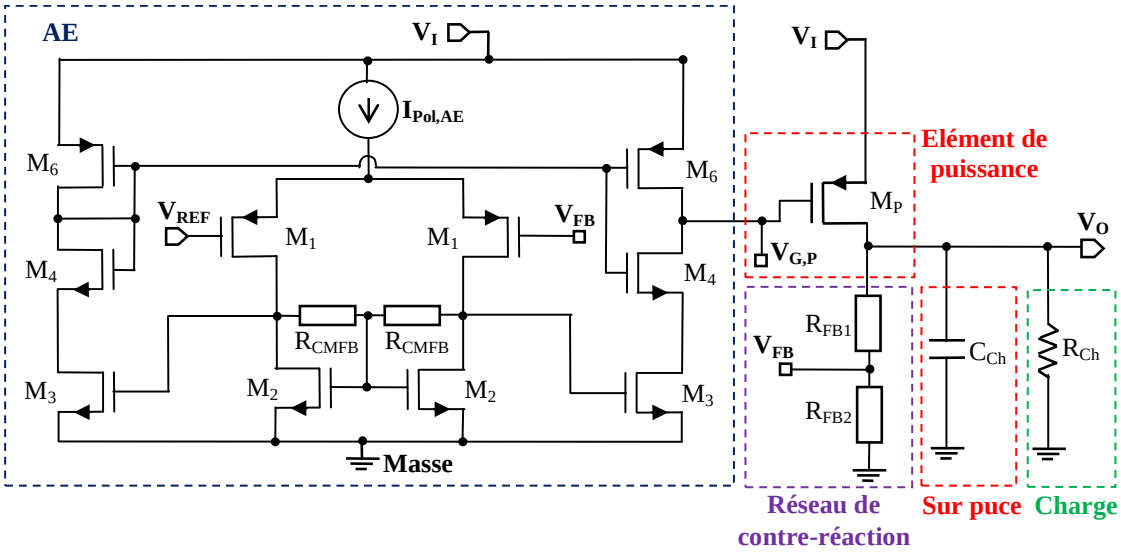

Figure 41 Implémentation en transistor MOS des blocs essentiels du régulateur LDO-CI proposé.

les observations précédentes [73]. Le troisième étage est constitué par le transistor de passage M_P qui fourni le courant nécessaire à la charge.

1.3 Analyse de la stabilité du régulateur LDO proposé

1.3.1 Réponse fréquentielle non compensée

Pour déterminer la fonction de transfert en boucle ouverte, définie par l'équation (2.1), du système du régulateur LDO proposé, on a établi le modèle équivalent en régime petit-signal haute fréquence comme le montre la figure (42). La fonction de transfert $H_{bo,nc}(s)$ est définie par l'équation suivante :

$$H_{bo,nc}(s) = \left.\frac{v_{fb}(s)}{v_e^+(s)}\right|_{V_I, I_{Ch}} \tag{2.1}$$

D'après le modèle équivalent, on constate qu'il ya trois nœuds et par conséquent on aura trois équations de courant établies à partir de la loi des nœuds de Kirchhoff.

Au nœud de la tension v_1, on a :

$$g_{m1,AE} v_{ref} + \left(\frac{1}{R_{O1,AE}} + C_{O1,AE} s\right) v_1 = 0 \tag{2.2}$$

Au nœud de la tension $v_{g,P}$, on a :

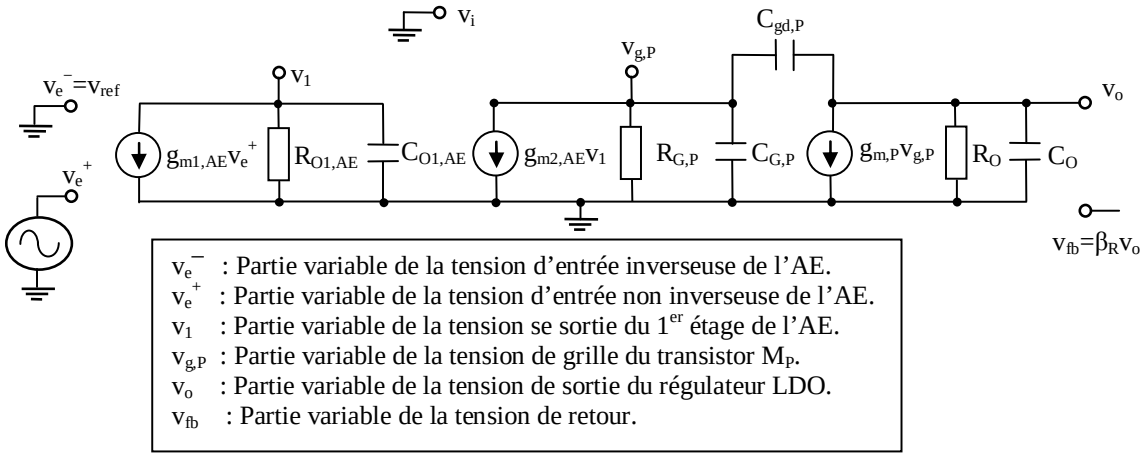

Figure 42 Modèle équivalent du régulateur LDO proposé, non compensé, en régime petit signal haute fréquence.

$$g_{m2,AE}v_1 + [\frac{1}{R_{O2,AE}} + (C_{G,P} + C_{gd,P})s]v_{g,P} - C_{gd,P}v_o = 0 \tag{2.3}$$

Au nœud de la tension v_o, on a :

$$(g_{m,P} - C_{gd,P})v_{g,P} + [\frac{1}{R_O} + (C_O + C_{gd,P})s]v_o = 0 \tag{2.4}$$

En substituant les équations (2.2) et (2.3) dans l'équation (2.4) et après quelques manipulations mathématiques, on trouve que la fonction de transfert en boucle ouverte peut s'écrire sous la forme suivante :

$$H_{bo,nc}(s) = \frac{H_{bo,nc}.(1 - \frac{s}{z_D})}{1 + a_1 s + a_2 s^2 + a_3 s^3} \tag{2.5}$$

Avec,

$$H_{0,nc} = -\beta_R g_{m1,AE} g_{m2,AE} g_{m,P} R_{O1,AE} R_{O2,AE} R_O \tag{2.6}$$

$$g_{m1,AE} = g_{m1} \tag{2.7}$$

$$g_{m2,AE} = g_{m3} \tag{2.8}$$

$$R_{O1,AE} = r_{o1} // r_{o2} // R_{CMFB} \tag{2.9}$$

$$R_{G,P} = R_{O2,AE} \approx r_{o6} \tag{2.10}$$

$$z_D = \frac{g_{m,P}}{C_{gd,P}} \tag{2.11}$$

$$a_1 = R_{O1,AE} C_{O,1AE} + R_{O2,AE}(C_{G,P} + C_{gd,P}) + R_O(C_O + C_{gd,P}) + R_{O2,AE} g_{m,P} R_O C_{gd,P} \tag{2.12}$$

$$a_2 = R_{O1,AE}R_{O2,AE}C_{O1,AE}(C_{G,P} + C_{gd,P}) + R_{O1,AE}R_O C_{O1,AE}(C_O + C_{gd,P}) + R_{O2,AE}R_O[C_O C_{G,P} + C_{G,P}(C_O + C_{gd,P})] + R_{O2,AE}g_{m,P}R_O C_{gd,P} \tag{2.13}$$

$$a_3 = R_{O1,AE} R_{O2,AE} R_O C_{O1,AE}[C_{G,P}(C_O + C_{gd,P}) + C_{gd,P} C_O] \tag{2.14}$$

$$C_{G,P} = C_{O2,AE} + C_{gs,P} \tag{2.15}$$

$$C_{O2,AE} = C_{db4} + C_{db6} + C_{gd4} + C_{gd6} \tag{2.16}$$

$H_{0,nc}$ est le gain statique de la fonction de transfert non compensée du régulateur LDO proposé. $g_{m1,AE}$ est la transconductance du premier étage de l'AE qui est égale à la transconductance g_{m1} du transistor M_1. $R_{O1,AE}$ et $C_{O1,AE}$ représentent, respectivement, la résistance de sortie et la capacité parasite totale connectées entre le nœud de sortie du premier étage et la masse. $R_{O2,AE}$ et $C_{O2,AE}$ représentent, respectivement, la résistance de sortie et la capacité parasite totale connectées entre le nœud de sortie du deuxième étage et la masse. β_R, R_O et C_O représentent, respectivement, le facteur de contre-réaction, la résistance de sotie du LDO et la capacité totale connectée entre le nœud de sortie et la masse, qui sont exprimées précédemment par les équations (1.26), (1.25) et (1.40). La fonction de transfert présente un zéro réel positif z_D situé dans le demi-plan droit dont la pulsation (fréquence angulaire) correspondante est notée $\omega_{Z,D}$.

Les expressions des coefficients a_i du polynôme du troisième degré du dénominateur de l'équation (2.5) contiennent les termes R_O et $g_{m,P}.R_O$ qui dépendent de la valeur de I_{Ch} qui varie pour notre conception entre 0 et 150mA. Pour cette raison, ce polynôme peut avoir des différentes factorisations.

1.3.1.1 Cas du courant de charge nul ou faible

Pour I_{Ch} variant du zéro ($R_L=\infty$) à 150µA, l'élément de puissance M_P opère dans la région de conduction sous le seuil. En utilisant les approximations du tableau (5) on aura $g_{m,P}.R_O.C_{gd,P} >> C_{gd,P}$. D'autres part, vue la grande taille du transistor M_P, l'approximation $C_{O,AE1} << C_{gd,P}$ est justifiable. Généralement, la valeur de la capacité de charge C_{Ch} est très supérieure aux valeurs des capacités parasites des transistors excepté celles de M_P qui

possèdent aussi des valeurs comparables avec C_{Ch}. Pour notre conception C_{Ch}=100pF, d'où on aura $C_{O,AE1}$<<C_O et aussi $C_{gd,P}$<<C_O. En utilisant l'approximation du pôle dominant [35], la fonction de transfert en boucle ouverte s'exprime comme suit :

$$H_{bo,nc}(s)=\frac{H_{0,nc}.(1-\frac{s}{z_D})}{(1-\frac{s}{p_d}).(1-\frac{s}{p_{nd}}).(1-\frac{s}{p_3})} \tag{2.17}$$

Où,

$$p_d \approx -\frac{1}{R_{O2,AE}(g_{m,P}R_O C_{gd,P}+C_{G,P})+R_O C_O} \tag{2.18}$$

$$p_{nd} \approx -\frac{R_{O,2AE}(g_{m,P}R_O C_{gd,P}+C_{G,P})+R_O C_O}{R_{O2,AE}R_O(C_{gd,P}+C_{G,P})C_O} \tag{2.19}$$

$$p_3 \approx -\frac{1}{R_{O1,AE}C_{O1,AE}} \tag{2.20}$$

Le pôle dominant p_d est localisé à la grille de M_P et qui a pour pulsation $\omega_{pd}=-p_d$ et le pôle non dominant p_{nd} est situé au nœud de sortie dont la pulsation $\omega_{pnd}=-p_{nd}$. Le troisième pôle p_3 est situé dans les hautes fréquences, localisé à la sortie du premier étage de l'AE, il n'a donc aucun effet sur la stabilité.

Pour les faibles valeurs du courant de charge I_{Ch}, le zéro réel positif z_D est situé dans les fréquences moyennes à quelques dizaines de MHz, ce qui introduit un déphasage de −90°, cela pousse le pôle non dominant vers les basses fréquences, avant la fréquence de transition dont la pulsation est ω_T. Dans le diagramme de Bode, la courbe de gain coupe l'axe des fréquences avec une pente de −40dB/déc et par conséquent le régulateur LDO est instable. La pulsation de transition est approximée par l'équation suivante :

$$\omega_T \approx \sqrt{|H_{0,nc}|\omega_{pd}\omega_{pnd}} \tag{2.21}$$

1.3.1.2 Cas du courant de charge moyen

Lorsque I_{Ch} atteint 150µA et augmente jusqu'à 15mA, M_P fonctionne dans la région de saturation. D'après les approximations du tableau (5), on constate que la fonction de transfert de l'équation (2.17) et les équations (2.18)-(2.21) sont toujours valides. Dans ce cas, nous

trouvons le même emplacement du pôle non dominant par rapport à la fréquence de transition et par conséquent le régulateur LDO est instable.

1.3.1.3 Cas du courant de charge élevé

Quand I_{Ch} atteint 15mA et augmente jusqu'à la valeur maximale de 150mA (pleine charge), le transistor de passage fonctionne dans la région linéaire et il se comporte comme un interrupteur (Switch). En utilisant les approximations du tableau (5), on constate que la fonction de transfert de l'équation (2.17) reste valable avec un changement dans les expressions des pôles car ces derniers subissent des déplacements notables sur l'axe des fréquences. Les expressions des pôles réels négatifs sont données par les équations suivantes :

$$p_d \approx -\frac{1}{R_{O2,AE}(2C_{gd,P} + C_{G,P})} \tag{2.22}$$

$$p_{nd} \approx -\frac{1}{R_{O1,AE}C_{O1,AE}} \tag{2.23}$$

$$p_3 \approx -\frac{(2C_{gd,P} + C_{G,P})}{R_O C_{O1,AE}(C_{gd,P} + C_{G,P})} \tag{2.24}$$

Pour ce cas du fort courant de charge, le zéro réel positif z_D est poussé vers les hautes fréquences, le pôle non dominant p_{nd} est situé après la pulsation de transition ω_T, donc la marge de phase M_Φ est positive mais insuffisante (inférieure à 45°) pour considérer que le régulateur LDO soit stable en boucle fermée. La pulsation de transition est approximée par l'équation suivante:

$$\omega_T \approx \left|H_{0,nc}\right| \omega_{p\,d} \tag{2.25}$$

Les figures (43.a) et (43.b) représentent, respectivement, la localisation des pôles et du zéro dans le plan de Bode et dans le plan complexe s, pour le régulateur LDO proposé sans compensation et pour les valeurs minimale $I_{Ch,min}$ et maximale $I_{Ch,max}$ du courant de charge. Par souci de simplification, les fréquences de coupure sont données en termes de ω au lieu de f. Le changement de localisation des pôles et du zéro réel positif est justifié par les changements que subissent les valeurs des capacités parasites C_{gd} et C_{gs} d'un transistor MOS quand ce dernier change la région d'opération comme le montre la figure (44) pour le cas d'un transistor de type NMOS [29]. Dans la figure (44), L_r représente la longueur de

recouvrement, $V_{t,n}$ est la tension de seuil et $C_{ox}^{'}$ représente la capacité surfacique de l'oxyde de grille.

D'après cette analyse, on constate que le régulateur LDO à trois étages est instable à cause de la présence du zéro réel positif et nécessite une compensation pour séparer le pôle

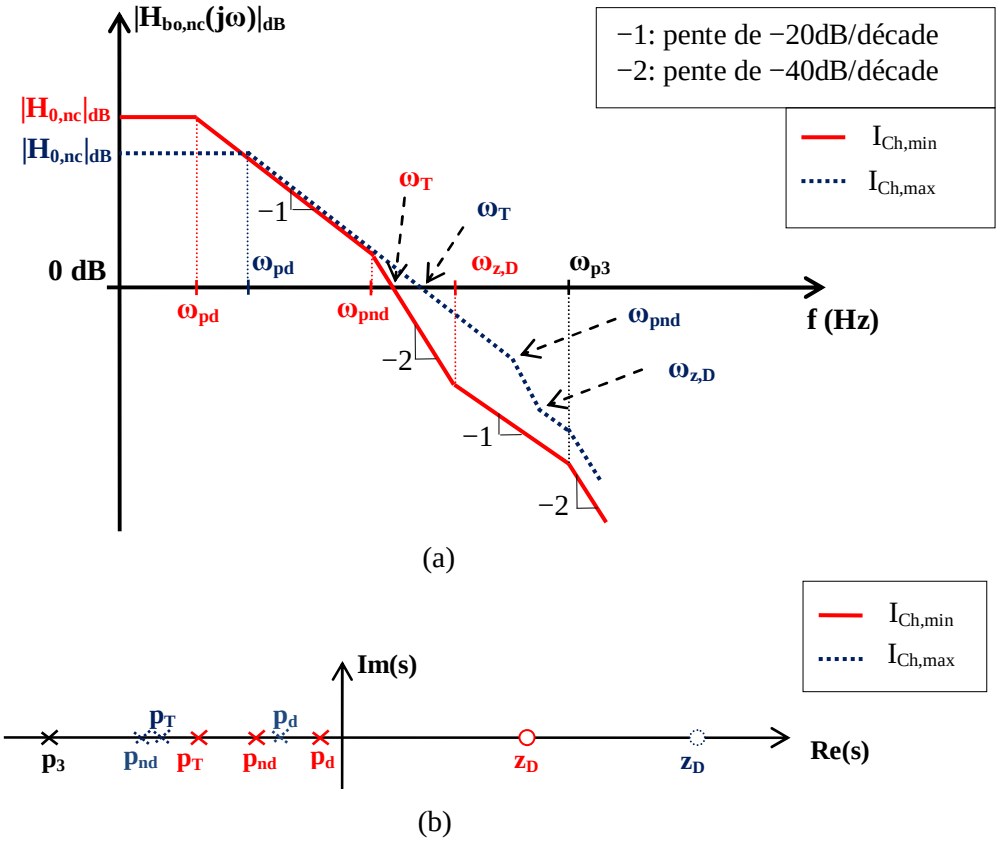

Figure 43 Localisation des pôles et des zéros en fonction de I_{Ch} pour la réponse fréquentielle non compensée du LDO proposé: (a) localisation dans le plan de Bode, (b) localisation dans le plan complexe s.

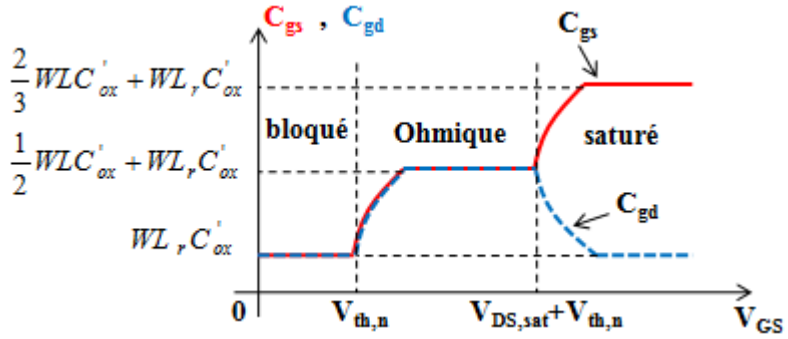

Figure 44 Evolution des capacités parasites C_{gs} et C_{gd} d'un transistor NMOS en fonction de la tension de commande V_{GS} [29].

dominant p_d du pôle non dominant p_{nd} afin de conserver une marge de phase M_Φ supérieure à 45° dans toute la plage du courant de charge exigée par les spécifications (tableau 2). D'autre part, il est fortement intéressant de garantir une fréquence de transition f_T élevée (de l'ordre de quelques MHz) pour assurer une réponse transitoire rapide.

1.3.2 Réponse fréquentielle compensée

1.3.2.1 Circuit de compensation proposé

Pour stabiliser la boucle du système du régulateur LDO proposé, une séparation suffisante du pôle dominant et du pôle non dominant est nécessaire. Ceci est réalisé par l'insertion des zéros réels négatifs dans la boucle. Pour cela, on a proposé une technique qui combine entre la différentiation et l'amplification basée sur la technique de compensation proposée dans [46]. La figure (45) représente le circuit de base de la technique de compensation proposée. Le différentiateur est constitué par la capacité C_C, la résistance R_C et le transistor M_D, tandis que l'amplificateur est construit par le transistor M_{CA} qui forme avec le transistor M_D un amplificateur de courant, dont le gain est $A_I=(g_{m,CA}/g_{m,D})$ où $g_{m,CA}$ et $g_{m,D}$ sont, respectivement, les transconductances de M_{CA} et M_D. Le circuit de compensation proposé n'a aucun effet sur l'élimination du zéro réel positif z_D.

Le circuit complet de compensation proposé est présenté sur la figure (46). Il sert à la fois à stabiliser le régulateur LDO et à améliorer sa réponse transitoire dont on va expliquer son fonctionnement dans un paragraphe suivant. Le circuit d'amélioration de la stabilité et de la réponse transitoire nécessite un bloc de polarisation illustré par le courant de polarisation $I_{Pol,c}$.

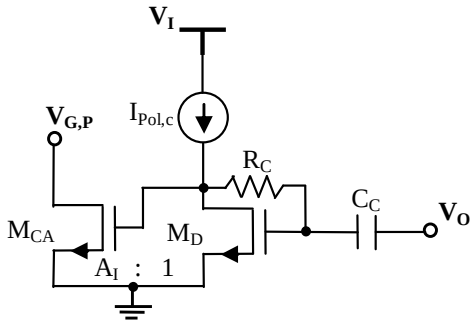

Figure 45 Circuit de base de la technique de compensation par différentiation et amplification.

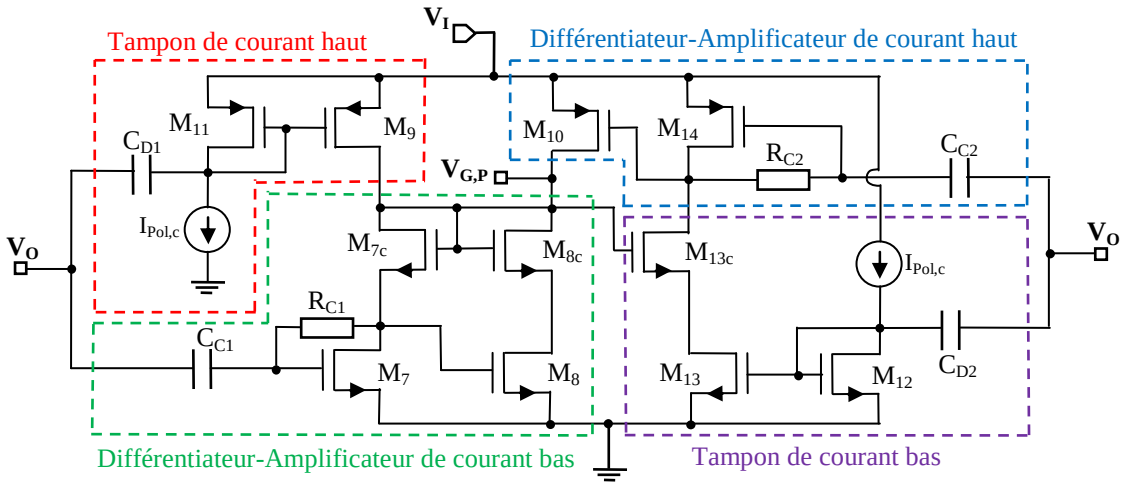

Figure 46 Circuit complet proposé pour la compensation et l'amélioration de la réponse transitoire.

1.3.2.2 Réponse fréquentielle du différentiateur-amplificateur de courant proposé

Le schéma équivalent en régime petits signaux du différentiateur-amplificateur de courant de la figure (45) est donné par la figure (47) où $R_{O,D}$ et $C_{O,D}$ représentent, respectivement, la résistance et la capacité totale connectées entre le nœud sortie et la masse pour le transistor différentiateur M_D. Les tensions variables v_x et v_y représentent, respectivement, les potentiels aux nœuds de la grille et du drain du transistor M_D. Dans ce schéma équivalent, les capacités parasites connectées entre le nœud de tension v_x et la masse sont négligeables devant la capacité de compensation C_C. La fonction de transfert du différentiateur $H_{dif}(s)$ est définie par l'équation:

$$H_{dif}(s) = \frac{v_y(s)}{v_o(s)} \tag{2.26}$$

Au nœud du potentiel v_y et dans la cas où $g_{m,D}R_C >> 1$, on a :

$$[1 + (R_C \,//\, R_{O,D})C_{O,D}s]v_y = -g_{m,D}(R_C \,//\, R_{O,D})v_x \tag{2.27}$$

Au nœud du potentiel v_x, on a :

$$(1 + R_C C_C s)v_x = v_y + sR_C C_C v_o \tag{2.28}$$

En éliminant la tension v_x entre les équations (2.27) et (2.28), on trouve :

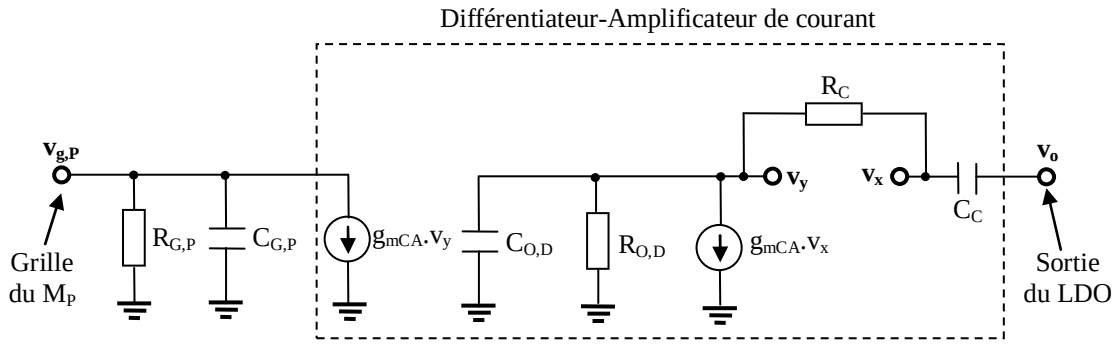

Figure 47 Schéma équivalent en régime dynamique du différentiateur-amplificateur de courant proposé.

$$H_{dif}(s) = -\frac{R_C C_C s}{(1 + as + bs^2)} \tag{2.29}$$

Où,

$$a = \frac{R_C C_C + (R_C // R_{O,D}) C_{O,D}}{g_{m,D} R_{O,D}} \tag{2.30}$$

$$b = \frac{R_C C_C (R_C // R_{O,D}) C_{O,D}}{g_{m,D} R_{O,D}} \tag{2.31}$$

On a la résistance de sortie $R_{O,D}$ du transistor M_D est égale à sa résistance drain-source $r_{o,D}$, qui très supérieure à la résistance de compensation R_C. On a aussi la capacité parasite $C_{O,D}$ du transistor M_D est égale à sa capacité drain-substrat $C_{bd,D}$, qui est négligeable devant la capacité de compensation C_C. Par conséquent, au aura a>>b, ce qui rend les pôles du dénominateur de $H_{dif}(s)$ séparables, d'où la fonction de transfert devient :

$$H_{dif}(s) = -\frac{R_C C_C s}{(1 + \frac{s}{\omega_{p1,Dif}})(1 + \frac{s}{\omega_{p2,Dif}})} \tag{2.32}$$

Où,

$$\omega_{p1,Dif} = \frac{1}{a} \approx \frac{g_{m,D} R_{O,D}}{C_C (R_C + R_{O,D})} \tag{2.33}$$

$$\omega_{p1,Dif} = \frac{a}{b} \approx \frac{1}{(R_C // R_{O,D}) C_{O,D}} \tag{2.34}$$

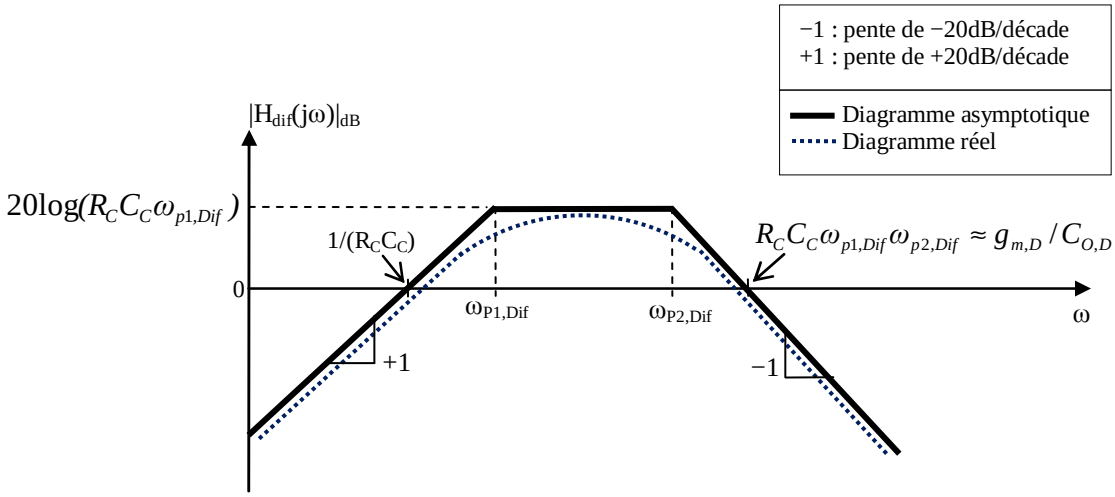

Figure 48 Réponse fréquentielle du différentiateur proposé.

La fonction de transfert du différentiateur est similaire à celle d'un filtre passe-bande. Elle contient un zéro à la fréquence nulle et deux pôles $\omega_{p1,Dif}$ et $\omega_{p2,Dif}$. Le diagramme de gain est représenté sur la figure (48). Le gain augmente avec 20dB par décade en raison du zéro à la fréquence 0Hz et s'arrête au premier pôle parasite $p_{1,Dif}=-\omega_{p1,Dif}$ du différentiateur. Puis il commence à chuter avec –20dB par décade au deuxième pôle parasite $p_{2,Dif}=-\omega_{p2,Dif}$ du différentiateur. La vitesse du différentiateur est liée au premier pôle parasite de sorte que le choix de la capacité C_C, de la résistance R_C et de la taille du transistor M_D nécessite une réflexion approfondie. Notons que le circuit du différentiateur proposé ne fonctionne que dans le régime transitoire et ne doit pas affecter le régime permanent du LDO, sinon le gain de boucle et l'emplacement du pôle dominant seront modifiés.

1.3.2.3 Fonction de transfert en boucle ouverte compensée du LDO proposé

Pour établir la fonction de transfert en boucle ouverte compensée $H_{bo,c}(s)$, nous avons établi le diagramme bloc du système bouclé du LDO proposé comme le montre la figure (49). L'expression de $H_{bo,c}(s)$ est donnée par l'équation (2.35), où $A_{v1,AE}(s)$ et $A_{v2,AE}(s)$ représentent les fonctions de transfert du premier et du deuxième étage de l'amplificateur d'erreur respectivement, tandis que $A_P(s)$ est la fonction de transfert de l'étage de sortie compensant le transistor de passage M_P et la charge. $G_{C,n}(s)$ et $G_{C,p}(s)$ représentent les fonctions de transfert des deux blocs différentiateurs-amplificateurs de courant bas et haut, respectivement. Les expressions des fonctions de transfert des divers blocs sont exprimées dans les équations (2.36)-(2.40), où $R_{OD,n}$ représente la résistance de sortie du transistor différentiateur bas M_7 et $C_{OD,n}$ est la capacité totale connectée entre le

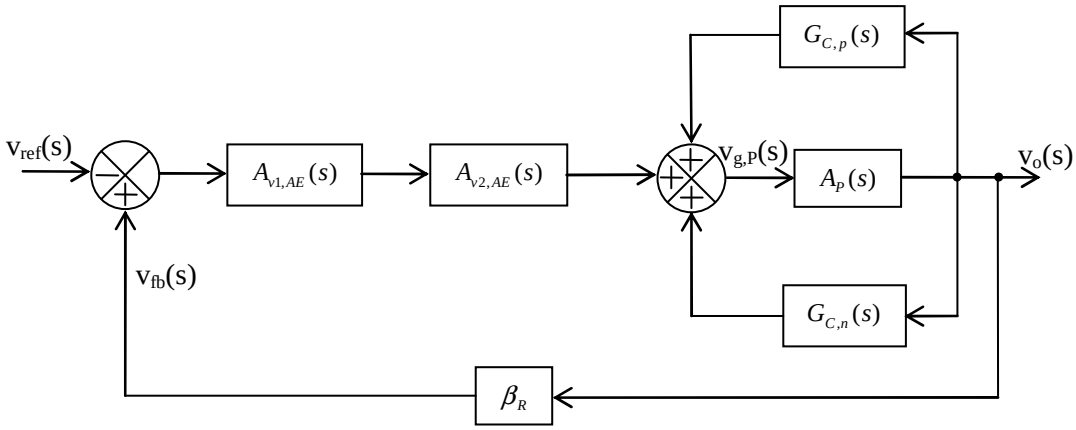

Figure 49 Diagramme bloc du système du LDO proposé avec compensation.

nœud de sortie de ce transistor et la masse. De même, $R_{OD,p}$ représente la résistance de sortie du transistor différentiateur haut M_{14} et $C_{OD,p}$ est la capacité totale connectée entre le nœud de sortie de ce transistor et la masse.

$$H_{bo,c}(s) = \beta_R A_{v1,AE}(s) A_{v1,AE}(s) \left\{ \frac{A_P(s)}{1 - A_P(s)[G_{C,n}(s) + G_{C,p}(s)]} \right\} \tag{2.35}$$

Avec,

$$A_{v1,AE}(s) = \frac{g_{m1} R_{O1,AE}}{(1 + R_{O1,AE} C_{O1,AE} s)} \tag{2.36}$$

$$A_{v2,AE}(s) = \frac{g_{m3} R_{G,P}}{(1 + R_{G,P} C_{G,P} s)} \tag{2.37}$$

$$A_P(s) = -\frac{g_{m,P} R_O (1 - \frac{C_{gd,P}}{g_{m,P}} s)}{(1 + R_O C_O s)} \tag{2.38}$$

$$G_{C,n}(s) = \frac{g_{m8} R_{G,P}}{(1 + R_{G,P} C_{G,P} s)} \frac{R_{C1} C_{C1} s}{[1 + \frac{(R_{C1} + R_{OD,n})}{g_{m7} R_{OD,n}} C_{C1} s][1 + (R_{C1} // R_{OD,n}) C_{OD,n} s]} \tag{2.39}$$

$$G_{C,p}(s) = \frac{g_{m10} R_{G,P}}{(1 + R_{G,P} C_{G,P} s)} \frac{R_{C2} C_{C2} s}{[1 + \frac{(R_{C2} + R_{OD,p})}{g_{m14} R_{OD,p}} C_{C1} s][1 + (R_{C1} // R_{OD,p}) C_{OD,p} s]} \quad (2.40)$$

$$R_{OD,n} = r_{o7} \quad (2.41)$$

$$C_{OD,n} = C_{bd7} + C_{gs8} \quad (2.42)$$

$$R_{OD,p} = r_{o14} \quad (2.43)$$

$$C_{OD,p} = C_{bd14} + C_{gs10} \quad (2.44)$$

La conception du bloc de compensation et d'amélioration de la réponse transitoire est faite de façon que son fonctionnement soit symétrique d'où le choix $R_{C1}=R_{C2}=R_C$ et $C_{C1}=C_{C2}=C_C$ est judicieux. En plus, les blocs différentiateurs-amplificateurs de courant sont conçus de manière qu'ils permettent d'assurer une séparation suffisante des deux premiers pôles. Le pole dominant p_d est forcé à se situer au nœud de grille du transistor de passage M_P, le premier pôle non dominant p_{nd} est forcé d'être au nœud de sortie du régulateur LDO et qu'il soit localisé après la fréquence de transition indépendamment de la valeur de I_{Ch}. Par conséquent, le système à multiples pôles proposé se comporte comme un système à deux pôles, grâce aux zéros réels négatifs générés par les deux boucles secondaires entre v_o et $v_{g,P}$, qui annulent les pôles situés après la fréquence de transition, ce qui augmente la marge de phase. Après le calcul, on trouve l'expression générale de la fonction de transfert en boucle ouverte du système compensé suivant l'équation (2.45).

$$H_{bo,c}(s) = \frac{H_{0,c}.(1 - \frac{s}{z_D})(1 + b_1 s + b_2 s^2 + b_3 s^3 + b_4 s^4)}{(1 + a_1 s + a_2 s^2 + a_3 s^3 + a_4 s^4 + a_5 s^5 + a_6 s^6)(1 + R_{O1,AE} C_{O1,AE} s)} \quad (2.45)$$

Avec,

$$H_{0,c} = -\beta_R g_{m1} g_{m3} g_{m,P} R_{O1,AE} R_{G,P} R_O \quad (2.46)$$

$$z_D = \frac{g_{m,P}}{C_{gd,P}} \quad (2.47)$$

$$b_1 \approx (\frac{1}{g_{m7}} + \frac{1}{g_{m14}})C_C \tag{2.48}$$

$$b_2 \approx \frac{C_C^2}{g_{m7} g_{m14}} \tag{2.49}$$

$$b_3 \approx \frac{R_C C_C^2 (C_{OD,n} + C_{OD,p})}{g_{m7} g_{m14}} \tag{2.50}$$

$$b_4 \approx \frac{R_C^2 C_C^2 C_{OD,n} C_{OD,p}}{g_{m7} g_{m14}} \tag{2.51}$$

$$a_1 \approx R_{G,P} C_{G,P} + g_{m,P} R_O R_{G,P} (g_{m8} + g_{m10}) R_C C_C + R_O C_O \tag{2.52}$$

$$a_2 \approx R_{G,P} C_{G,P} R_O C_O + b_1 (R_{G,P} C_{G,P} + R_O C_O) + g_{m,P} R_O R_{G,P} (\frac{g_{m8}}{g_{m14}} + \frac{g_{m10}}{g_{m7}}) R_C C_C^2 \tag{2.53}$$

$$a_3 \approx b_1 R_{G,P} C_{G,P} R_O C_O + b_2 (R_{G,P} C_{G,P} + R_O C_O) + g_{m,P} R_O R_{G,P} R_C^2 C_C^2 (\frac{g_{m8} C_{OD,p}}{g_{m14}} + \frac{g_{m10} C_{OD,n}}{g_{m7}}) \tag{2.54}$$

$$a_4 \approx b_2 R_{G,P} C_{G,P} R_O C_O + b_3 (R_{G,P} C_{G,P} + R_O C_O) \tag{2.55}$$

$$a_5 \approx b_3 R_{G,P} C_{G,P} R_O C_O \tag{2.56}$$

$$a_6 \approx b_4 R_{G,P} C_{G,P} R_O C_O \tag{2.57}$$

$$R_{G,P} = R_{O2,AE} // r_{o10} // (g_{m8} r_{o8}^2) \tag{2.58}$$

$$C_{G,P} = C_{O2,AE} + C_{bd8c} + C_{bd10} + C_{gs,P} + g_{m,P} R_O C_{gd,P} \cong C_{gs,P} + g_{m,P} R_O C_{gd,P} \tag{2.59}$$

$$C_O = C_{Ch} + C_{bd,P} + C_{gd,P} \tag{2.60}$$

Où $H_{0,c}$ est le gain statique du système du LDO compensé et z_D est le zéro réel positif dont la localisation change avec le courant de charge I_{Ch} car $g_{m,P}$ et $C_{gd,P}$ dépend de I_{Ch}. r_{o10} et $(g_{m8} r_{o8}^2)$ représentent les résistances de sortie des deux blocs différentiateur-amplificateur de courant haut et bas respectivement (voir figure 46).

En utilisant les méthodes des constantes de temps et d'approximation du pôle dominant décrites dans [35] et [36], on peut factoriser le polynôme d'ordre 4 du numérateur de la

fonction de transfert, qui a pour expression $N(s)=1+b_1s+b_2s^2+b_3s^3+b_4s^4$, afin de trouver les zéros de la fonction de transfert. De la même manière, on peut factoriser le polynôme d'ordre 6 du dénominateur, qui a pour expression $D(s)=1+a_1s+a_2s^2+a_3s^3+a_4s^4+a_5s^5+a_6s^6$, pour déterminer les pôles de la fonction de transfert.

Pour N(s), on a les inégalités $b_1>>(b_2/b_1)>>(b_3/b_2)>>(b_4/b_3)$ sont satisfaites et par conséquent le polynôme du numérateur aura pour factorisation :

$$N(s) \approx (1+b_1 s)(1+\frac{b_2}{a_1}s)(1+\frac{b_3}{a_2}s)(1+\frac{b_4}{a_3}s) \tag{2.61}$$

D'après l'équation (2.61), on constate que tous les quatre zéros sont des réels négatifs et leurs expressions sont approximées par les équations (2.62)-(2.65).

$$z_{G1} \approx -\frac{1}{b_1} \approx -\frac{g_{m7}g_{m14}}{(g_{m7}+g_{m14})C_C} \tag{2.62}$$

$$z_{G2} \approx -\frac{b_1}{b_2} \approx -\frac{(g_{m7}+g_{m14})}{C_C} \tag{2.63}$$

$$z_{G3} \approx -\frac{b_2}{b_3} \approx -\frac{1}{R_C(C_{OD,n}+C_{OD,p})} \tag{2.64}$$

$$z_{G4} \approx -\frac{b_3}{b_4} \approx -\frac{(C_{OD,n}+C_{OD,p})}{R_C C_{OD,n} C_{OD,p}} \tag{2.65}$$

Pour D(s), les coefficients positifs a_i dépendent fortement du courant de charge I_{Ch}, car ils contiennent les termes $C_{G,P}$, $g_{m,P}.R_O$ et R_O qu'ils en dépendent aussi. Par conséquent, la factorisation de ce polynôme change selon le courant de charge. Nous allons déterminer la factorisation du dénominateur D(s) pour les valeurs limites et intermédiaires de I_{Ch} dans le cas où R_C=100kΩ et C_C=1pF pour que les approximations précédentes soient valables et on prendra C_{Ch}=100pF.

1.3.2.3.1 Localisation des pôles pour le cas de I_{Ch} faible

Pour des valeurs faibles de I_{Ch} situées entre la valeur minimale et quelques centaines de µA et en particulier pour $I_{Ch}=I_{Ch,min}$, le transistor de passage M_P opère dans la région de conduction sous le seuil. Dans ce cas, on a $g_{m,P}$ est de l'ordre de quelques $m\Omega^{-1}$ et R_O est de l'ordre de quelques dizaines de kΩ, donc $g_{m,P}R_O>>1$. Les inégalités,

$a_1>>(a_2/a_1)>>(a_3/a_2)>>(a_4/a_3)>>(a_5/a_4)>>(a_6/a_5)$, sont valides. Par conséquent, le polynôme D(s) se factorise comme suit :

$$D(s) \approx (1+\frac{s}{\omega_{pd}})(1+\frac{s}{\omega_{pnd}})(1+\frac{s}{\omega_{p3}})(1+\frac{s}{\omega_{p4}})(1+\frac{s}{\omega_{p5}})(1+\frac{s}{\omega_{p6}}) \tag{2.66}$$

Avec,

$$\omega_{pd} = \frac{1}{a_1} \approx \frac{1}{R_{G,P} g_{m,P} R_O (g_{m10} + g_{m8}) R_C C_C} \tag{2.67}$$

$$\omega_{pnd} = \frac{a_1}{a_2} \approx \frac{g_{m,P}(g_{m10} + g_{m8}) R_C C_C}{C_{G,P} C_O} \tag{2.68}$$

$$\omega_{p3} = \frac{a_2}{a_3} \approx \frac{1}{b_1} \approx \omega_{zG1} \tag{2.69}$$

$$\omega_{p4} = \frac{a_3}{a_4} \approx \frac{b_1}{b_2} \approx \omega_{zG2} \tag{2.70}$$

$$\omega_{p5} = \frac{a_4}{a_5} \approx \frac{b_2}{b_3} \approx \omega_{zG3} \tag{2.71}$$

$$\omega_{p6} = \frac{a_5}{a_6} \approx \frac{b_3}{b_4} \approx \omega_{zG4} \tag{2.72}$$

La factorisation de D(s) montre que tous les pôles sont des réels négatifs. Le pôle dominant $p_d=-\omega_{pd}$ est approximée par l'équation (2.67), la localisation de ce pôle est forcée d'être à la grille du M_P. Le pôle non dominant $p_{nd}=-\omega_{pnd}$ est situé au nœud de sortie et son expression est donnée par l'équation (2.68). Il y a aussi quatre autres pôles p_3, p_4, p_5 et p_6 dont les localisations sont situées respectivement aux voisinages des zéros réels négatifs z_{G1}, z_{G2}, z_{G3} et z_{G4} comme le montre les équations (2.69)-(2.72). Le pôle situé à la sortie du premier étage de l'AE, qui est déterminé par $R_{O1,AE}$ et $C_{O1,AE}$, est localisé en haute fréquence et il n'influe pas sur la stabilité quelque soit la valeur de I_{Ch}. Par conséquent, la fonction de transfert compensée du LDO proposé est exprimée par l'équation (2.73) pour I_{Ch} faible.

$$H_{bo,c}(s)\Big|_{I_{Ch,\min}} \approx \frac{H_{0,c}.(1-\frac{s}{z_D})}{(1-\frac{s}{p_d})(1-\frac{s}{p_{nd}})(1+R_{O1,AE}C_{O1,AE}s)} \quad (2.73)$$

La marge de phase est donnée par l'équation (2.74). En considérant $\omega_{pd}<<\omega_T<<\omega_{zD}$ et $\omega_T<<(1/R_{O1,AE}C_{O1,AE})$, l'expression de la marge de phase se simplifiera suivant l'équation (2.75), où ω_T est la pulsation de transition exprimée par l'équation (2.76).

$$M_{\Phi,I_{Ch\min}} = 180° - \arctan(\frac{\omega_T}{\omega_{z_D}}) - \arctan(\frac{\omega_T}{\omega_{pd}}) - \arctan(\frac{\omega_T}{\omega_{pnd}}) - \arctan(R_{O1,AE}C_{O1,AE}\omega_T) \quad (2.74)$$

$$M_{\Phi,I_{Ch\min}} \approx 90° - \arctan(\frac{\omega_T}{\omega_{pnd}}) \quad (2.75)$$

$$\omega_T = |H_{0,c}|.\omega_{pd} \approx \frac{\beta_R g_{m1} R_{O1,AE} g_{m3}}{(g_{m8}+g_{m10})R_C C_C} \quad (2.76)$$

Pour avoir une marge de phase suffisante, par exemple $M_\Phi=60°$, il faut que les pulsations ω_T et ω_{pnd} remplissent la condition (2.77). Cette condition de stabilité est valable quelque soit la valeur de I_{Ch} dans l'intervalle des courants de charge faibles, car ω_T ne dépend pas de I_{Ch}.

$$\omega_T = \frac{\sqrt{3}}{3}.\omega_{pnd} \quad (2.77)$$

1.3.2.3.2 Localisation des pôles pour le cas de I_{Ch} grand

Pour des valeurs grandes de I_{Ch} situées entre quelques dizaines de mA et la valeur maximale $I_{Ch,max}$=150mA, M_P opère dans la région de saturation, en particulier pour $V_I=V_{I,min}$ et $I_{Ch}=I_{Ch,max}$ où M_P opère dans la région ohmique. Dans le cas où M_P est saturé, on a $g_{m,P}$ est de l'ordre de quelques Ω^{-1} et R_O est de l'ordre de quelques Ohms, donc l'approximation $g_{m,P}R_O \geq 10$ est acceptable et on a aussi $R_{G,P}C_{G,P}>>R_OC_O$. Les inégalités $a_1>>(a_2/a_1)>>(a_3/a_2)$ et $(a_4/a_3)>>(a_5/a_4)>>(a_6/a_5)$ sont satisfaites, tandis que l'inégalité $(a_3/a_2)>>(a_4/a_3)$ est violée. Par conséquent, le polynôme D(s) se factorise comme suit :

$$D(s) \approx (1+\frac{s}{\omega_{pd}})(1+\frac{s}{\omega_{pnd}}).P(s).(1+\frac{a_5}{a_4}s)(1+\frac{a_6}{a_5}s) \quad (2.78)$$

Avec,

$$P(s) = (1 + \frac{a_3}{a_2} s + \frac{a_4}{a_2} s^2) \tag{2.79}$$

La factorisation de D(s) montre l'existence d'un pôle dominant p_d, qui est un réel négatif et son expression est approximée par l'équation (2.80), la localisation de ce pôle ne subie pas un changement notable par rapport au cas de I_{Ch} faible, et il est localisé aussi à la grille du M_P. Le premier pôle non dominant p_{nd} est donné par l'équation (2.81). Il y a deux autres pôles réels négatifs p_5 et p_6 situés dans les très hautes fréquences, les expressions approchées de ces deux pôles sont données par les équations (2.82) et (2.83) et ils sont annulés par les zéros réels négatifs z_{G3} et z_{G4}.

$$p_d \approx -\frac{1}{a_1} \approx -\frac{1}{R_{G,P} g_{m,P} R_O (g_{m10} + g_{m8}) R_C C_C + R_{G,P} C_{G,P}} \tag{2.80}$$

$$p_{nd} \approx -\frac{a_1}{a_2} \approx -\frac{g_{m,P} R_O (g_{m10} + g_{m8}) R_C C_C + C_{G,P}}{b_1 C_{G,P} + g_{m,P} R_O (\frac{g_{m8}}{g_{m14}} + \frac{g_{m10}}{g_{m7}}) R_C C_C^2} \tag{2.81}$$

$$p_5 = -\frac{a_4}{a_5} \approx -\frac{b_2}{b_3} \approx \omega_{zG3} \tag{2.82}$$

$$p_6 = -\frac{a_5}{a_6} \approx -\frac{b_3}{b_4} \approx \omega_{zG4} \tag{2.83}$$

Le polynôme du second ordre P(s) montre l'existence de deux pôles complexes conjugués à parties réelles négatives situés dans les hautes fréquences, ainsi ils n'influent pas sur la stabilité. Les expressions des pôles complexes conjugués p_{C1} et p_{C2}, de la fréquence centrale ω_0, du facteur d'amortissement ζ, du facteur de qualité Q et de la pulsation de résonance ω_r sont données respectivement par les équations (2.84)-(2.89).

$$p_{C1,2} = -\zeta\omega_0 \mp j\omega_0\sqrt{1-\zeta^2} \tag{2.84}$$

$$\omega_0 = \sqrt{\frac{a_2}{a_4}} \approx \sqrt{\frac{b_1 C_{G,P} + g_{m,P} R_O (\frac{g_{m8}}{g_{m14}} + \frac{g_{m10}}{g_{m7}}) R_C C_C^2}{b_2 C_{G,P} R_O C_O + b_3 C_{G,P}}} \tag{2.85}$$

$$\zeta = \frac{a_3 \omega_0}{2a_2} = \frac{a_3}{2\sqrt{a_2 a_4}} \tag{2.86}$$

$$\zeta = \frac{\omega_0}{2} \frac{b_1 R_C C_C C_{G,P}}{b_1 C_{G,P} + g_{m,P} R_O \left(\frac{g_{m8}}{g_{m14}} + \frac{g_{m10}}{g_{m7}} \right) R_C C_C^2} \tag{2.87}$$

$$Q = \frac{1}{2\zeta} = \frac{b_1 C_{G,P} + g_{m,P} R_O \left(\frac{g_{m8}}{g_{m14}} + \frac{g_{m10}}{g_{m7}} \right) R_C C_C^2}{\omega_0 b_1 R_C C_C C_{G,P}} \tag{2.88}$$

$$\omega_r = \omega_0 \cdot \sqrt{1 - 2\zeta^2} \tag{2.89}$$

Le pôle $p_{O1,AE}$ introduit par le premier étage de l'amplificateur d'erreur est annulé par le zéro z_{G2} créé par le circuit de compensation comme le montre l'équation (2.90). L'expression finale de la fonction de transfert compensée du système du LDO dans le cas des grandes valeurs du courant de charge est donnée par l'équation (2.91).

$$p_{O1,AE} = -\frac{1}{R_{O1,AE} C_{O1,AE}} \cong -z_{G2} \tag{2.90}$$

$$H_{bo,c}(s)\Big|_{I_{Ch,\max}} \approx \frac{H_{0,c} \cdot \left(1 - \frac{s}{z_D}\right)\left(1 - \frac{s}{z_{G1}}\right)}{\left(1 - \frac{s}{p_d}\right)\left(1 - \frac{s}{p_{nd}}\right)\left(1 + \frac{a_3}{a_2} s + \frac{a_4}{a_2} s^2\right)} \tag{2.91}$$

Pour les grandes valeurs de I_{Ch}, la marge de phase est donnée par l'équation (2.92). Puisque $\omega_{pnd} << \omega_T << \omega_0$, $\omega_{zD} >> \omega_{pnd} >> \omega_{pd}$ et $\omega_T < \omega_{pnd} < \omega_{zG1} << \omega_r$, la marge de phase sera supérieure à 80° quelque soit la valeur de I_{Ch} dans l'intervalle des grandes valeurs du courant de charge.

$$\begin{aligned} M_{\Phi, I_{Ch,\max}} \approx\ & 180° - \arctan\left(\frac{\omega_T}{\omega_{z_D}}\right) + \arctan\left(\frac{\omega_T}{\omega_{z_{G1}}}\right) - \arctan\left(\frac{\omega_T}{\omega_{pd}}\right) - \arctan\left(\frac{\omega_T}{\omega_{pnd}}\right) \\ & - 90° - \arctan Q\left(\frac{\omega_T}{\omega_0} - \frac{\omega_0}{\omega_T}\right) \end{aligned} \tag{2.92}$$

1.3.2.3.3 Localisation des pôles pour les valeurs intermédiaires de I_{Ch}

Pour des valeurs intermédiaires du courant de charge I_{Ch} situées entre quelques centaines de µA jusqu'à quelques mA, M_P opère dans la région de conduction sous le seuil. Les inégalités $a_1>>(a_2/a_1)>>(a_3/a_2)$ et $(a_4/a_3)>>(a_5/a_4)>>(a_6/a_5)$ sont satisfaites, tandis que l'inégalité $(a_3/a_2)>>(a_4/a_3)$ est violée. Par conséquent, la fonction de transfert donnée par l'équation (2.91) est valable pour cet intervalle de I_{Ch}. Pour certaines valeurs moyennes de I_{Ch}, l'analyse montre que le facteur de qualité Q donnée par l'équation (2.93) augmente de façon que l'amplitude à la résonance coupe l'axe des fréquences comme il est illustré sur la figure (50). Pour éviter ce phénomène indésirable, il faut diminuer la valeur de Q. Cela revient à augmenter la valeur de $C_{G,P}$. D'après l'équation (2.59) et pour atteindre ce but, il faut augmenter les valeurs de $C_{gs,P}$ et $C_{gd,P}$ en agrandissant la largeur W_P du transistor de passage M_P, et ceci s'effectue au détriment de l'augmentation de la surface occupée (le layout de M_P). La condition de stabilité sur W_P est obtenue pour $R_{G,P}C_{G,P}\geq 5R_OC_O$ et $R_{G,P}\geq 10R_O$ d'où on obtient la contrainte (2.94) où $C_{gd,r}$ représente la capacité de recouvrement grille-drain du transistor de passage M_P.

$$Q=\frac{1}{2\zeta}=\frac{\sqrt{(b_2C_{G,P}R_O\,C_O+b_3C_{G,P})g_{m,P}R_O(\frac{g_{m8}}{g_{m14}}+\frac{g_{m10}}{g_{m7}})R_C}}{b_1R_CC_{G,P}} \tag{2.93}$$

$$W_P \geq \frac{C_{Ch}}{2(g_{m,P}R_O-\frac{1}{3})C_{gd,r}} \tag{2.94}$$

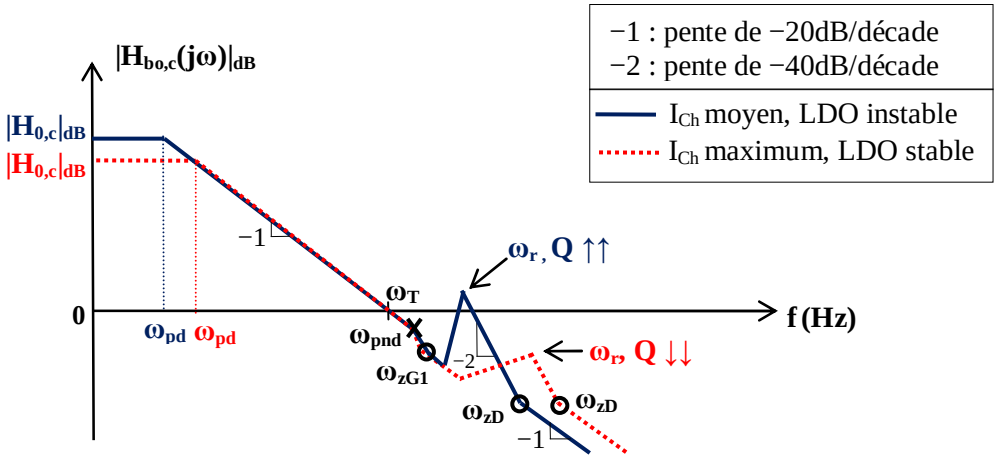

Figure 50 Influence du facteur de qualité sur la réponse fréquentielle du système du LDO proposé.

La figure (51) donne la localisation approximative, dans le plan complexe, des pôles en fonction du courant de charge I_{Ch}, ainsi que l'emplacement souhaité des zéros, du système de régulateur LDO-CI proposé. Les pôles et les zéros pertinents présents sur la figure (49) sont représentés sur la figure (51-a); il y a cinq pôles réels négatifs, deux pôles complexes, quatre zéros réels négatifs et un zéro réel positif; cette figure montre également le placement souhaité des pôles complexes en fonction du courant de charge. Malheureusement, dans certaines conditions critiques pour les pôles et les zéros parasites, illustrés sur la figure (51-b), les pôles complexes peuvent même se croiser jusqu'au le demi-plan droit et le système devient

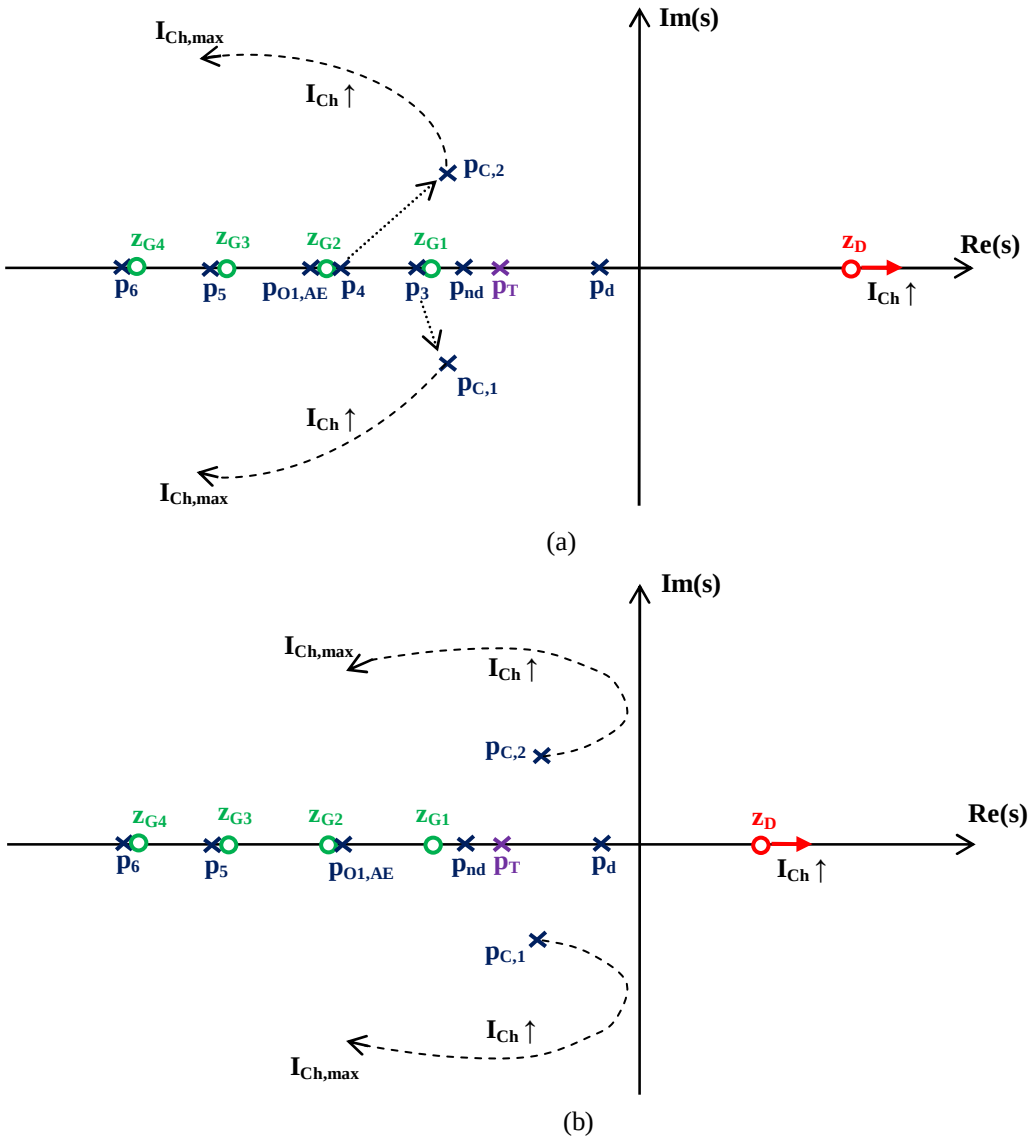

Figure 51 Effets des pôles introduits par le différentiateur sur le mouvement des pôles complexes conjugués en fonction du courant de charge I_{Ch}: (a) trajectoire des pôles souhaitée, (b) instabilité potentielle (plan s sans échelle).

conditionnellement stable. Notons que dans ces résultats, le zéro réel positif z_D a un effet important sur la stabilité de la boucle, car il peut attirer les pôles complexes p_{C1} et p_{C2}. La condition de stabilité peut être trouvée en utilisant la méthode de Cardan [105], mais l'expression résultante est assez complexe

1.4 Analyse de la réponse transitoire du LDO-CI proposé

L'une des spécifications critiques du régulateur LDO est l'amplitude des pics de tension de sortie V_O pour les variations transitoires du courant de charge I_{Ch} sur toute la plage exigée. L'amplitude des pics de tension de sortie dépend de divers facteurs tels que la vitesse des variations du courant de charge (temps de montée et temps de descente), la capacité de charge C_{Ch} connectée à la sortie du LDO, la bande passante en boucle fermée, la marge de phase du système, mais elle est principalement déterminée par la vitesse de balayage (slew rate) à la grille du transistor de passage M_P [2], [46] et [106]. Pour surmonter les limitations de vitesse de balayage dues à la capacité excessive $C_{G,P}$ à la grille de M_P, de grandes quantités de courant doivent être utilisées pour charger et décharger la capacité $C_{G,P}$ [46]. Un courant important n'est requis que pendant le fonctionnement transitoire; une fois que la tension de sortie atteint sa valeur du régime permanent, aucune compensation de courant n'est nécessaire. Par conséquent, une solution de classe AB ou de classe B serait plus économe en énergie que le système de compensation conventionnel de classe A. Une solution basée sur un couplage capacitif et un fonctionnement en classe AB avec une technique d'amplification dynamique de courant de polarisation est proposée pour améliorer la réponse transitoire. Cette technique de couplage capacitif a été proposée pour la première fois dans [88], [91], [106] et [107]. La figure (52) montre le fonctionnement du circuit de compensation proposé comme améliorateur de la réponse transitoire. Pour minimiser l'amplitude des pics de la tension de sortie, un détecteur des pics basé sur un circuit de différentiation est utilisé. Une opération complémentaire pour les pics positifs et négatifs permet un véritable fonctionnement en classe AB et minimise davantage l'ondulation de la tension de sortie du LDO. Considérons d'abord le fonctionnement du bloc de réduction du sous-dépassement de la figure (52), pour les sous-dépassements de tension de sortie, le condensateur de capacité C_{C1} détecte les changements de la tension de sortie sous forme de courant i_{C1} en supposant que les variations de tension à la grille du transistor M_7 sont petites. Ce courant, qui est proportionnel à la vitesse de variation de la tension de sortie, il est converti en tension par la résistance R_{C1} puis reconverti en courant par le transistor M_8 qui absorbe le courant provenant de la capacité $C_{G,P}$. La résistance

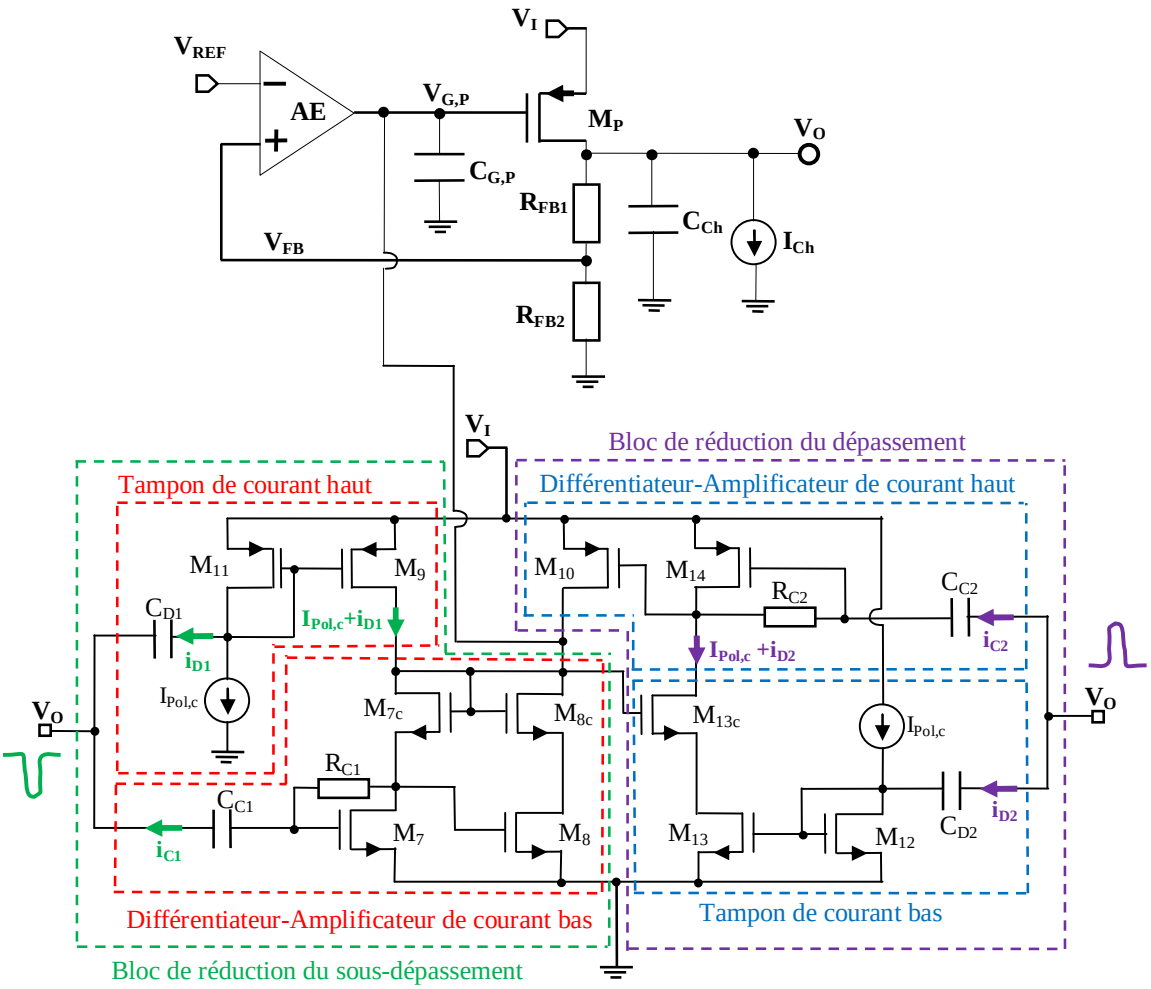

Figure 52 Fonctionnement du circuit de compensation proposé comme améliorateur de la réponse transitoire du régulateur LDO.

R_{C1} et les transistors M_7 et M_8 fonctionnent comme un amplificateur de courant tandis que la capacité C_{C1} extrait les variations de tension de V_O. D'après la figure (52), la quantité de courant injecté dans la grille de M_P est effectivement équivalente à celle fournie par un condensateur de capacité $g_{m8}R_{C1}C_{C1}$. La stratégie de conception suivie dans le circuit d'amélioration de la réponse transitoire proposé est d'employer ce courant principalement pour les sous-dépassements, de sorte que le courant de polarisation (courant de drain) dans M_7 et M_8 soit minimisé. Pour un fonctionnement en classe A, le courant de polarisation de M_8 doit être supérieur aux courants transitoires, étant donné que des courants transitoires importants sont générés, le rendement en courant du LDO se dégrade en particulier dans des conditions de courant de charge faible. Un schéma de réduction de sous-dépassement efficace nécessite d'abaisser le niveau de la tension $V_{G,P}$ de la grille de M_P et cette opération peut être effectuée d'une manière efficace par le transistor M_8 même si son courant de repos est faible.

Un problème ici est que pour remonter le niveau de la tension de la grille de M_8, il est nécessaire d'injecter une quantité importante de courant sur la de drain de M_7. Ce courant est efficacement généré pendant les variations transitoires uniquement (courant sur demande) par le condensateur de capacité C_{D1} et le miroir de courant formé par les transistors M_9 et M_{11}. Pendant les sous-dépassements, C_{D1} détecte les variations de tension de sortie via le courant i_{D1} qui l'additionne avec le courant de polarisation $I_{Pol,c}$ du bloc de réduction du sous-dépassement. Ce mécanisme ajuste dynamiquement le courant de drain du transistor M_7 en fonction de l'amplitude du pic détecté, conduisant à une réponse transitoire améliorée pour les sous-dépassements avec un faible courant de polarisation.

La sensibilité du système augmente car i_{C1} et i_{D1} s'additionnent, absorbant ainsi la grande valeur du courant générée par C_{C1}. Pour économiser l'énergie, le courant de polarisation de M_7 et M_8 doit être inférieur à 1µA. Par conséquent, M_8 ne peut pas remonter efficacement le niveau de la tension $V_{G,P}$ de la grille de M_P. Pour surmonter cet inconvénient, un schéma double comme il est représenté sur la figure (52) est utilisé qui comprend un bloc de réduction du dépassement complémentaire. Il est constitué par le sous-bloc différentiateur-amplificateur de courant, formé par la capacité C_{C2}, la résistance R_{C2} et les transistors M_{14} et M_{10} et le sous-bloc tampon de courant formé par la capacité C_{D2} et le miroir de courant M_{12}-M_{13}. Les transistors cascode M_{7c}, M_{8c} et M_{13c} aident à minimiser l'effet de la modulation de longueur du canal afin d'améliorer la performance d'appariement. Des conditions de polarisation similaires sont utilisées pour les circuits de réduction du dépassement et du sous-dépassement.

Le courant de compensation total, injecté dans la grande capacité $C_{G,P}$ à la grille du transistor de passage, durant la phase transitoire de durée Δt est donné par l'équation (2.95). Par conséquent, la variation maximale Δv_o à la sortie du LDO est approximativement donnée par l'équation (2.96). Cette variation dépend de la taille des transistors M_8 et M_{10} du bloc de compensation.

$$i_C \approx (g_{m8} + g_{m10})R_C C_C \frac{\Delta v_o}{\Delta t} \tag{2.95}$$

$$\Delta v_o \approx \frac{C_{G,P}}{(g_{m8} + g_{m10})R_C C_C} \frac{\Delta I_{Ch}}{g_{m,P}} \tag{2.96}$$

1.5 Dimensionnement des composants du régulateur LDO-CI proposé

1.5.1 Paramètres de la technologie CMOS UMC 0,18µm basse tension

La technologie CMOS UMC 0,18µm basse tension est un processus de fabrication des semi-conducteurs connue aussi par la désignation ‘’technologie CMOS 180nm’’ dont la valeur 0,18µm ou 180nm signifie la valeur minimale permise de la longueur du canal d’un transistor MOS de type N ou de type P. C’est une technologie submicronique qui offre aux concepteurs des circuits intégrés analogiques, numériques et mixtes un choix large dans les composants microélectroniques disponibles dans son kit de processus de conception (PDK) à savoir, les transistors MOS à basse tension de polarisation (1,2V à 1,8V), les transistors MOS à haute tension de polarisation (1,8V à 3,3V), les transistors bipolaires de hautes qualités et de faibles dérives de température, des capacités métal-isolat-métal à faibles résistances ou inductances séries, des résistance à faible coefficient de température,…et d’autres composants microélectroniques. Le tableau (7) donne les paramètres de la technologie CMOS UMC 0,18µm [108], tandis que le tableau (8) donne les paramètres calculés ou extrait par simulation qui seront utilisés dans la conception de notre régulateur LDO-CI.

$$C'_{ox} = \frac{\varepsilon_{ox}}{t_{ox}} \tag{2.97}$$

$$K'_n = \mu_n C'_{ox} \tag{2.98}$$

$$K'_p = \mu_p C'_{ox} \tag{2.99}$$

Dans l’équation (2.97), on a $\varepsilon_{ox}=3,97.\varepsilon_0$, où ε_{ox} est la permittivité d’oxyde de la grille (SiO_2) et $\varepsilon_0=8,85.10^{-18}F.\mu m^{-1}$ (permittivité diélectrique du vide).

Dans le tableau (8), C'_{ox}, K'_n et K'_p ont été calculés à partir des équations (2.97)-(2.99) [32]. Le paramètre λ pour le NMOS ou le PMOS a été extrait par simulation, à partir de la caractéristique $I_D=f(V_{DS})$, en utilisant la méthode graphique montrée sur la figure (53) [33]. L’équation (2.100) donne la formule pour calculer λ pour un transistor NMOS. Notons que le paramètre de la modulation de longueur du canal λ est inversement proportionnel à la longueur L du canal [29], [32] et [33], et plus L est grande, plus λ est petit et par conséquent l’effet Early est minimisé. D’autre part, plus λ est faible, plus le facteur λ est faible, plus le courant I_D est moins dépendant de la tension V_{DS} ce qui améliore l’appariement entre les deux

transistors de la paire différentielle du premier étage de l'amplificateur d'erreur, ou les deux transistors de grille commune d'un miroir de courant [29], [32] et [33].

$$\lambda_n = \frac{I_{D1} - I_{D2}}{I_{D2}.V_{DS1} - I_{D1}.V_{DS2}} \tag{2.100}$$

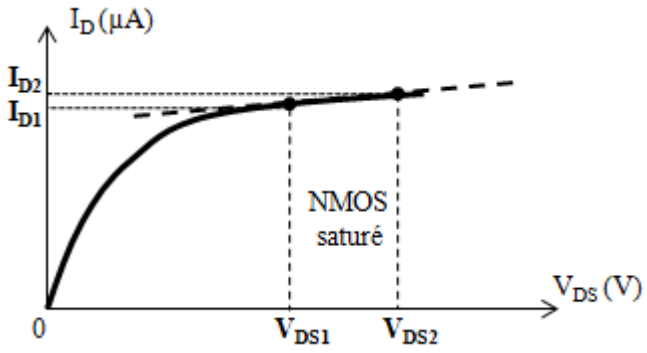

Figure 53 Méthode graphique d'extraction du paramètre de la modulation de longueur du canal λ pour un NMOS (équation 2.100).

Tableau 7 Paramètres de la technologie CMOS UMC 0,18µm.

Paramètre	Symbole	Unité	Valeur pour le NMOS	Valeur pour le PMOS
Tension d'opération (Tension d'alimentation)	V_I	V	1,2 - 1,8 (NMOS à tension basse) 2,5 - 3,3 (NMOS à tension haute)	1,2 - 1,8 (NMOS à tension basse) 2,5 - 3,3 (NMOS à tension haute)
Longueur de la grille (MOS basse tension)	L	µm	≥ 0,18	≥ 0,18
Largeur de la grille (MOS basse tension)	W	µm	≥ 0,22	≥ 0,22
Mobilité des porteurs de charge	μ_n (NMOS) μ_p (PMOS)	$cm^2.V^{-1}.s^{-1}$	300	110
Tension de seuil à V_{BS}=0V	$V_{t0,n}$ (NMOS) $V_{t0,p}$ (PMOS)	V	0,48	-0,46
Capacité de recouvrement grille-drain	$C_{gd,r}$	$pF.m^{-1}$	370	330
Capacité de recouvrement grille-source	$C_{gs,r}$	$pF.m^{-1}$	370	330
Facteur d'effet substrat	γ	$V^{1/2}$	0,6667	0,6667

Tableau 8 Paramètres calculés ou extrait par simulation en technologie CMOS UMC 0,18µm.

Paramètre	Symbole	Unité	Valeur pour le NMOS		Valeur pour le PMOS	
Capacité surfacique d'oxyde de la grille	C'_{ox}	$fF.\mu m^{-2}$	8,78		8,78	
Facteur de transconductance	K'_n (NMOS) K'_p (PMOS)	$\mu A.V^{-2}$	263,5		96,6	
Facteur de la modulation de longueur du canal	λ_n (NMOS)	V^{-1}	L_n=0,18µm	L_n=0,2µm	L_p=0,18µm	L_p=0,36µm
			0,12	0,108	0,10	0,049
			L_n=0,36µm	L_n=0,8µm	L_p=0,5µm	L_p=0,8µm
			0,049	0,027	0,04	0,03
	λ_p (PMOS)		L_n=0,9µm	L_n=1,8µm	L_p=0,9µm	L_p=1,8µm
			0,022	0,011	0,025	0,013

1.5.2 Dimensionnement du transistor de passage M_P

On a choisi comme transistor de passage (élément de puissance) un transistor de type PMOS car sa tension de chute V_{DO} est faible ce qui convient avec les spécifications du tableau (2). Les dimensions W_P et L_P du transistor de passage M_P sont déterminées par le courant maximum $I_{Ch,max}$ fourni par le régulateur LDO et la tension de chute V_{DO} maximale exigés par les spécifications du cahier de charge (tableau 2). D'après le tableau (4), on a $V_{DO}=V_{SD,sat}$ et $V_{SD,sat}=V_{SG}-|V_{t0,p}|$ [29], [32] et [33]. En utilisant les équations (1.4) et (1.5), on peut écrire que :

$$\frac{W_P}{L_P} \geq \frac{I_{Ch}}{K'_p V_{DO}^2} \tag{2.101}$$

Pour notre conception, $I_{Ch,max}$=150mA et V_{DO}=150mV donc la taille minimale du transistor M_P est donnée par :

$$\left(\frac{W_P}{L_P}\right)_{\min} = \frac{I_{Ch,\max}}{K'_p V_{DO}^2} \tag{2.102}$$

D'après le tableau (8), on a K'_p=96,6µA.V^{-2} d'où on trouve que $(W_p/L_p)_{min}$=69013,11. En fixant la longueur L_P à sa valeur minimale L_P=0,18µm, on trouve que $W_{P,min}$=12422,36µm. Vue la condition de stabilité sur W_P donnée par l'équation (2.94), il est nécessaire de recalculer la valeur minimale de W_P après avoir fixé la valeur de C_{Ch}. En prenant C_{Ch}=100pF

et $g_{m,P}R_O$=10, on obtient $W_P \geq 15673{,}98\mu m$. Pour faire un compromis entre la stabilité et la surface occupée du M_P, nous avons choisi W_P=16000µm.

1.5.3 Dimensionnement des résistances de contre-réaction

Les résistances du réseau de contre-réaction R_{FB1} et R_{FB2} sont déterminées par la tension de sortie V_O spécifiée par le cahier de charge et le courant de polarisation du transistor de passage M_P (courant de drain $I_{D,P}$) quand aucune charge résistive n'est connectée à la sortie. Ce courant de polarisation est égale au courant de masse I_{gnd} qui circule dans les résistances de contre-réactions en supposant que l'amplificateur d'erreur est idéal. Pour notre conception V_O=1,2V et $I_{D,P}=I_{gnd}$=5µA.

D'après la figure (16) et en prenant I_{Ch}=0 ($R_{Ch}=\infty$), on a $V_O=(R_{FB1}+R_{FB2}).I_{gnd}$ d'où :

$$R_{RB1} + R_{FB2} = \frac{V_O}{I_{gnd}} = 240k\Omega \tag{2.103}$$

On a aussi,

$$V_{REF} = \frac{R_{FB2}}{R_{FB1} + R_{FB2}} V_O \tag{2.104}$$

Etant donné que la tension d'alimentation minimale pour l'amplificateur d'erreur est égale à 1,27V, on s'est arrangé a polarisé les deux grilles des transistors M_1 de la paire différentielle du premier étage (figure 41) par une tension égale à la moitié de la tension d'alimentation minimale. On a vérifié par la suite que tous les transistors de l'AE sont en état de saturation. Par conséquent $V_{FB}=V_{REF}$=0,635V.

On a :

$$\beta_R = \frac{V_{REF}}{V_O} = 0{,}529 \tag{2.105}$$

D'où :

$$R_{FB2} = (R_{FB1} + R_{FB2})\beta_R = 127k\Omega \tag{2.106}$$

$$R_{FB1} = 240k\Omega - 127k\Omega = 113k\Omega \tag{2.107}$$

Notons que les valeurs des résistances R_{FB1} et R_{FB2} seront ajustées par la suite, car elles sont légèrement influencée par la tension de décalage de l'AE d'une part, et en d'autre part, leurs valeurs finales dépendent de la précision de la valeur de V_{REF} générée à la sortie du circuit de la référence de tension (voir chapitre 3).

1.5.4 Conception de l'amplificateur d'erreur du LDO proposé

L'amplificateur d'erreur du régulateur LDO a été conçu suivant les spécifications données sur le tableau (9). Les rapports (W/L) des transistors de l'AE ont été déterminés en utilisant les équations (2.108)-(2.114). La méthodologie de conception suivie est de déterminer les rapports (W/L) à partir du courant de drain et de la tension de saturation. D'autre part, pour tous les transistors de l'AE pour minimiser l'effet de la modulation de longueur du canal et pour avoir un bon appariement entre les transistors, on a choisi $L=10.L_{min}$ pour tous les transistors de l'AE, soit L=1,8µm.

$$A_{v1,0} = -\frac{g_{m1}}{(\lambda_1 + \lambda_2)\frac{I_{Pol,AE}}{2} + \frac{1}{R_{CMFB}}} \tag{2.108}$$

$$g_{m1} = \sqrt{K_p^{'}\frac{W_1}{L_1} I_{Pol,AE}} \tag{2.109}$$

$$A_{v2,0} = -\frac{g_{m3}}{\lambda_6 I_{D6}} \tag{2.110}$$

$$g_{m3} = \sqrt{2K_p^{'}\frac{W_3}{L_3} I_{D3}} \tag{2.111}$$

$$V_{DS,sat} = \sqrt{\frac{2I_{D2,4}}{K_n^{'}\left(\frac{W}{L}\right)_{2,4}}} \tag{2.112}$$

$$V_{SD,sat} = \sqrt{\frac{2I_{D5,6}}{K_p^{'}\left(\frac{W}{L}\right)_{5,6}}} \tag{2.113}$$

$$P_{d,AE} = (2I_{D6} + I_{Pol,AE})V_I \tag{2.114}$$

Tableau 9 Spécifications de l'amplificateur d'erreur du LDO proposé.

Paramètre	Symbole	Spécifications
Gain statique	$A_{v,0}$	≥ 60dB ou ≥1000
Produit gain-bande passante	$f_{T,AE}$	10MHz
Marge de phase	$M_{\Phi,AE}$	≥ 50°
Puissance dissipée	$P_{d,AE}$	≤ 50 µW
Tension de saturation	$V_{DS,sat}$ pour le NMOS $V_{SD,sat}$ pour le PMOS	100mV-150mV

Etape 1 : A partir de la puissance dissipée, on détermine le courant de polarisation de l'amplificateur d'erreur $I_{Pol,AE}$ en choisissant $I_{D6}=2I_{Pol,AE}$. D'après l'équation (2.114), on a $P_{d,AE}=5I_{Pol,AE}.V_I$, d'où :

$$I_{Pol,AE}=\frac{P_{d,AE}}{5V_I} \tag{2.115}$$

La valeur maximale de la puissance dissipée pour un fonctionnement sous la tension d'alimentation d'entrée V_I=1,8V est fixée à 50µW, et par conséquent, on trouve à l'aide de l'équation (2.115) que $I_{Pol,AE}$=5,55µA. On choisit $I_{Pol,AE}$=5µA pour ne pas dépasser la valeur maximale de la puissance dissipée $P_{d,AE}$.

Etape 2 : A partir du gain statique $A_{v,0}$ de l'AE qui est égal à $A_{v,0}=A_{v1,0}.A_{v2,0}$ où $A_{v1,0}$ est le gain statique de l'étage différentiel et $A_{v2,0}$ est le gain statique du deuxième étage, on détermine, respectivement, le rapport $(W/L)_1$ de la paire différentielle à l'aide des équations (2.108) et (2.109) et le rapport $(W/L)_3$ à l'aide des équations (2.110) et (2.111). Pour cela, on a fixé $A_{v1,0}$=10 et $A_{v2,0}$=100 d'une part, et en d'autre part on a choisi $R_{CMFB}>>(r_{01}//r_{02})$ (R_{CMFB}=200kΩ) pour diminuer l'influence de la résistance d'auto-polarisation R_{CMFB} sur la valeur du gain $A_{v1,0}$, tout en respectant le choix $I_{D6}=I_{D3}=2I_{Pol,AE}$ qui était déterminé dans l'étape 1.

Etape 3 : On détermine les tailles $(W/L)_2$ et $(W/L)_4$ des transistors NMOS M_2 et M_4 à partir de l'équation (2.112), en choisissant $V_{DS2,sat}$=150mV (absence de l'effet substrat) et $V_{DS4,sat}$=100mV (la présence de l'effet substrat fait diminuer la tension de saturation). Pour les transistors PMOS M_5 et M_6, on détermine leurs tailles $(W/L)_5$ et $(W/L)_6$ à partir de l'équation (2.113), en choisissant $V_{SD5,6,sat}$=150mV.

Le tableau (10) résume les dimensions des transistors de l'AE proposé. La valeur de R_{CMFB} est fixée à 100kΩ.

Tableau 10 Dimensions des transistors MOS de l'AE du régulateur LDO proposé.

Transistors	W en (µm)	L en (µm)
M_1	12	1,8
M_2	3,4	1,8
M_3 et M_4	9,2	1,8
M_5 et M_6	12	1,8

1.5.5 Conception du bloc de compensation et d'amélioration de la réponse transitoire

La conception des composants du circuit de compensation comprend : la détermination des tailles des transistors MOS et les valeurs des capacités C_C et C_D et des résistances R_C. Les spécifications de ce bloc sont données dans le tableau (11). Vue la symétrie du bloc de compensation (figure 47), on a décidé de choisir une valeur unifiée C_C pour les capacités de ce bloc, tel que $C_{C1}=C_{C2}=C_{D1}=C_{D2}=C_C$, et une valeur commune R_C pour les résistances des blocs différentiateur-amplificateur de courant. Pour les transistors NMOS, les tailles de M_7, M_{7c}, M_{12}, M_{13} et M_{13c} seront identiques et la même chose pour M_8 et M_{8c}. Pour les transistors PMOS, les tailles de M_9, M_{11}, M_{14} seront identiques. Les relations utilisées pour la conception du bloc de compensation sont données par les équations (2.124)-(2.128).

$$\left|H_{0,c}\right| = \beta_R g_{m1} R_{O1,AE} g_{m3} R_{G,P} g_{m,P} R_O \tag{2.124}$$

$$f_T = \frac{\beta_R g_{m1} R_{O1,AE} g_{m3}}{2\pi(g_{m8} + g_{m10})R_C C_C} \tag{2.125}$$

$$SR_{G,P} = \frac{I_{Pol,AE} + A_I . I_{Pol,c}}{C_{G,P}} \tag{2.126}$$

$$\Delta v_o = \frac{C_{G,P}}{(g_{m8} + g_{m10})R_C C_C} \frac{\Delta I_{Ch}}{g_{m,P}} \tag{2.127}$$

Tableau 11 Spécifications pour le bloc de compensation du LDO proposé.

Paramètre	Symbole	Spécifications
Gain statique	$\|H_{0,c}\|_{dB}$	$\geq$ 70 dB
Produit gain-bande passante	f_T	1 MHz
Slew rate à la grille du transistor de passage	$SR_{G,P}$	$\geq$ 1,5 V.µs^{-1}
Dépasement/sous-dépassement	Δv_o	$\leq$ 60 mV
Marge de phase	M_Φ	$\geq$ 60° quelque soit I_{Ch}

$$M_{\Phi} \approx 90° - \arctan[\frac{2\pi . f_T C_{g,P} C_O}{(g_{m8} + g_{m10}) R_C C_C}] \quad (2.128)$$

D'après l'équation (2.124), $|H_{0,c}|$ est proportionnel au produit $g_{m,P}R_O$. D'autre part, on a $g_{m,P}$ est proportionnelle à $\sqrt{I_{Ch}}$ et $r_{o,P}$ est proportionnelle à $(1/I_{Ch})$ d'où $g_{m,P}R_O$ $(1/\sqrt{I_{Ch}})$. Par conséquent et d'après l'équation (2.125), on constate que la fréquence de transition f_T ne dépend pas du courant de charge I_{Ch}. Il en résulte que la quantité $(g_{m8}+g_{m10})$ ne dépend pas de I_{Ch}. Le tableau (12) donne les valeurs limites des quantités $g_{m,P}$, $r_{o,P}$ et $g_{m,P}R_O$ selon la région d'opération du transistor de passage M_P pour le régulateur LDO proposé. La valeur de $g_{m,P}$ pour la région de la conduction sous le seuil est obtenue en utilisant les paramètres de la technologie CMOS 0,18µm du tableau (8), en prenant n=1,5 et U_T=26mV, où n le facteur de pente. Le courant de polarisation du transistor M_P à I_{Ch}=0 est égal à I_{gnd}=5µA et la valeur de la tension de sortie est V_O=1,2V.

D'après les résultats du tableau (12), on constate que si le transistor M_P opère dans la région de saturation à la valeur maximale du courant de charge, le gain statique $H_{0,c}$ ne subie pas une variation notable car $g_{m,P}R_O$ reste dans l'ordre de grandeur de 10. Cependant, si le transistor de passage opère dans la région ohmique pour $I_{Ch}=I_{Ch,max}$, la valeur de $g_{m,P}$ devient inférieure à $1\Omega^{-1}$ et la valeur de $r_{o,P}$ est pratiquement égale à 1Ω comme le montre les équations (2.129) et (2.130). Par conséquent, on aura $R_O \approx r_{o,P}$ et $g_{m,P}R_O \leq 1$, ce qui dégrade le gain statique comme le montre le résultat de l'équation (2.131).

$$g_{m,P} = \frac{I_{D,P}}{V_{SD,sat}} = \frac{g_{m,P,sat}}{2} \approx 0{,}825\Omega^{-1} \quad (2.129)$$

$$r_{o,P} = R_{on,P} = \frac{V_{DO}}{I_{Ch,\max} + I_{gnd}} \approx 1\Omega \quad (2.130)$$

$$g_{m,P} R_O = 0{,}825 \quad (2.131)$$

En utilisant les deux équations (2.124) et (2.125) avec les valeurs numériques R_C=100kΩ, C_C=1pF, f_T=1MHz et $|H_{0,c}|$=3162,28, on obtient:

$$g_{m8} + g_{m10} \approx 8{,}86.10^{-4}\,\Omega^{-1} \quad (2.132)$$

Tableau 12 Valeurs limites des quantités $g_{m,P}$, $r_{o,P}$ et $g_{m,P}R_O$ pour le régulateur LDO proposé.

	$I_{Ch}=I_{Ch,min}=100\mu A$	**$I_{Ch}=I_{Ch,max}=150mA$**
Région d'opération de M_P	sous-seuil	Saturation
Expression et valeur de $g_{m,P}$	$g_{m,P}=\frac{I_{Ch,\min}+I_{gnd}}{nU_T}$ $g_{m,P}\approx 2{,}69.10^{-3}\Omega^{-1}$	$g_{m,P}=\sqrt{2K_p^{'}\frac{W_P}{L_P}(I_{Ch,\max}+I_{gnd})}$ $g_{m,P}\approx 1{,}65\Omega^{-1}$
Expression et valeur de $r_{o,P}$	$r_{o,P}=\frac{1}{\lambda_p(I_{Ch,\min}+I_{gnd})}$ $r_{o,P}\approx 0{,}952M\Omega$	$r_{o,P}=\frac{1}{\lambda_p(I_{Ch,\max}+I_{gnd})}$ $r_{o,P}\approx 66{,}66\Omega$
Valeur du gain intrinsèque de M_P : $A_P=g_{m,P}.r_{o,P}$	2560,88 soit 68,17dB	110 soit 40,83dB
Expression et valeur de R_{Ch}	$R_{Ch,\max}=\frac{V_O}{I_{Ch,\min}}=12k\Omega$	$R_{Ch,\min}=\frac{V_O}{I_{Ch,\max}}=8\Omega$
Valeur de R_O (Equation 1.25)	$\approx 11{,}3k\Omega$	$\approx 7{,}14\Omega$
Expression approchée de R_O	$\approx R_{Ch}$	$\approx R_{Ch}$
Valeur de $g_{m,P}R_O$	32,28	≈11,78

D'autre part, on a $V_{I,min}=V_{SD10,sat}+V_{DS8c,sat}+V_{DS8,sat}=1{,}35V$, en ignorant l'effet substrat pour le transistor M_{8c}, on aura $V_{I,min}=V_{SD10,sat}+2V_{DS8,sat}=1{,}35V$, d'où on obtient :

$$V_{SD10,sat}=V_{I,\min}-2V_{SD8,sat} \tag{2.133}$$

L'équation (2.133) montre que $V_{SD10,sat}$ est, au minimum, deux fois plus grande, que $V_{DS8,sat}$. Par conséquent, g_{m8} sera, au minimum, deux fois plus grande que g_{m10} comme le montre les équations (2.134)-(2.136).

$$g_{m8}=\frac{2I_{D8}}{V_{GS8}-V_{tn,0}}=\frac{2A_I.I_{Pol,c}}{V_{DS8,sat}} \tag{2.134}$$

$$g_{m10}=\frac{2I_{D10}}{V_{SG10}-\left|V_{tp,0}\right|}=\frac{2A_I.I_{Pol,c}}{V_{SD10,sat}} \tag{2.135}$$

$$\frac{g_{m8}}{g_{m10}}=\frac{V_{SD10,sat}}{V_{DS9,sat}} \tag{2.136}$$

On choisit $g_{m8}=2g_{m10}$ et remplace dans le résultat de l'équation (2.132) pour trouver la valeur de g_{m10}. Après on détermine la taille $(W/L)_{10}$ à partir de l'équation (2.137). Puis on déduit la valeur de la taille $(W/L)_8$ à partir de l'équation (2.138). Les tailles des transistors M_7

et M_{14} sont déterminées respectivement à l'aide des équations (2.139) et (2.140). Le tableau (13) résume le dimensionnement des composants du circuit de compensation proposé.

$$g_{m10} = \sqrt{2K_p^{'}\left(\frac{W}{L}\right)_{10} A_I I_{Pol,c}} \tag{2.137}$$

$$g_{m8} = \sqrt{2K_n^{'}\left(\frac{W}{L}\right)_{8} A_I I_{Pol,c}} \tag{2.138}$$

$$\left(\frac{W}{L}\right)_7 = \frac{1}{A_I}\left(\frac{W}{L}\right)_8 \tag{2.139}$$

$$\left(\frac{W}{L}\right)_{14} = \frac{1}{A_I}\left(\frac{W}{L}\right)_{10} \tag{2.140}$$

Tableau 13 Dimensionnement des composants du circuit de compensation proposé.

Transistors	W en (µm)	L en (µm)
M_7, M_{7c}, M_{12}, M_{13} et M_{13c}	1,8	0,8
M_8 et M_{8c}	8,4	0,8
M_9, M_{11} et M_{14}	3,5	1,5
M_{10}	10	1,5
Résistances	$R_{C1}=R_{C2}=100k\Omega$	
Capacités	$C_{C1}=C_{C2}= C_{D1}=C_{D2}=1pF$	

2 Résultats de simulation du circuit du régulateur LDO proposé et discussion

Dans cette partie, nous présentons les résultats des différentes simulations pour mettre en évidence les performances du circuit de régulateur LDO proposé. La référence de tension est prise comme une source de tension idéale de valeur V_{REF}=0,635V.

2.1 Simulation AC en boucle ouverte

La simulation AC en boucle ouverte permet de mesurer le gain statique, la bande passante à −3dB, la fréquence de transition pour la comparer avec le produit gain-bande passante et de mesurer les marges de gain et de phase pour vérifier la stabilité du système après la compensation. Les performances du régulateur LDO proposé ont été simulées pour toutes les conditions sur : la tension d'alimentation V_I, La résistance de charge R_{Ch} (valeur de I_{Ch}) et la

capacité de charge C_{Ch}. Le circuit test de la simulation AC en boucle ouverte du régulateur LDO est illustré sur la figure (54). Les valeurs de la capacité C_{AC} et l'inductance L_{AC} doivent être très grandes (par exemple : C_{AC}=1GF et L_{AC}=1GH). La raison c'est que le condensateur sert de découplage DC entre le nœud V_E^+ et la source de tension alternative v_{AC}, et la bobine sert de couplage DC et de découplage AC entre le nœud V_E^+ et le nœud V_{FB}.

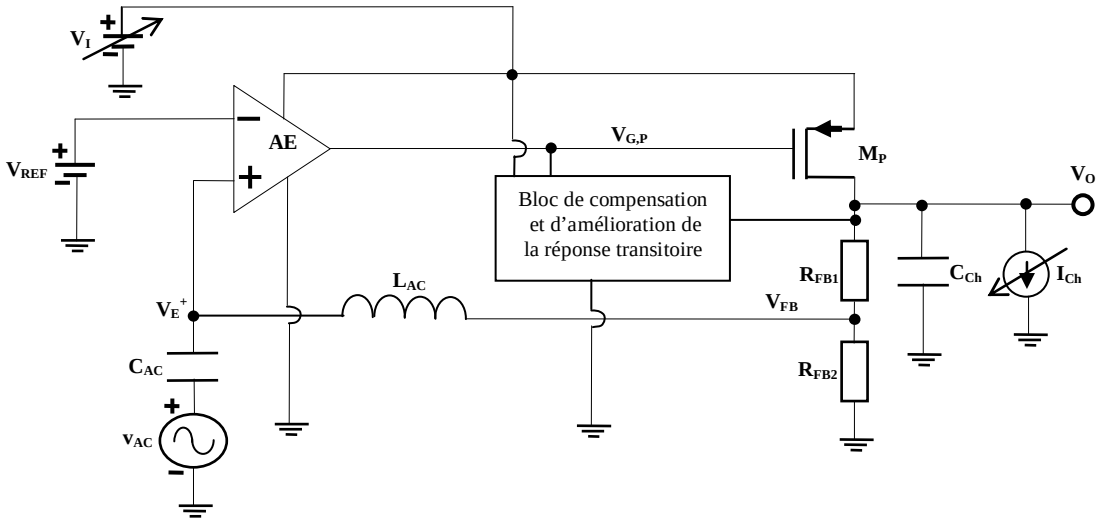

Figure 54 Circuit test de la simulation AC en boucle ouverte du régulateur LDO.

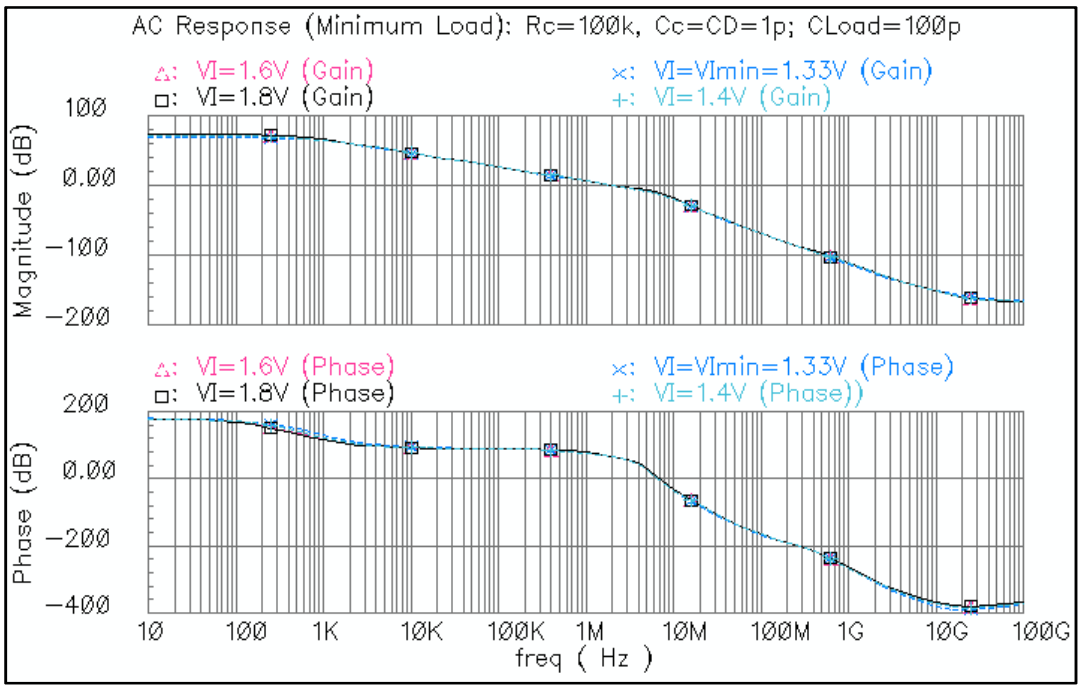

Figure 55 Courbes de gain et de phase simulées pour différentes valeurs de V_I sous $I_{Ch,min}$=50µA : C_{Ch}=100pF ; C_C=C_D=1pF ; R_C=100kΩ.

La figure (55) donne les courbes de gain et de phase pour différentes valeurs de la tension V_I pour le fonctionnement du LDO sous une charge minimale telle que $I_{Ch,min}$=50µA et pour une valeur de 100pF de la capacité de charge C_{Ch}. Ce résultat est obtenu en faisant varier la tension d'alimentation d'entrée V_I de 1.33V à 1.8V grâce à la simulation paramétrique disponible dans le simulateur Spectre de la plate-forme Cadence. Notons qu'on a vérifié que la tension d'alimentation d'entrée minimale pour que tous les transistors soient en état de saturation, excepté le transistor de passage M_P qui opère en conduction sous le seuil, est égale $V_{I,min}$=1,33V. D'après la figure (55), on constate que le régulateur LDO est stable pour toutes les valeurs V_I. Les marges de gain et de phase mesurées pour V_I=1.8V sont montrées sur les figures (56) et (57) respectivement.

La figure (58) donne les courbes de gain et de phase pour différentes valeurs de la tension V_I pour le fonctionnement du LDO sous une charge maximale telle que $I_{Ch,max}$=150mA et pour une valeur de 100pF de la capacité de charge C_{Ch}. Ce résultat est obtenu en faisant varier la tension d'alimentation d'entrée V_I de 1,33V à 1,8V. D'après la figure (58), on observe bien que le régulateur LDO est stable pour toutes les valeurs de V_I. Les marges de gain et de phase mesurées pour V_I=1.8V sont montrées sur les figures (59) et (60) respectivement.

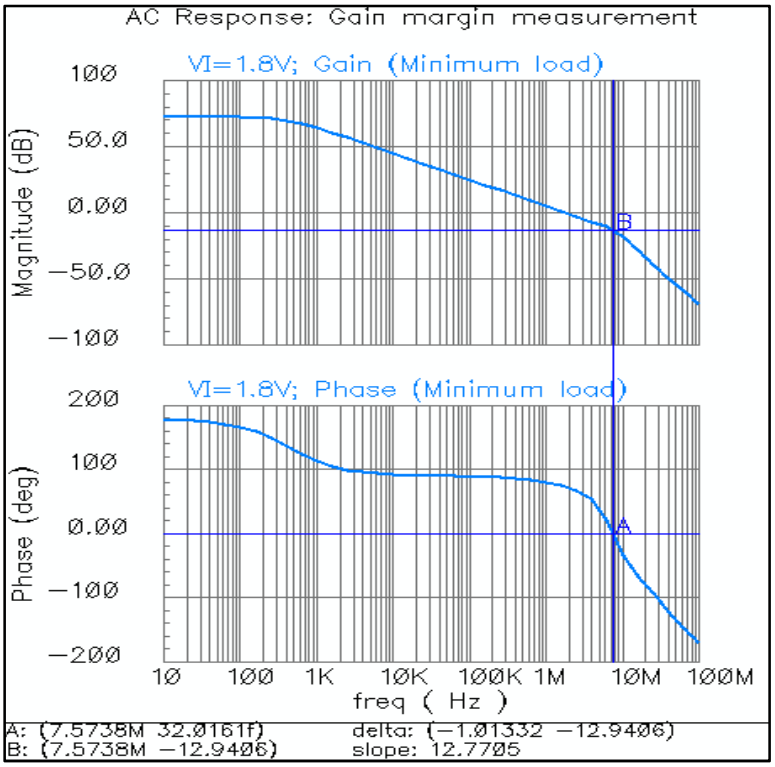

Figure 56 Mesure de la marge de gain pour V_I=1.8V et $I_{Ch,min}$=50µA.

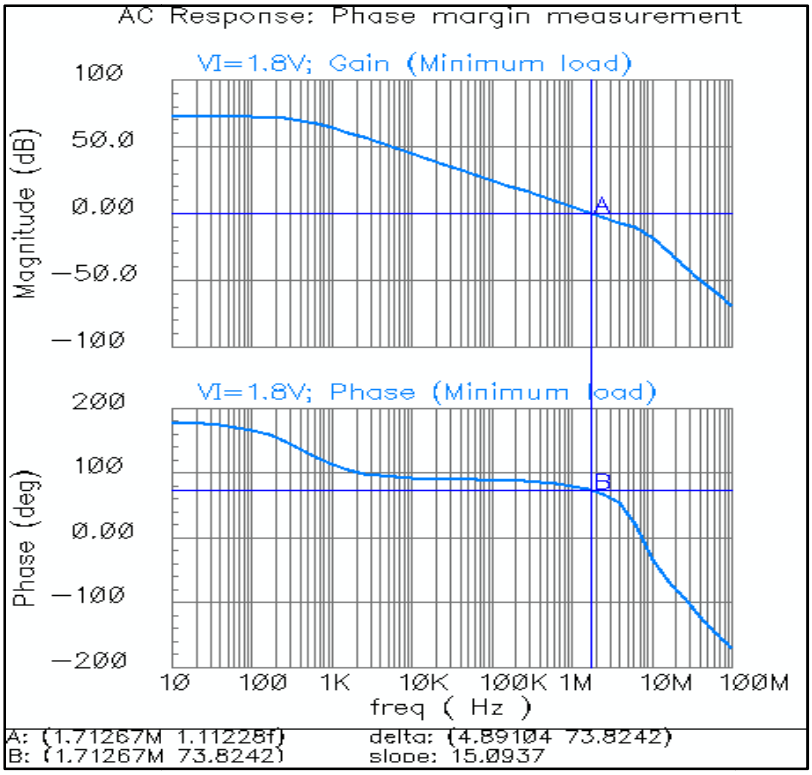

Figure 57 Mesure de la marge de phase pour V_I=1.8V et $I_{Ch,min}$=50µA.

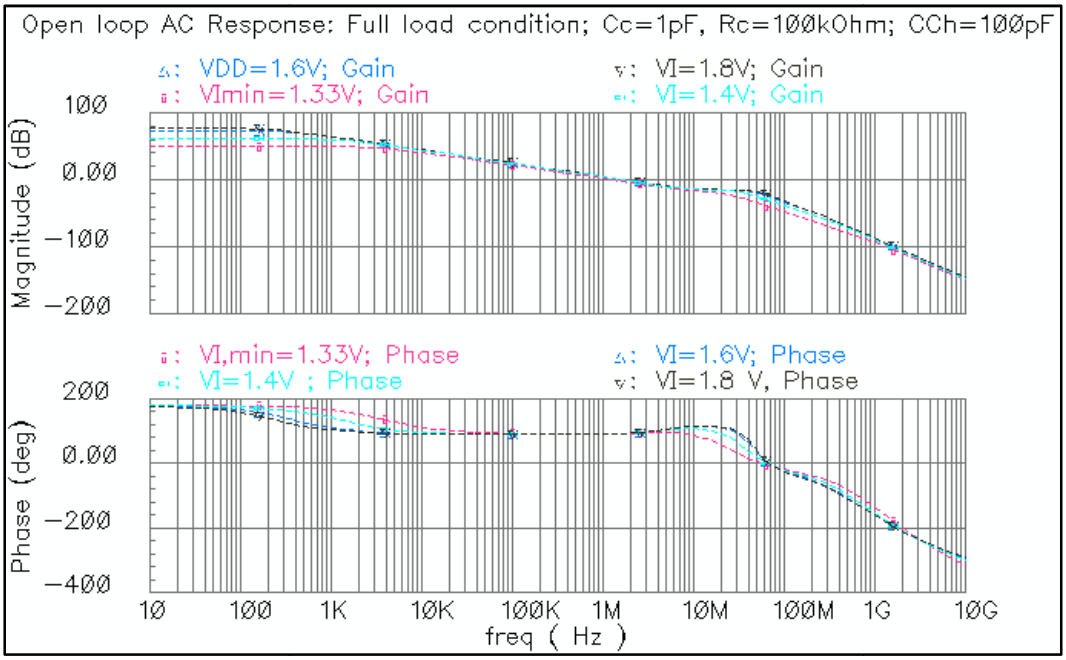

Figure 58 Courbes de gain et de phase simulées pour différentes valeurs de V_I sous $I_{Ch,max}$=150mA : C_{Ch}=100pF ; C_C=C_D=1pF ; R_C=100kΩ.

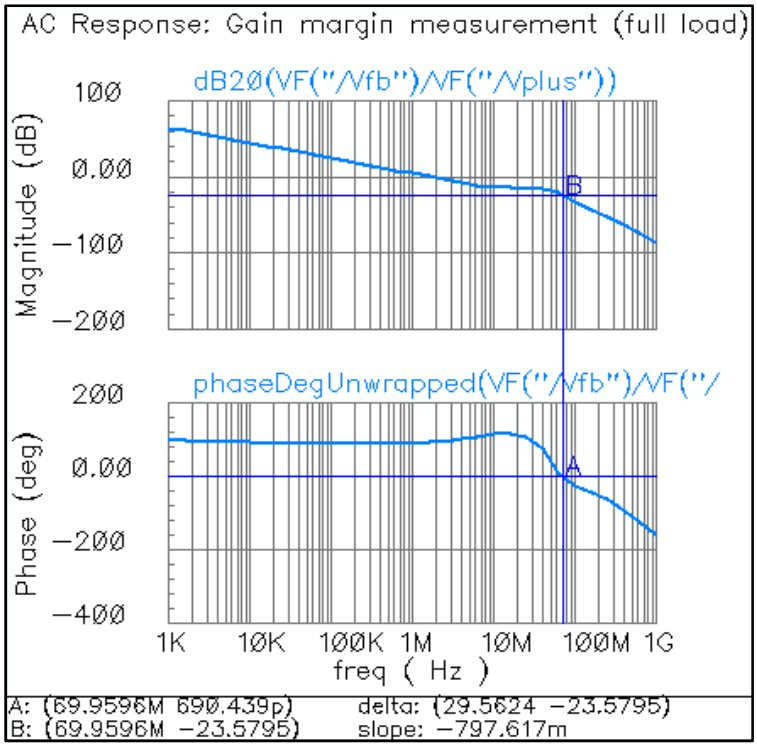

Figure 59 Mesure de la marge de gain pour V_I=1.8V et $I_{Ch,max}$=150mA.

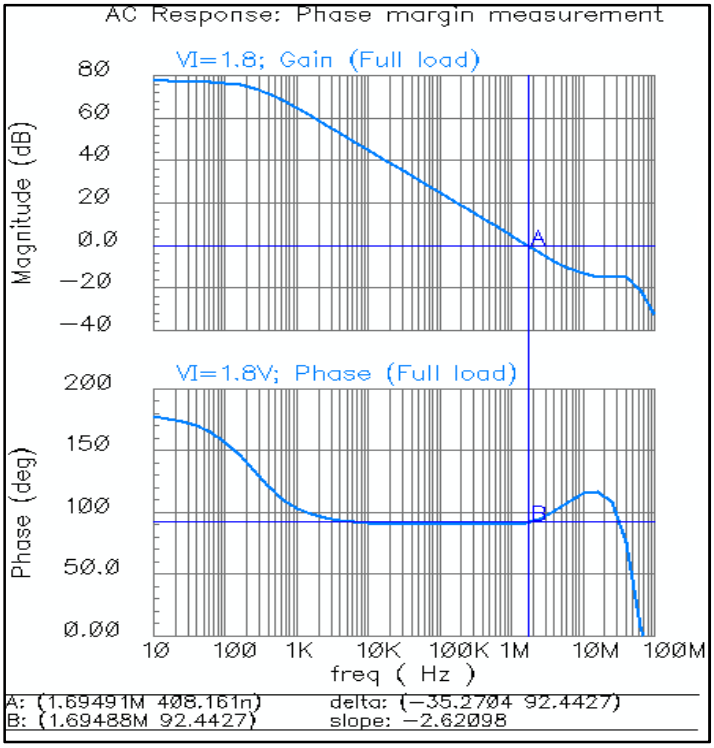

Figure 60 Mesure de la marge de phase pour V_I=1.8V et $I_{Ch,max}$=150mA.

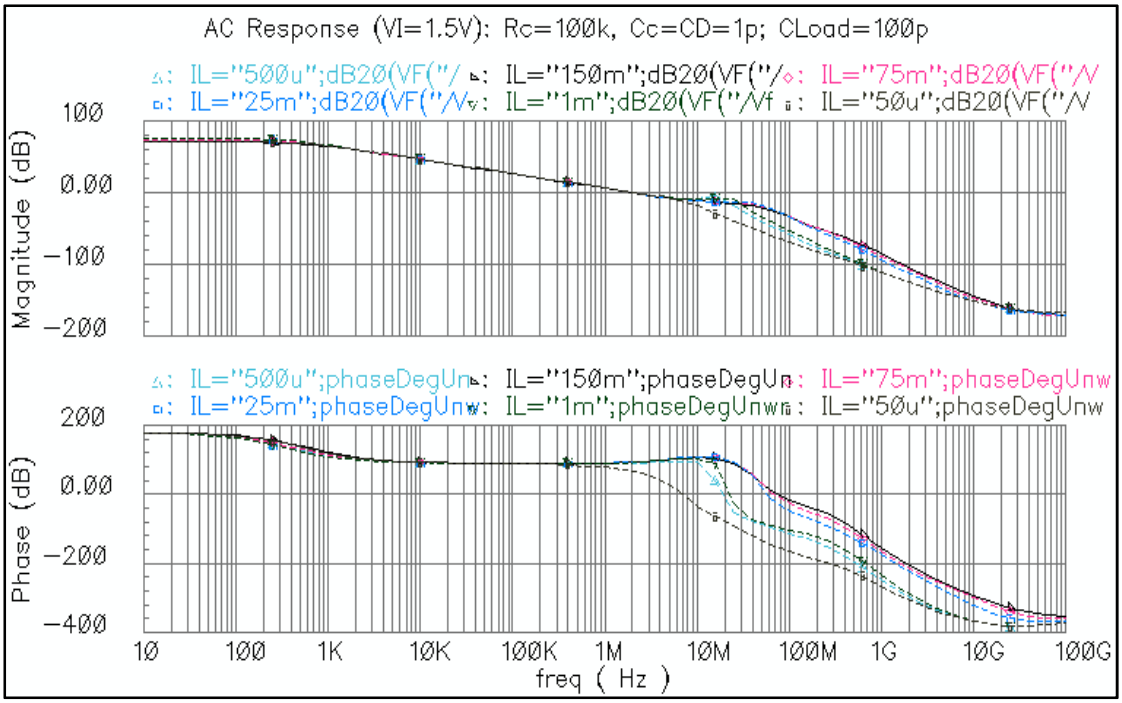

Figure 61 Courbes de gain et de phase simulées pour différentes valeurs de I_{Ch} sous V_I=1,5V : C_{Ch}=100pF ; C_C=C_D=1pF ; R_C=100kΩ.

Pour vérifier la stabilité du régulateur LDO pour les valeurs intermédiaires du courant de charge I_{Ch}, on a fixé la tension V_I sur une valeur incluse dans l'intervalle [1,33V-1,8V], puis on a effectué une simulation paramétrique sur la valeur de I_{Ch} allant de 50µA à 150mA. La figure (61) donne le résultat de simulation obtenu.

Les tableaux (14) et (15) résument les valeurs simulées des performances liées à la réponse fréquentielle du régulateur LDO proposé pour les valeurs limites de I_{Ch}, aussi que la région de fonctionnement du transistor de passage M_P. Pour que le transistor de passage M_P opère dans la région de saturation à la valeur maximale de I_{Ch}, il faut que $V_{I,min}$=1,38V. Ceci, se réalise au détriment de l'augmentation de la tension de chute V_{DO} qui devient 190mV. Les performances de la réponse fréquentielles obtenues pour ce cas sont: $|H_{0,c}|_{dB}$=60,758dB ; $|H_{0,c}|$=1091,2 ; f_{pd}=1,4289kHz ; $f_{pd}.|H_{0,c}|_{dB}$ =1,5592MHz ; f_T=1,5456MHz ; M_Φ=91,482° et M_G=29,33dB.

Pour voir l'effet de la résistance de compensation R_C commune des deux blocs différentiateurs-amplificateurs de courant sur les performances de la réponse fréquentielle, une simulation paramétrique sur la valeur de R_C a été effectuée en respectant la condition de stabilité $R_C \geq 100k\Omega$. Les figures (62) et (63) donnent le résultat de simulation de la réponse fréquentielle pour trois valeurs de R_C sous la charge minimale et maximale respectivement. Les tableaux (16) et (17) résument les performances de la réponse fréquentielles pour

R_C=150kΩ et R_C=200kΩ, dans le cas où $I_{Ch,min}$=50µA et pour différentes valeurs de V_I, tandis que le tableau (18) résume ces performances pour R_C=150kΩ et R_C=200kΩ, dans le cas où $I_{Ch,max}$=150mA et pour V_I=1.6V. D'après les résultats obtenus, on constate que plus que R_C augmente, plus que la fréquence de transition f_T diminue. En plus, le phénomène de résonance devient plus aigu avec l'augmentation de R_C (R_C=200kΩ).

Tableau 14 Résultats de la simulation AC en boucle ouverte : $I_{Ch,min}$=50µA, C_{Ch}=100pF, C_C=1pF et R_C=100kΩ.

	V_I=1,33V	**V_I=1,4V**	**V_I=1,6V**	**V_I=1,8V**
Gain statique $\|H_{0,c}\|_{dB}$ en (dB)	66,815	69,394	71,638	72,396
Gain statique $\|H_{0,c}\|$ en valeur naturelle	2191,5	2949,2	3818,6	4166,8
Bande passante à −3dB f_{pd}	817,39 Hz	594,27 Hz	450,67 Hz	416,45 Hz
Produit gain-bande passante: $\|H_{0,c}\|.f_{pd}$	1,7913 MHz	1,7526 MHz	1,7209 MHz	1,7353 MHz
Fréquence de transition f_T	1,834 MHz	1,7453 MHz	1,7198 MHz	1,7127 MHz
Marge de phase M_Φ en (°)	71,144	72,677	73,441	73,824
Marge de gain M_G en (dB)	12,031	12,666	12,892	12,941
Etat du transistor M_P	Sous-seuil	Sous-seuil	Sous-seuil	Sous-seuil
Etat du régulateur LDO	Stable	Stable	Stable	Stable

Tableau 15 Résultats de la simulation AC en boucle ouverte : $I_{Ch,max}$=150mA, C_{Ch}=100pF, C_C=1pF et R_C=100kΩ.

	V_I=1,33V	**V_I=1,4V**	**V_I=1,6V**	**V_I=1,8V**
Gain statique $\|H_{0,c}\|_{dB}$ en (dB)	49,469	62,165	73,426	77,275
Gain statique $\|H_{0,c}\|$ en valeur naturelle	297,47	1283,1	4691,4	7307,2
Bande passante à −3dB f_{pd}	4,0928 kHz	1,2258 kHz	363,61 Hz	236,38 Hz
Produit gain-bande passante (GBP)	1,2175 MHz	1,5728 MHz	1,7058 MHz	1,7273 MHz
Fréquence de transition f_T	1,2192 MHz	1,5825 MHz	1,6853 MHz	1,6949 MHz
Marge de phase M_Φ en (°)	90,511	91,92	92,43	92,458
Marge de gain M_G en (dB)	37,19	28,63	24,223	23,508
Fréquence de résonance f_r	Néant	Néant	39,811 MHz	39,811 MHz
Etat du transistor M_P	Ohmique	Saturé	Saturé	Saturé
Etat du régulateur LDO	Stable	Stable	Stable	Stable

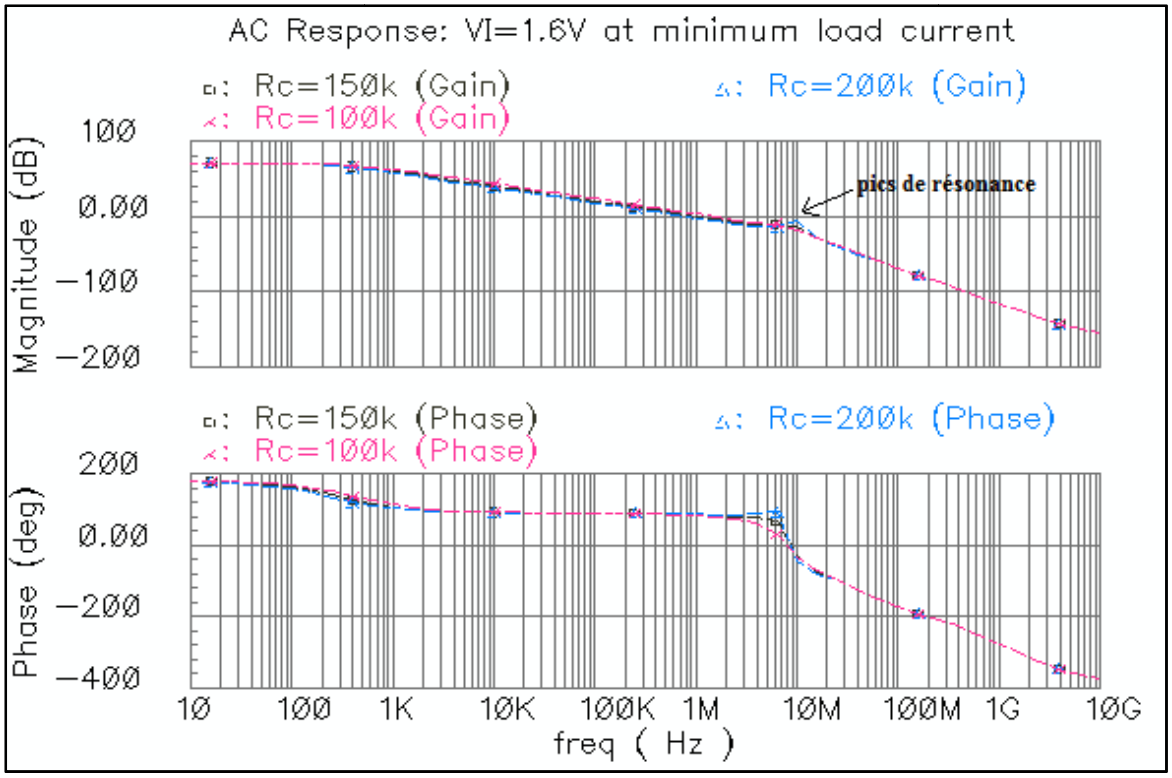

Figure 62 Courbes de gain et de phase simulées pour différentes valeurs de R_C sous $I_{Ch,min}$=50µA et V_I=1,6V: C_{Ch}=100pF ; C_C=C_D=1pF.

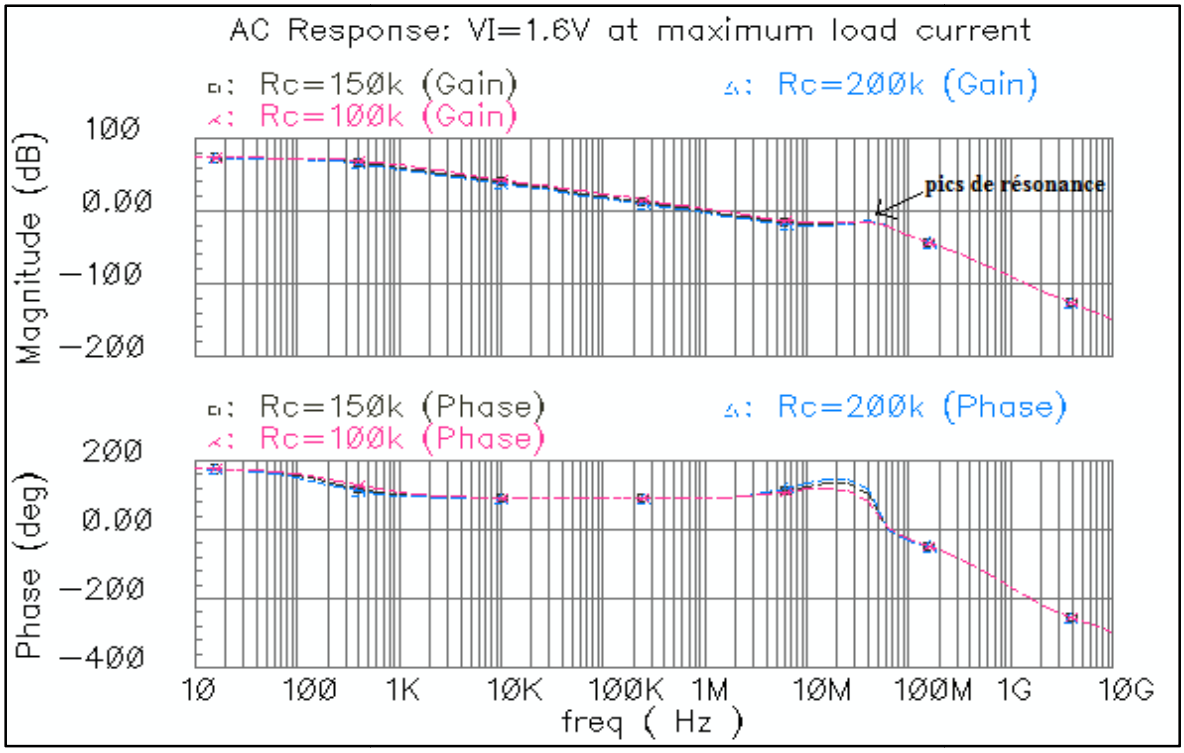

Figure 63 Courbes de gain et de phase simulées pour différentes valeurs de R_C sous $I_{Ch,max}$=150mA et V_I=1,6V: C_{Ch}=100pF ; C_C=C_D=1pF.

Tableau 16 Résultats de la simulation AC en boucle ouverte : $I_{Ch,min}$=50µA, C_{Ch}=100pF, C_C=1pF et R_C=150kΩ.

	V_I=1,33V	**V_I=1,4V**	**V_I=1,6V**	**V_I=1,8V**
Gain statique $\|H_{0,c}\|_{dB}$ en (dB)	66,815	69,394	71,638	72,396
Gain statique $\|H_{0,c}\|$ en valeur naturelle	2191,5	2949,2	3818,6	4166,8
Bande passante à −3dB f_{pd}	571,85 Hz	414,42 Hz	311,69 Hz	286,15 Hz
Produit gain-bande passante	1,2532 MHz	1,2222 MHz	1,1902 MHz	1,1923 MHz
Fréquence de transition f_T	1,2764 MHz	1,2129 MHz	1,1964 kHz	1, 1926 MHz
Marge de phase M_Φ en (°)	82,336	81,904	81,837	81.956
Marge de gain M_G en (dB)	13,096	13,44	13,333	13,116
Etat du transistor M_P	Sous-seuil	Sous-seuil	Sous-seuil	Sous-seuil
Etat du régulateur LDO	Stable	Stable	Stable	Stable

Tableau 17 Résultats de la simulation AC en boucle ouverte : $I_{Ch,min}$=50µA, C_{Ch}=100pF, C_C=1pF et R_C=200kΩ.

	V_I=1,33V	**V_I=1,4V**	**V_I=1,6V**	**V_I=1,8V**
Gain statique $\|H_{0,c}\|_{dB}$ en (dB)	66,815	69,394	71,638	72,396
Gain statique $\|H_{0,c}\|$ en valeur naturelle	2191,5	2949,2	3818,6	4166,8
Bande passante à −3dB f_{pd}	438,25 Hz	311,88 Hz	243,93 Hz	219,42 Hz
Produit gain-bande passante	960,42 kHz	919,8 kHz	931,47 kHz	914,28 kHz
Fréquence de transition f_T	977,2 kHz	932,11 kHz	920,79 kHz	917, 37 kHz
Marge de phase M_Φ en (°)	86,69	85,568	85,185	85,192
Marge de gain M_G en (dB)	13,067	12,516	11,463	10,854
Fréquence de résonance f_r	6,3096 MHz	6,3096 MHz	10 MHz	10 MHz
Facteur de qualité $\|Q\|_{dB}$ en dB	1,2875	0,77242	0,61515	1,9148
Etat du transistor M_P	Sous-seuil	Sous-seuil	Sous-seuil	Sous-seuil
Etat du régulateur LDO	Stable	Stable	Stable	Stable

Tableau 18 Résultats de la simulation AC en boucle ouverte pour R_C=150kΩ et R_C=200kΩ: $I_{Ch,max}$=150mA, V_I=1.6V, C_{Ch}=100pF, C_C=1pF.

	$\|H_{0,c}\|_{dB}$ (dB)	**$\|H_{0,c}\|$**	**f_{pd} (Hz)**	**$\|H_{0,c}\|.f_{pd}$ (MHz)**	**f_T (MHz)**	**f_r (MHz)**	**$\|Q\|_{dB}$**	**M_Φ (°)**	**M_G (dB)**
R_C=150kΩ	72,49	4212	229,6	0,9671	0,9674	39,81	4,218	90,69	20,95
R_C=200kΩ	72,48	4207	174,5	0,7341	0,7406	39,81	7,700	90,45	20,11

Pour montrer la robustesse de la technique de compensation proposée en termes de stabilité par rapport au courant de charge, une comparaison avec les méthodes de compensation classiques et d'autres méthodes de compensation citées dans ce travail comme [46] et [56] est

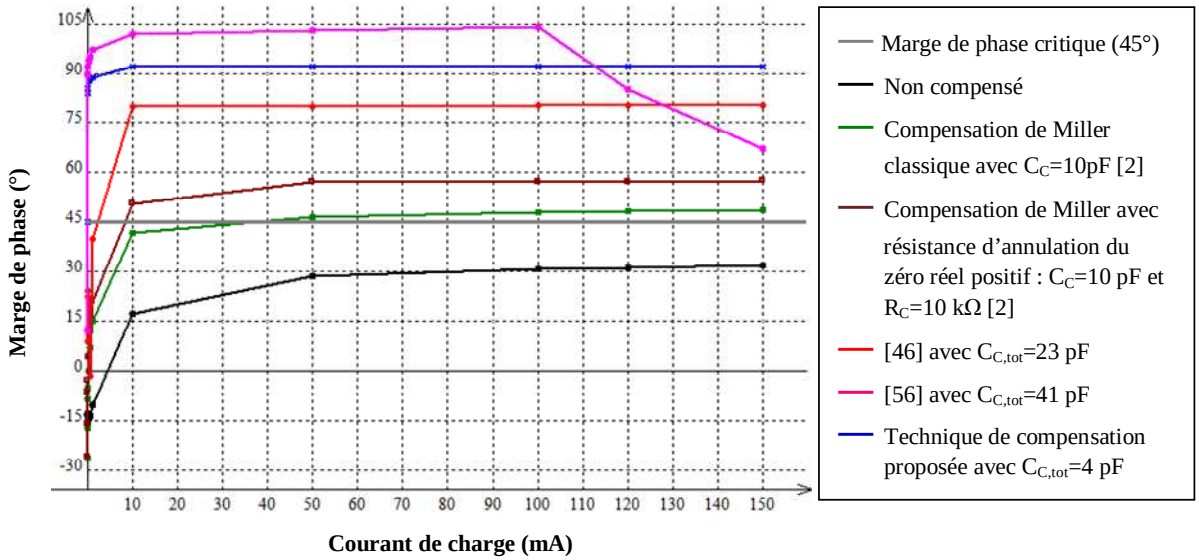

Figure 64 Variation de la marge de phase du système du LDO proposé dans la plage de courant de charge 0-150mA avec différentes techniques de compensation.

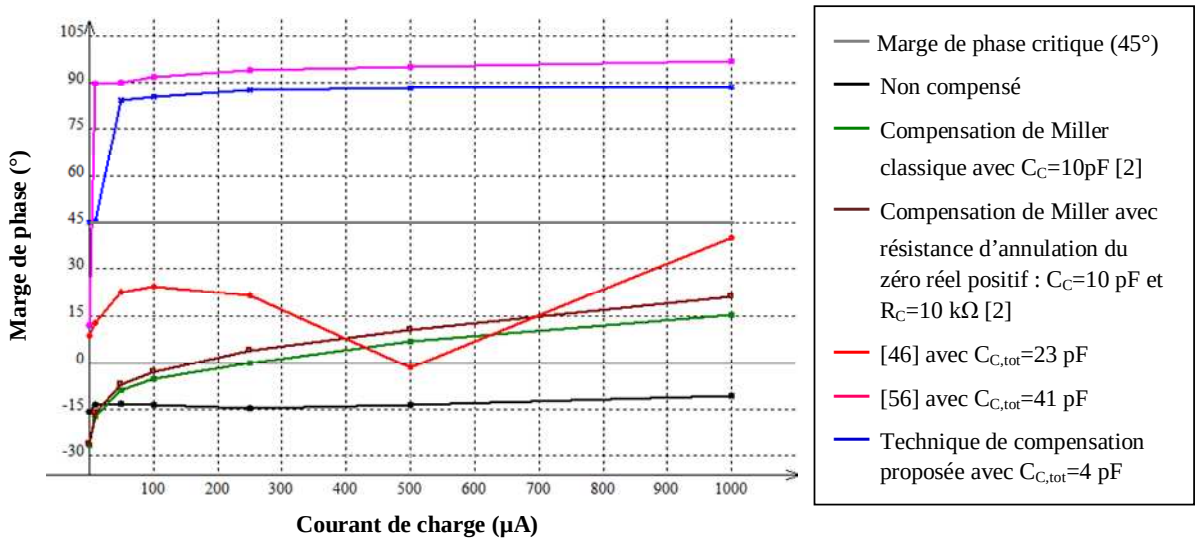

Figure 65 Variation de la marge de phase du système du LDO proposé dans la plage des faibles valeurs du courant de charge (0-1000 µA) avec différentes techniques de compensation.

effectuée comme le montre la figure (64). La technique de compensation proposée assure la stabilité non seulement pour les faibles valeurs du courant de charge mais aussi pour les très faibles valeurs du courant de charge, en particulier pour un courant de charge nul où la marge de phase est égale à 45,1° comme le montre la figure (65). Ce résultat n'est pas atteint par les méthodes de compensation proposées dans [46] et [56]. De plus, le circuit de compensation proposé utilise une capacité de compensation totale $C_{C,tot}$ de 4pF, alors que les auteurs de [46]

et [56] ont utilisé respectivement 23 pF et 41 pF pour garantir une bonne stabilité. Plus que le condensateur à intégrer sur la puce est petit, plus que la surface du layout est économisée.

2.2 Simulation DC

Les simulations DC comprennent les caractéristiques suivantes :

- La caractéristique $V_O=f(V_I)$ pour une valeur donnée de I_{Ch}, qui permet de vérifier la valeur nominale spécifiée de la tension de sortie V_O, de mesurer la tension de chute V_{DO}, de mesurer la régulation de ligne statique RL_{DC} et de déterminer la plage de tension d'alimentation d'entrée V_I pour un fonctionnement normal du LDO.
- La caractéristique $V_O=f(I_{Ch})$ pour une valeur donnée de V_I, qui permet de mesure la régulation de charge statique RC_{DC}.
- La caractéristique $V_{I,min}$-$V_O=f(I_{Ch})$, qui permet de mesurer la variation de la tension de chute V_{DO} dans la plage spécifiée du courant de charge I_{Ch}.
- La caractéristique $I_{O,max}$-$I_I=f(V_I)$ avec $I_{O,max}=I_{Ch,max}$, qui permet de mesurer la variation du courant de repos I_Q dans toute la plage de V_I.
- La caractéristique $I_{O,max}/I_I=f(V_I)$ avec $I_{O,max}=I_{Ch,max}$, qui permet de mesurer la variation du rendement en courant η_I du régulateur LDO dans toute la plage de V_I.
- La caractéristique $(P_O/P_I)=f(V_I)$, qui permet de mesurer la variation du rendement η du régulateur LDO dans toute la plage de V_I.

La figure (66) représente le résultat de simulation de la caractéristique $V_O=f(V_I)$. La simulation montre que la valeur minimale de tension d'alimentation minimale V_I pour saturer tous les transistors du régulateur LDO, excepté le transistor de passage M_P, est égale à $V_{I,min}$=1.33V. A partir de cette caractéristique, on peut mesurer la valeur de RL_{DC} comme le montre la figure (67). Pour un fonctionnement sous la charge minimale, $RL_{DC}\big|_{I_{Ch}=I_{Ch,\min}=50\mu A} = 39{,}54\mu V/V$ ou 0,003954%. Pour un fonctionnement sous la charge maximale, on trouve que $RL_{DC}\big|_{I_{Ch}=I_{Ch,\max}=150mA} \approx 137{,}1\mu V/V$ ou 0,01371%. La tension de chute V_{DO} est mesurée aussi à partir de la caractéristique $V_O=f(V_I)$ en traçant dans le même repère la tension V_I comme le montre la figure (68). On trouve que V_{DO}≈131,8mV pour $I_{Ch}=I_{Ch,max}$=150mA.

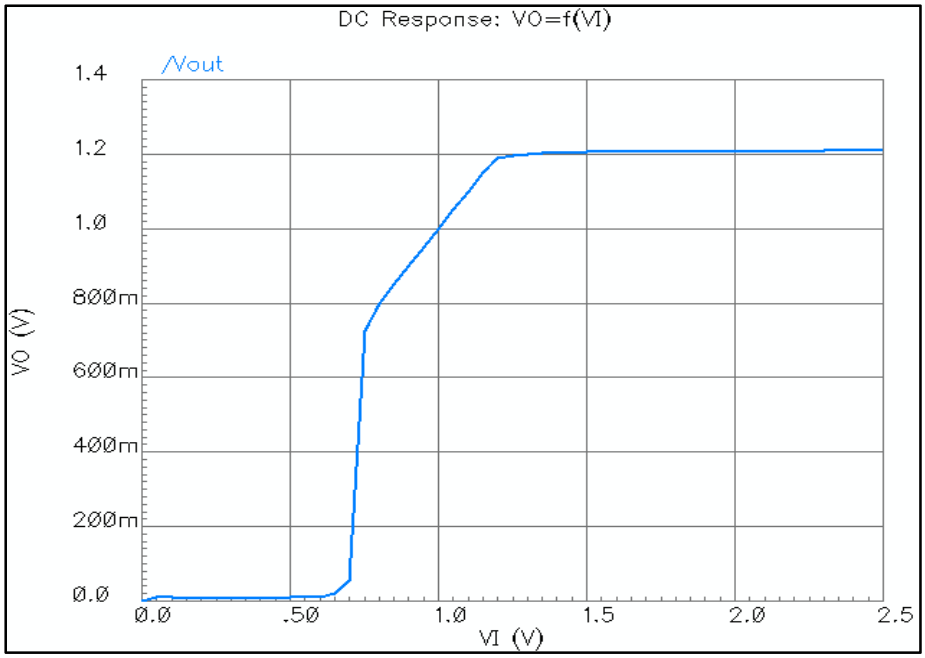

Figure 66 Simulation de la caractéristique $V_O=f(V_I)$ du LDO proposé - Régulation de ligne statique.

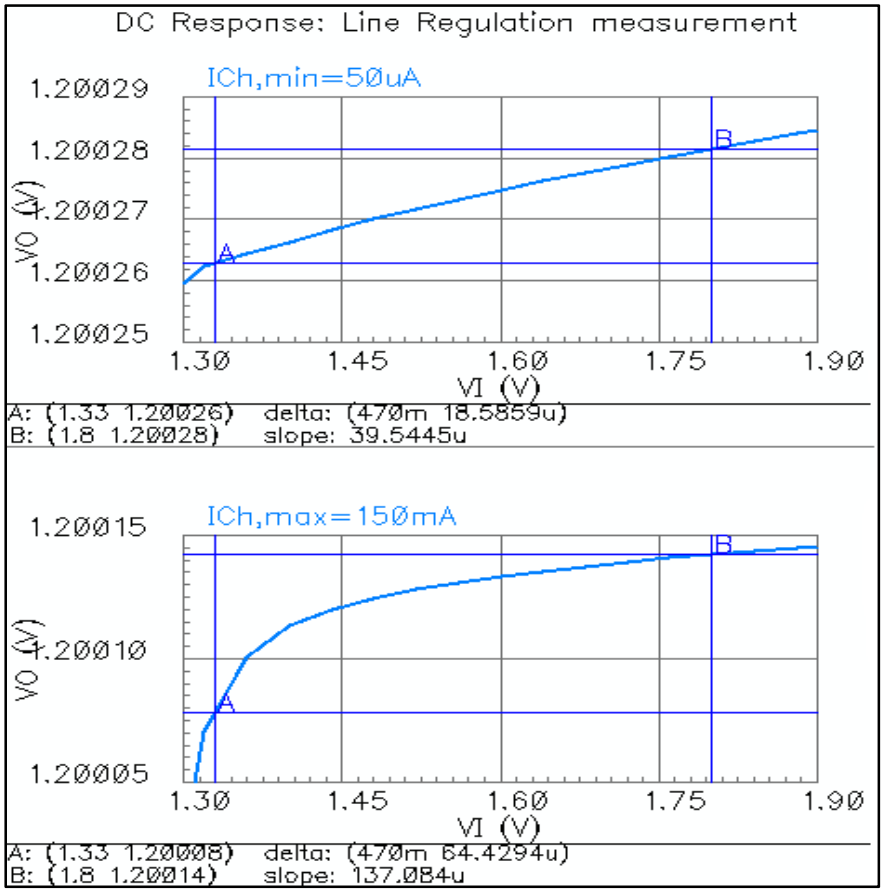

Figure 67 Mesure de la valeur de RLDC pour les valeurs minimale et maximale du courant de charge I_{Ch} à partir de la caractéristique $V_O=f(V_I)$ du LDO proposé.

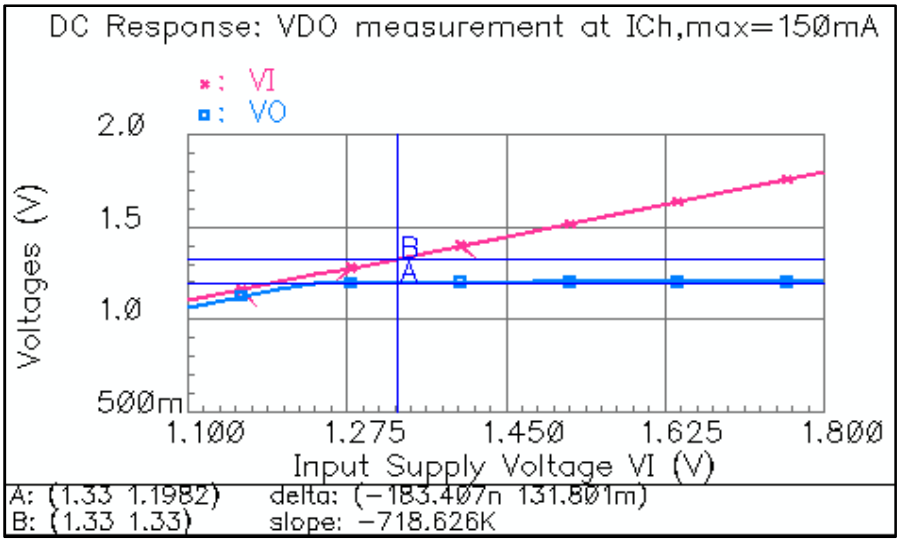

Figure 68 Mesure de la tension de chute V_{DO} à $I_{Ch,max}$=150mA à partir de la caractéristique $V_O=f(V_I)$ du LDO proposé.

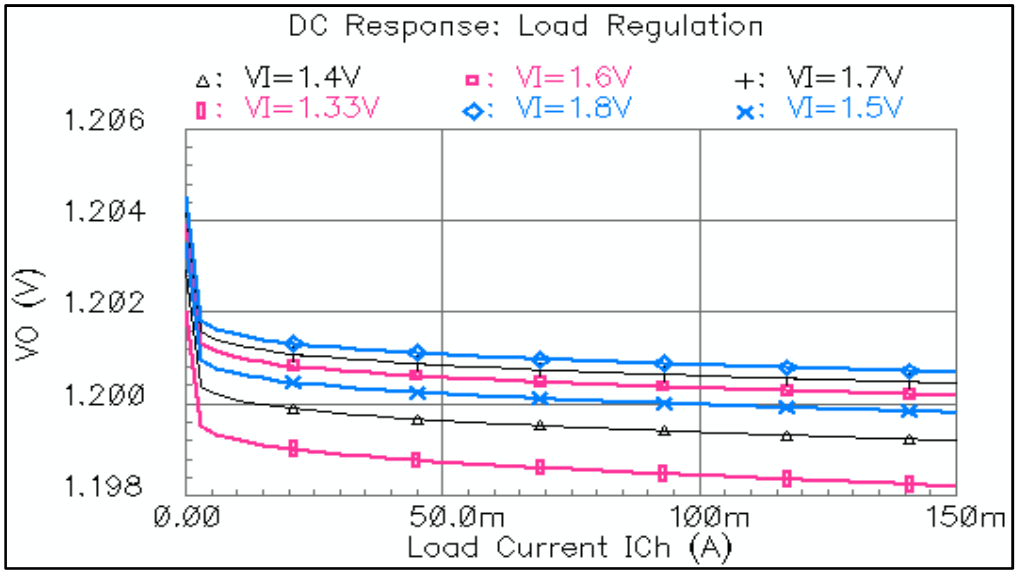

Figure 69 Simulation de la régulation de charge statique du régulateur LDO proposé pour toute la plage de fonctionnement de tension d'entrée V_I.

Tableau 19 Valeurs simulées de la régulation de charge statique.

	V_I=1,33V	**V_I=1,6V**	**V_I=1,8V**
RC_{DC} (µV/mA)	−25,23	−24,58	−25,21

La figure (69) représente la caractéristique simulée $V_O=f(I_{Ch})$ pour différentes valeurs de V_I, tandis que la figure (70) donne la mesure de la régulation de charge statique pour V_I=1,33V, V_I=1,6V et V_I=1,8V, respectivement. Les valeurs obtenues sont résumées dans le tableau (19).

La figure (69) représente la variation de la tension de chute V_{DO} dans toute la plage de variation du courant de charge I_{Ch}. On observe bien que le dropout du régulateur LDO proposé garde une valeur inférieure à 132mV quelque soit la valeur de I_{Ch}.

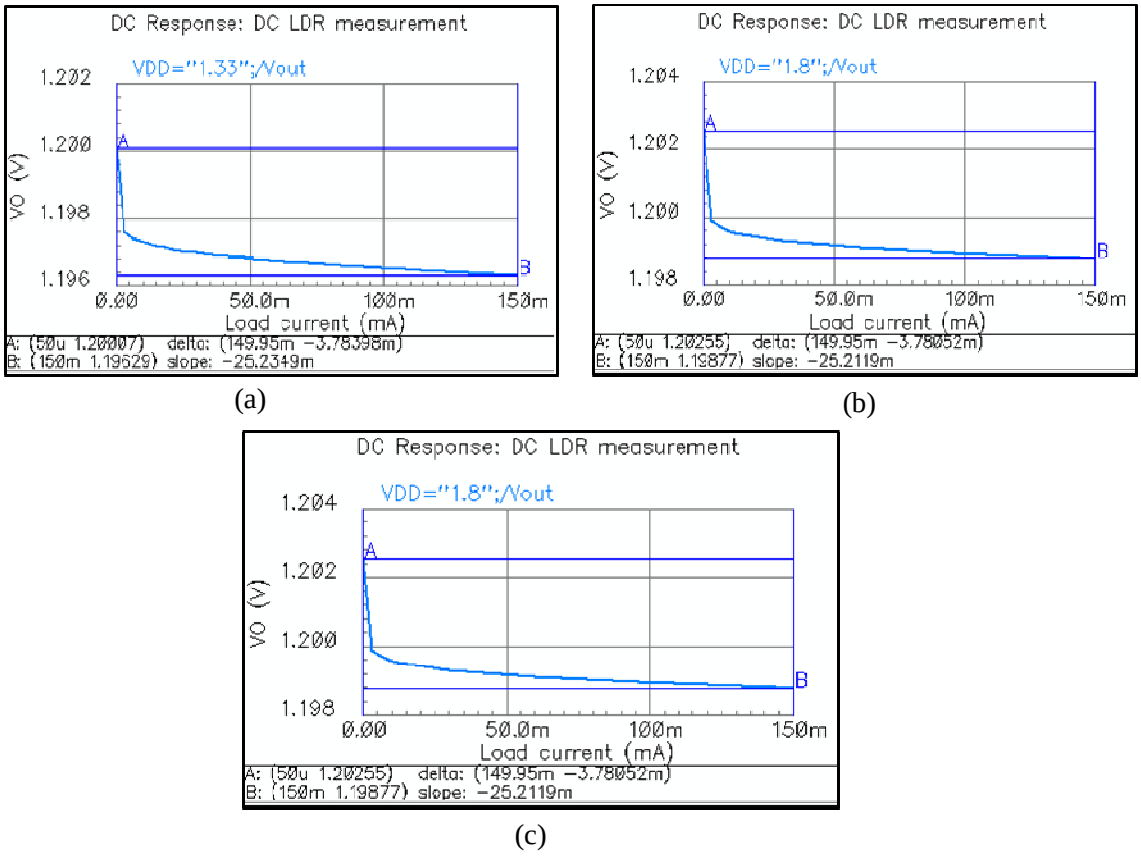

Figure 70 Mesure de la régulation de charge statique : (a) pour $V_{I,min}$=1,33V, (b) pour V_I=1,6V, (c) pour V_I=1.8V.

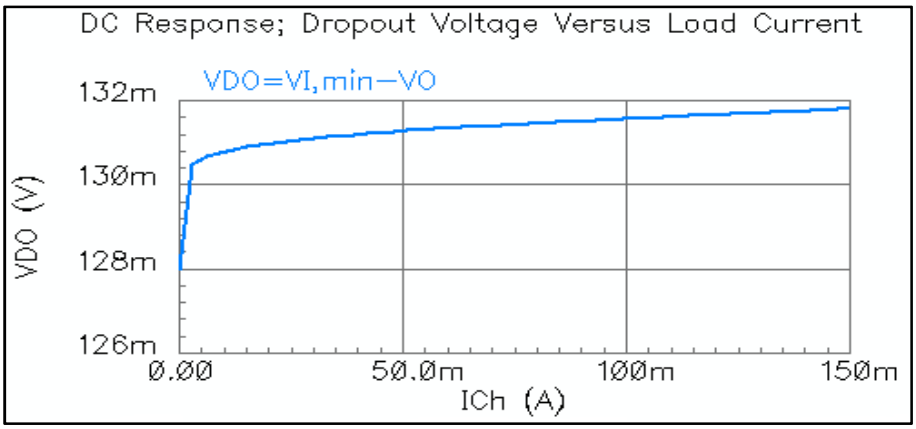

Figure 71 Variation de la tension de chute V_{DO} du régulateur LDO proposé sur la plage de variation du courant de charge.

Pour la consommation en régime permanent du régulateur LDO proposé, la figure (72) donne les différents résultats de simulation des paramètres liés à la consommation, tandis que la figure (73) représente la variation du rendement du régulateur LDO proposé dans la plage de tension d'entrée V_I pour la valeur maximale du courant de charge. Le tableau (20) résume les valeurs simulées de la consommation et du rendement.

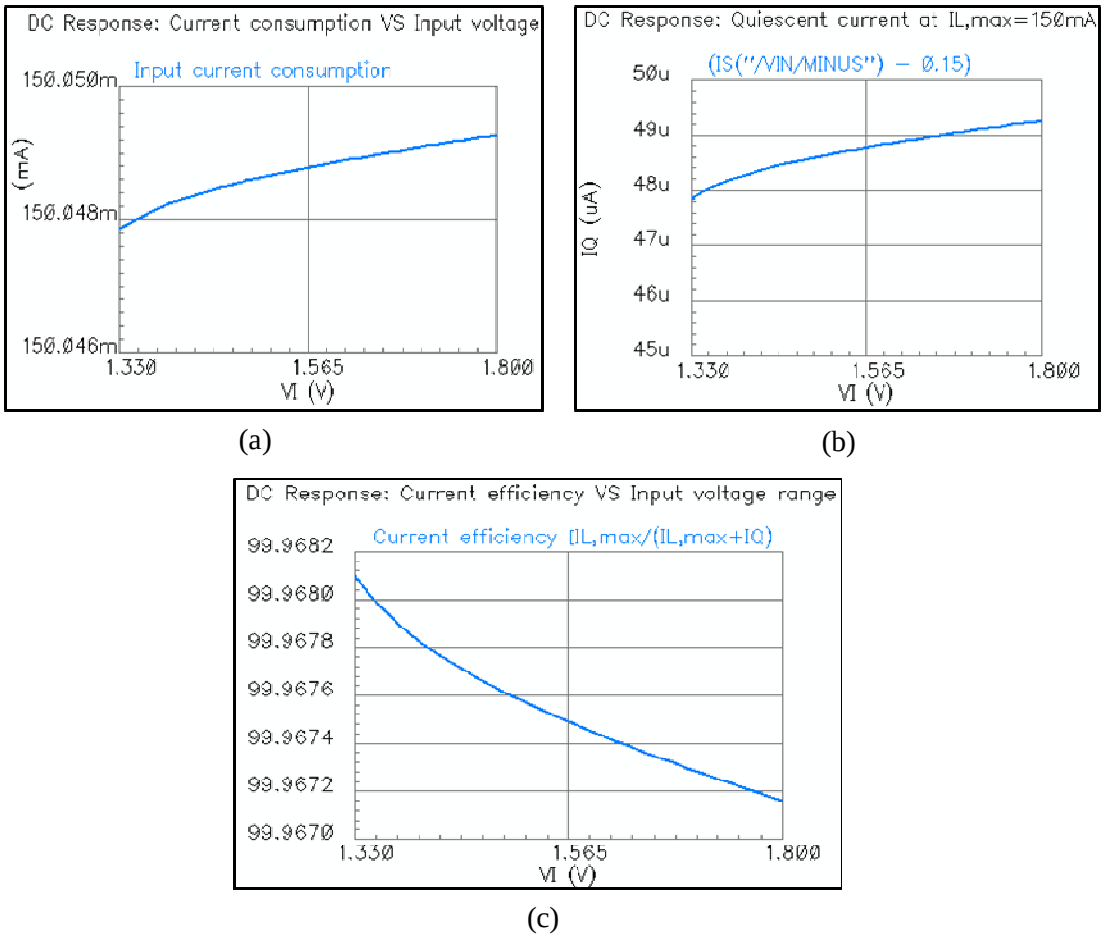

Figure 72 Simulation des paramètres liés à la consommation du régulateur LDO proposé : (a) courant tiré de l'alimentation, (b) courant de repos, (c) rendement en courant.

Tableau 20 Valeurs simulées des paramètres liés à la consommation et du rendement pour $I_{Ch,max}$=150mA.

	I_I (mA)	**I_Q (µA)**	**η_I (%)**	**η (%)**
V_I=1,33V	150,048	47,861	99,9681	89 ,56
V_I=1,8V	150,049	49,2761	99,9672	66,31

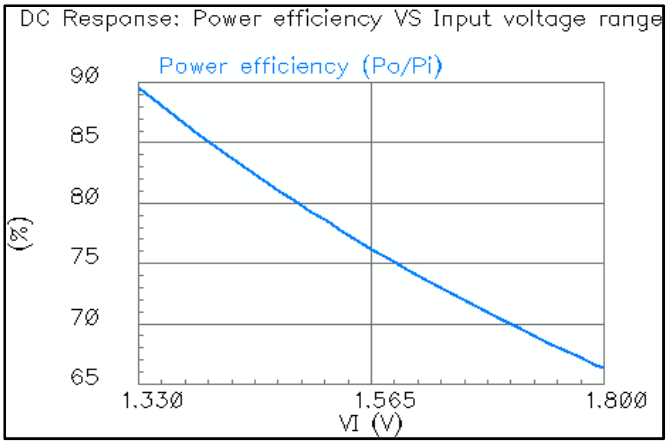

Figure 73 Simulation du rendement du régulateur LDO proposé pour $I_{Ch,max}$=150mA.

2.3 Simulation transitoire

La simulation transitoire du régulateur LDO proposé est composée de deux types :

- Régulation de ligne transitoire, qui consiste à l'application d'un signal carré à la tension d'alimentation d'entrée V_I, variant d'une valeur minimale $V_{I,min}$=1,33V à une valeur maximale $V_{I,max}$=1,8V pour des temps de montée et de descente de 1µs, puis d'observer les variations transitoires de la tension de sortie V_O lors des pas ascendant et descendant de V_I, afin de mesurer le sous-dépassement minimal $\Delta v_{o,min}$ et le dépassement maximal $\Delta v_{o,max}$ et les temps de réponse et d'établissement correspondants, ainsi la valeur de RL_{DC} en régime permanent.
- Régulation de charge transitoire, qui consiste à l'application d'un signal carré à la charge (nœud de sortie), variant d'une valeur minimale I_{Chmin}=50µA à une valeur maximale $I_{Ch,max}$=150mA pour des temps de montée et de descente de 1µs, puis d'observer les variations transitoires de la tension de sortie V_O lors des pas ascendant et descendant de I_{Ch}, afin de mesurer le sous-dépassement minimal $\Delta v_{o,min}$ et le dépassement maximal $\Delta v_{o,max}$ et les temps de réponse et d'établissement correspondants, ainsi la valeur de RC_{DC} en régime permanent.

La figure (74) donne le résultat de simulation de la régulation de ligne transitoire pour la valeur minimale et la valeur maximale du courant de charge, ainsi les mesures correspondantes à cette performance. Le tableau (21) résume les valeurs trouvées du sous-dépassement $\Delta v_{o,min}$, du dépassement $\Delta v_{o,max,}$ de la variation DC de la régulation de ligne $\Delta V_{O,RL}$ et des temps d'établissement.

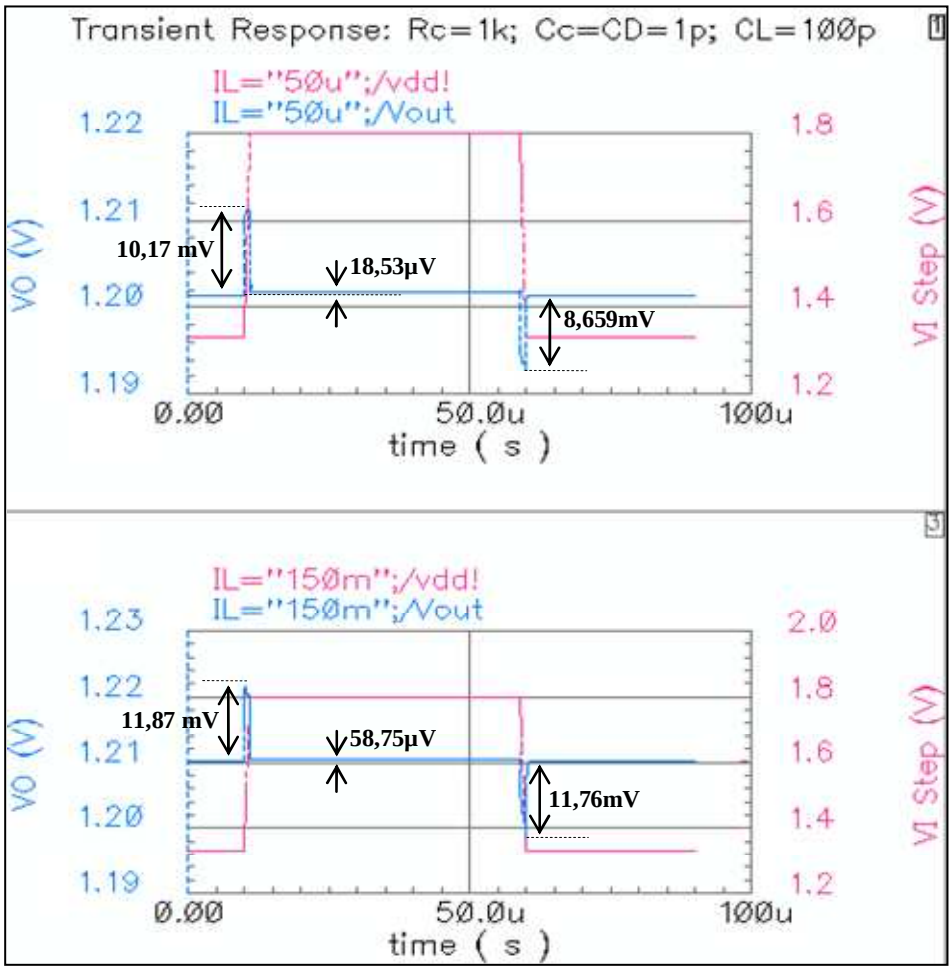

Figure 74 Simulation de la régulation de ligne transitoire pour $I_{Ch,min}$=50µA et $I_{Ch,max}$=150mA pour le LDO proposé.

Tableau 21 Mesures liées à la régulation de ligne transitoire pour $I_{Ch,min}$=50µA et $I_{Ch,max}$=150mA.

		$I_{Ch,min}$=50µA	**$I_{Ch,max}$=150mA**
Sous-dépassement minimum $\Delta v_{o,min}$	(mV)	−8,659	−11,76
Dépassement maximum $\Delta v_{o,max}$	(mV)	10,15	11,81
Variation $\Delta V_{O,RL}$ correspondante à RL_{DC}	(mV)	0,01853	0,05875
Temps d'établissement pour la variation ascendante de I_{Ch}	(µs)	1,776	1,760
Temps d'établissement pour la variation descendante de I_{Ch}	(µs)	1,641	1,702

Les figures (75), (76) et (77) donnent les résultats de simulation de la régulation de charge transitoire pour les valeurs $V_{I,min}$=1,33V, V_I=1,6V et V_I=1,8V respectivement, ainsi les mesures correspondantes à cette performance. Le tableau (22) résume les valeurs trouvées du sous-dépassement $\Delta v_{o,min}$, du dépassement $\Delta v_{o,max}$, de la variation DC de la régulation de charge $\Delta V_{O,RC}$ et des temps d'établissement.

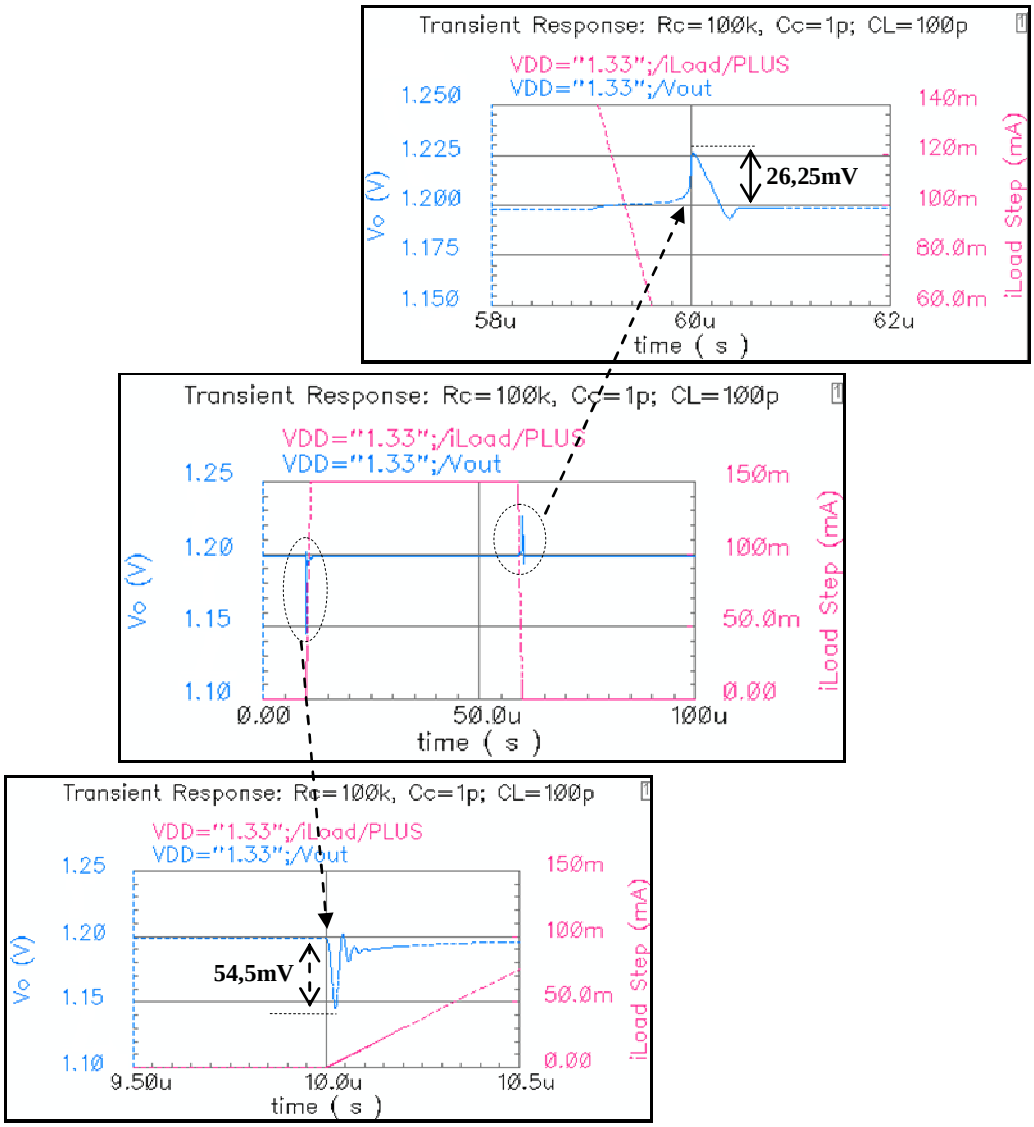

Figure 75 Simulation de la régulation de charge transitoire pour $V_{I,min}$=1,33V et mesure du sous-dépassement minimal et dépassement maximum.

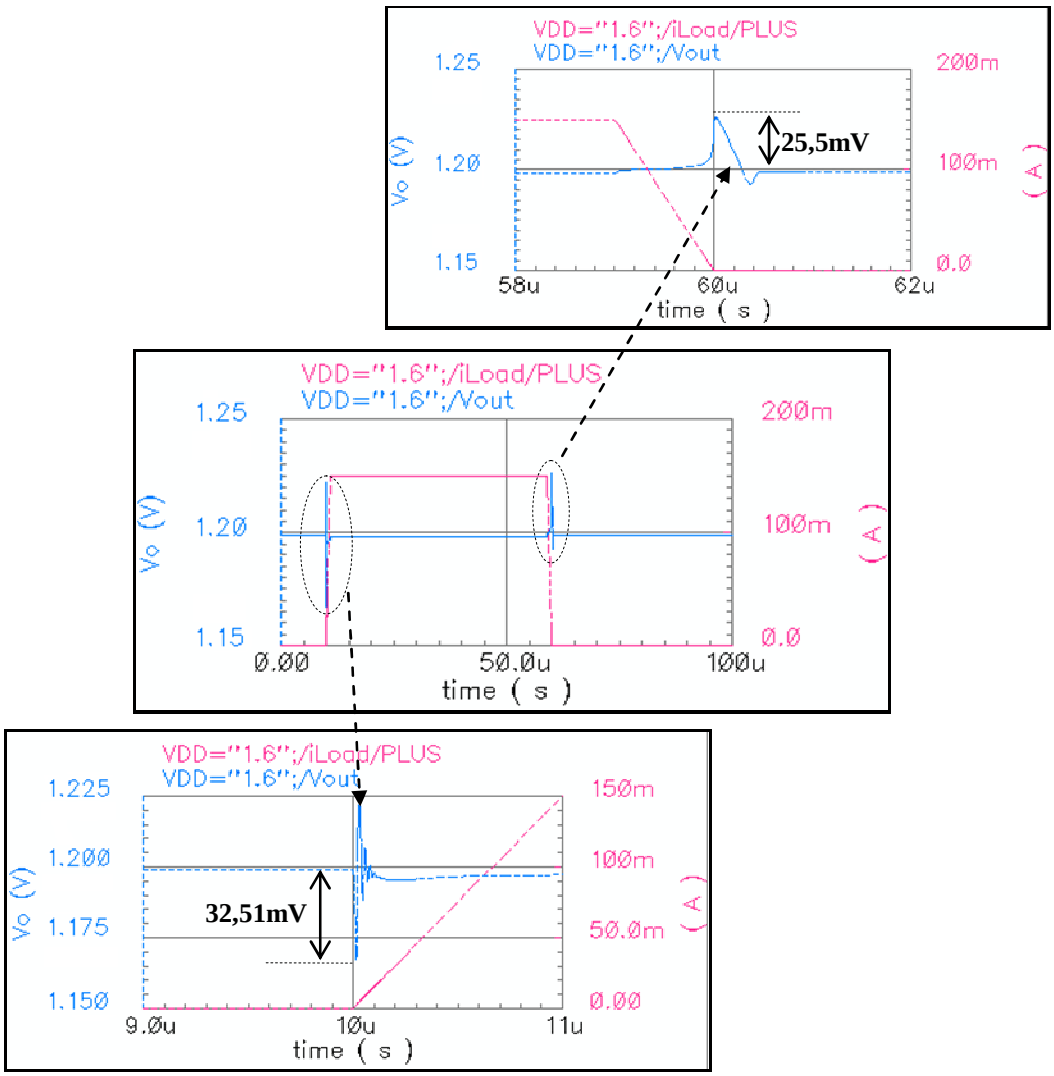

Figure 76 Simulation de la régulation de charge transitoire pour V_I=1,6V et mesure du sous-dépassement minimal et dépassement maximum.

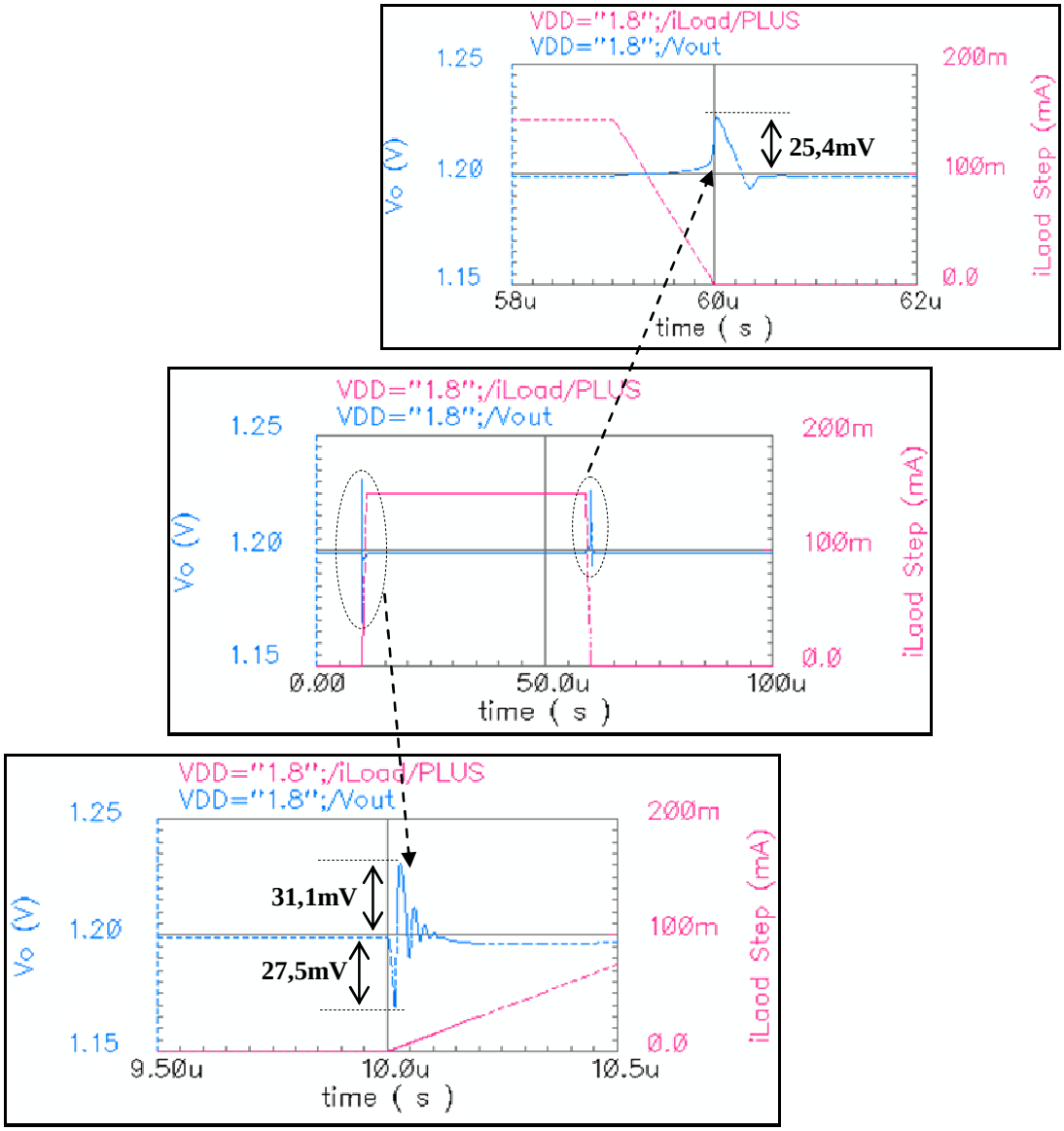

Figure 77 Simulation de la régulation de charge transitoire pour V_I=1,8V et mesure du sous-dépassement minimal et dépassement maximum.

Tableau 22 Mesures liées à la régulation de charge transitoire pour $V_{I,min}$=1,33V, V_I=1,6V et V_I=1,8V.

		$V_{I,min}$=1,33V	**V_I=1,6V**	**V_I=1,8V**
Sous-dépassement minimum $\Delta v_{o,min}$	(mV)	−52,20	−30,29	−25,09
Dépassement maximum $\Delta v_{o,max}$	(mV)	26,25	25,5	31,1
Variation $\Delta V_{O,RC}$ correspondante à RC_{DC}	(mV)	−2,298	−2,224	−2,406
Temps d'établissement pour la variation ascendante de I_{Ch}	(µs)	1,749	1,697	1,417
Temps d'établissement pour la variation descendante de I_{Ch}	(µs)	1,752	1,994	1,826

Il est difficile de comparer les performances des différentes conceptions pour un régulateur LDO, en raison de la spécificité de l'application où il est un inséré ce régulateur. Pour

effectuer une comparaison équitable entre les régulateurs LDO existants, certains facteurs de mérite (FOM) ont été proposés dans la littérature. Pour cela, nous avons sélectionné le FOM proposé dans [109], qui prend en compte la consommation du courant de repos I_Q, le courant de charge maximum $I_{Ch,max}$ et le temps de réponse T_r , qui est défini dans [109] par l'équation (2.141), où $|\Delta v_o|$ est la variation maximale de la tension à la sortie du régulateur DLO en cas de changement de la tension d'entrée V_I ou du courant de charge I_{Ch} (dépassement maximum ou valeur absolue du sous-dépassement minimum).

Tableau 23 Performances du régulateur LDO proposé et comparaison avec des régulateurs LDO adressant une bonne réponse transitoire et un faible courant de repos.

Performance	**[46]**	**[58]**	**[56]**	**[52]**	**[92]**	**[66]**	**Ce travail**
Technologie CMOS (µm)	0,35	0,18	0,35	0,5	0,065	0,18	0,18
Tension d'alimentation d'entrée V_I (V)	3,0-4,0	1,1-1,5	1,2-1,5	1,4-4,2	1.2	1,1-1,5	1,33-1,8
Tension de sortie V_O (V)	2,8	1,0	1,0	1,21	1.0	1,0	1,2
Tension de chute V_{DO} @ $I_{Ch,max}$ (mV)	200	100	200	200	200	114	131,8
Courant de charge maximum $I_{Ch,max}$ (mA)	50	50	50	100	100	100	150
Courant de repos I_Q @ $I_{Ch,max}$ (µA)	65	54	45	45	82.4	20	47,86-49,28
Rendement en courant η_I @ $I_{Ch,max}$ (%)	99,935	99,946	99,955	99,955	99.917	–[a]	99,968-99,967
Rendement en puissance η @ $I_{Ch,max}$ (%)	–[a]	–[a]	–[a]	–[a]	–[a]	–[a]	89,56-66,31
Capacité de sortie C_{Ch} (pF)	100 Sur puce	100 Sur puce	10^3 Hors puce	10^5 Hors puce	100 Sur puce	100 Sur puce	30-100 Sur puce
Capacité totale de compensation (pF)	23	5	41	67.2	–[a]	12	4
Régulation de ligne transitoire							
Dépassement maximum (mV)	90	–[a]	–[a]	23	8.91	55,66	11,81[b,d,f]
Sous-dépassement minimum (mV)	−10	–[a]	–[a]	−12	−10.63	−55,34	−11,76[b,e,f]
Régulation de charge transitoire							
Dépassement maximum (mV)	80	100	70	47	0	99,52	26,25[c,e,f]
Sous-dépassement minimum (mV)	−80	−80	-70	−48	−68,8	-591,1	−52,20[c,d,f]
Temps d'établissement (µs)	15	2	4	5	6	6,3	1,749[c,d,f] 1,752[c,e,f]
Régulation de ligne DC @ $I_{Ch,max}$ (mV/V)	–[a]	–[a]	1,09	–[a]	4,7	2,3	0,1371
Régulation de charge DC (µV/mA)	–[a]	–[a]	250	408	300	1	−25,23[c]
FOM (fs)	416	388,8	2520	42750	56,69	118,2	11,59[b,d,c,f]

[a]Non disponible. [b]Pour $I_{Ch,max}$=150mA et C_{Ch}=100pF. [c]Pour V_I=1,33V et C_{Ch}=100pF. [d]Pour la variation ascendante de I_{Ch}.
[e]Pour la variation descendante de I_{Ch}. [f]Pour un temps de montée/descente du signal test égal à 1µs.

$$T_r = C_{Ch} \cdot \frac{|\Delta v_o|}{I_{Ch,\max}} \tag{2.141}$$

L'équation (2.142) montre l'expression de FOM. Notons que plus la valeur de FOM est petite, plus que le régulateur LDO est meilleur. L'équation (2.143) donne l'expression finale du facteur de mérite choisi pour notre comparaison. Le tableau (23) résume les performances du régulateur LDO-CI proposé, ainsi une comparaison avec des régulateurs LDO existants et qui présentent une bonne réponse transitoire et un faible courant de repos.

$$FOM = T_r \cdot \frac{I_Q}{I_{Ch,\max}} \tag{2.142}$$

$$FOM = C_{Ch} \cdot \frac{|\Delta v_o| . I_Q}{I^2_{Ch,\max}} \tag{2.143}$$

En se basant sur la valeur calculée du Facteur de mérite FOM, le régulateur LDO proposé présente des bonnes performances en termes de réponse transitoire par rapport aux travaux connexes cités dans le tableau (23).

2.4 Simulation AC du PSRR

La simulation de la réjection d'ondulation de l'alimentation est réalisée par l'injection d'un signal sinusoïdal v_i d'amplitude 100mV et de fréquence 1kHz à l'entrée V_I du régulateur LDO. Les figures (78) et (79) représentent le spectre du PSRR du régulateur LDO proposé avec compensation, simulé dans l'intervalle de fréquence [10Hz-100MHz], pour des différentes conditions sur la tension d'alimentation d'entrée V_I et le courant de charge I_{Ch} et pour une valeur de 100pF de la capacité de charge C_{Ch}. Le tableau (24) résume les valeurs obtenues du PSRR pour la plage de fréquence 10Hz-100MHz. D'après les résultats de simulation, on constate que le régulateur LDO proposé présente un bon PSRR pour les fréquences inférieures à 10kHz y compris la valeur DC car les valeurs obtenues sont inférieures à −60dB, tandis les performances du PSRR commence à se dégrader au-delà de 10kHz.

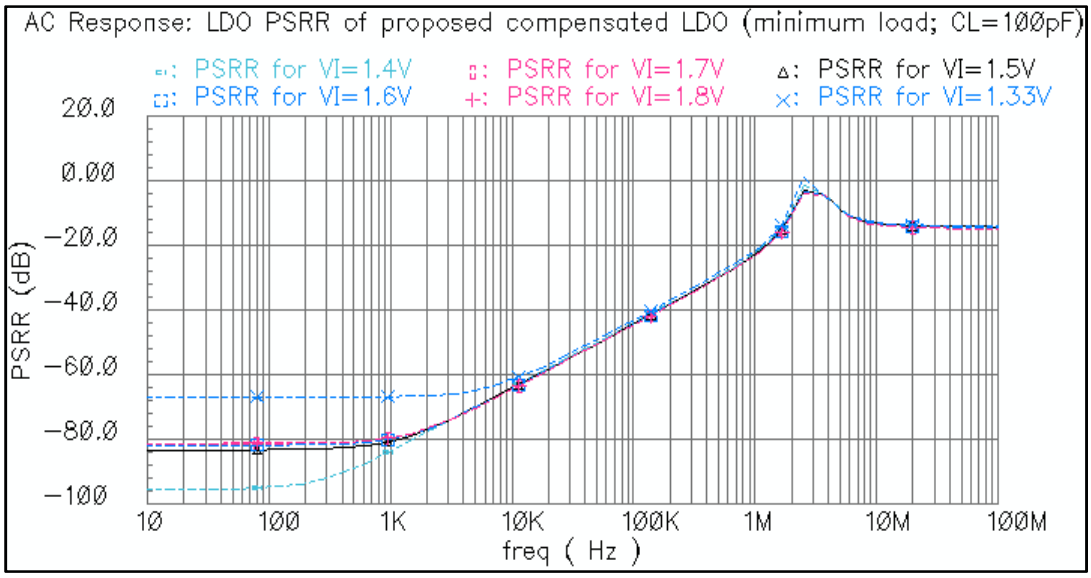

Figure 78 Spectre du PSRR simulé du LDO proposé avec compensation sous la charge minimale et pour différentes valeurs de V_I.

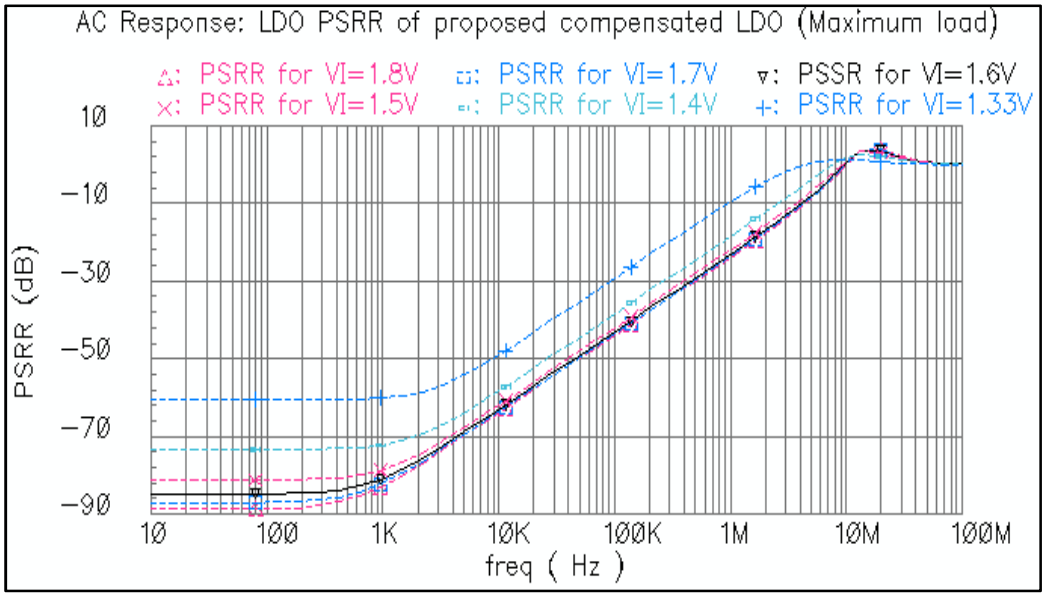

Figure 79 Spectre du PSRR simulé du LDO proposé avec compensation sous la charge maximale et pour différentes valeurs de V_I.

Tableau 24 Valeurs du PSRR du LDO proposé avec compensation.

	Conditions d'opération					
	Charge minimale $I_{Ch,min}$=50µA			Charge maximale $I_{Ch,max}$=150mA		
Valeur du PSRR en (dB) et fréquence	$V_{I,min}$=1,33V	V_I=1,6V	V_I=1,8V	$V_{I,min}$=1,33V	V_I=1,6V	V_I=1,8V
PSRR @ 10Hz (valeur DC)	−66,85	−81,8	−81,25	−60,61	−84,86	−88,82
PSRR @ 100Hz (valeur DC)	−66,85	−81,8	−81,25	−60,61	−84,86	−88,82
PSRR @ 1kHz	−66,75	−79,89	−79,57	−60,04	−80,82	−62,67
PSRR @ 10kHz	−61,54	−64,42	−64,55	−48,99	−63,06	−63,95
PSRR @ 100kHz	−43,11	−44,5	−44,64	−29,33	−43,09	−43,97
PSRR @ 1MHz	−21,36	−22,83	−23	−9,600	−23,03	−23,91
PSRR @ 10MHz	−12,8	−13,27	−13,56	1,111	0,543	0,01905
PSRR @ 100MHz	−13,88	−14,45	−14,8	0,002069	−0,08721	−0,09403

Le circuit de compensation proposé ne permet pas d'avoir un PSRR satisfaisant dans les moyennes et les hautes fréquences, en particulier dans la bande 100kHz -10MHz, où la valeur du PSRR doit être au moins égale à −60dB pour annuler l'effet indésirable des ondulations sur la tension d'alimentation d'entrée issues de la fréquence de découpage du convertisseur DC-DC qui alimente le régulateur LDO. Pour obtenir un meilleur PSRR dans les moyennes et les hautes moyennes fréquences, il est indispensable d'ajouter un circuit d'amélioration du PSRR qui sera l'objectif du paragraphe suivant.

3 Méthode proposée pour l'amélioration du PSRR

3.1 Analyse du PSRR du régulateur LDO proposé

Comme nous l'avons vu dans le chapitre 1, l'existence de plusieurs chemins entre l'alimentation bruyante et la sortie du régulateur LDO limite le PSRR des régulateurs LDO. La figure (80) représente ces chemins par lesquels le bruit d'alimentation se couple à la sortie pour le régulateur LDO proposé (sans compensation). Le PSRR d'un LDO typique est affecté par la modulation de bruit de la tension de grille $v_{g,P}$ à travers la capacité grille-source $C_{gs,P}$, qui est convertie en courant par la transconductance $g_{m,P}$ du transistor de passage M_P, ce qui entraîne un chemin haute fréquence (chemin 1). Le PSRR global est également affecté par le PSRR fini de l'amplificateur d'erreur (chemin 2). Notons que le courant de bruit de sortie de l'amplificateur d'erreur est amplifié davantage par le transistor de passage M_P. Un autre chemin du bruit d'alimentation v_i (chemin 3) est créé par l'impédance de sortie finie du transistor de passage. Le gain de boucle important supprime ces composantes de bruit aux

basses fréquences. Pour améliorer la valeur du PSRR dans les moyennes et hautes fréquences, il faut compenser les courants de bruit d'alimentation provenant des chemins 1 et 3.

Le chemin 3 de la figure (80) est difficile à compenser. La résistance de sortie $r_{o,P}$ du transistor de passage étant fonction du courant de charge I_{Ch}, la compensation nécessite un circuit qui génère une petite réplique du courant traversant $r_{o,P}$, qui doit être injectée dans la sortie du régulateur LDO avec une phase opposée. Quelques doigts (fingers) du transistor de passage peuvent être utilisés pour atteindre cette compensation, mais il s'agit néanmoins d'une approche qui consomme beaucoup d'énergie et elle est peu fiable [80] et [81]. La compensation du chemin 3 à travers $r_{o,P}$ n'est pas traitée dans notre travail.

Le bruit d'alimentation v_i à moyenne et haute fréquence fuit dans la grille du transistor de passage à travers $C_{gs,P}$. Pour obtenir plus d'informations sur l'effet de cette capacité sur le PSRR, le schéma équivalent en haute fréquence des chemins dus au transistor de passage est établi comme le montre la figure (81). En négligeant la capacité $C_{O2,AE}$ devant la capacité $C_{gs,P}+C_{gd,P}$ et pour $R_{G,P}$ très grande ($\geq$100kΩ), la tension de grille $v_{g,P}$ peut être approximée en fonction de v_i comme suit:

$$v_{g,P} \approx \frac{C_{gs,P}}{C_{gs,P}+C_{gd,P}} v_i \tag{2.144}$$

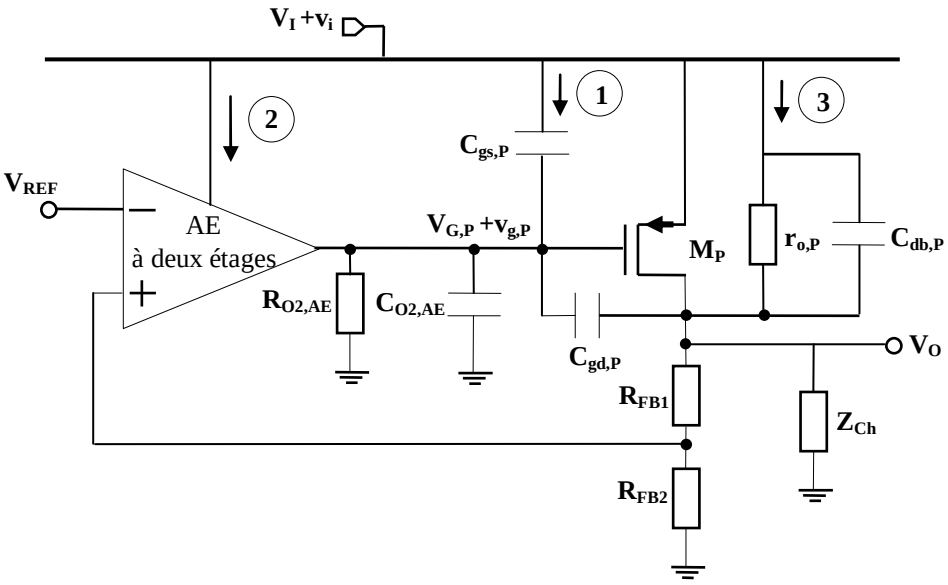

Figure 80 Chemins d'ondulation d'alimentation entrée-sortie dans le LDO proposé.

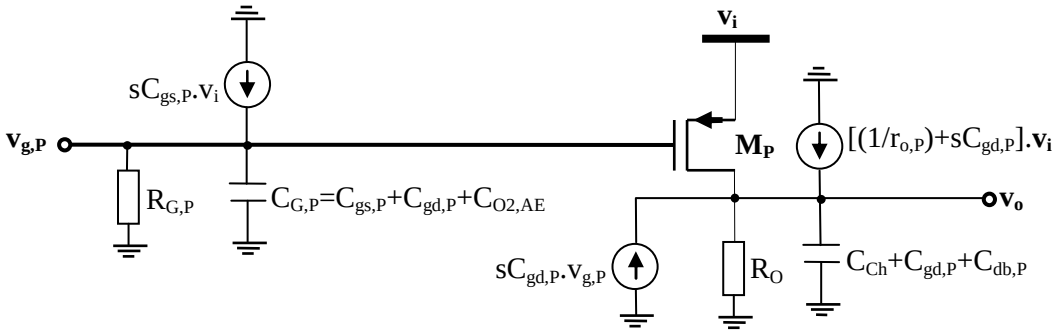

Figure 81 Schéma équivalent haute fréquence pour l'analyse de l'effet du transistor de passage sur le PSRR.

Pour forcer la tension $v_{g,P}$ d'être égale à v_i malgré la relation qui les relient dans l'équation (2.144), on peut générer un courant approprié et l'injecter à la grille du transistor M_P. Une solution pour accomplir cela est décrite dans la sous-section suivante.

3.2 Solution proposée pour améliorer le PSRR

La technique d'amélioration du PSRR proposée dans ce travail mari entre la technique du transistor réplique qui a été proposée dans [73] pour améliorer stabilité, et l'approche du contrôle par action anticipative (feed-forward control), proposée dans [74] et [76] pour annuler l'ondulation de l'alimentation. La figure (82) donne le schéma de principe conceptuel de la technique d'amélioration du PSRR proposée. Une petite réplique du transistor de passage M_{PR}, est utilisée pour recréer une version petite de la capacité de grille parasite du transistor M_P. Le drain du transistor réplique M_{PR} est connecté à un nœud à faible impédance d'un amplificateur de courant avec une très faible impédance d'entrée pour minimiser les variations de signal à la borne de drain du transistor M_{PR}. La tension alternative à travers la capacité $C_{gd,PR}$ suit le changement de v_i, puis la version réplique correspondante du courant alternatif d'anticipation $i_{AA,PR}$ est obtenue comme suit:

$$i_{AA,PR} = sC_{gd,PR}.v_i + \left(\frac{sC_{gs,PR}}{1+g_{m,PR}r_{o,PR}}\right)\left[\frac{1}{1+\left(\frac{sC_{gs,PR}r_{o,PR}}{1+g_{m,PR}r_{o,PR}}\right)}\right].v_i \qquad (2.145)$$

Où $g_{m,PR}$ et $r_{o,PR}$ sont respectivement la transconductance et la résistance de sortie du transistor réplique M_{PR}, tandis que $C_{gd,PR}$ et $C_{gs,PR}$ représentent respectivement les capacités grille-drain et grille-source de ce transistor. Le deuxième terme dans l'équation (2.145) est négligeable devant le premier terme en raison du fait que l'effet de $C_{gs,PR}$ est atténué par le gain intrinsèque ($g_{m,PR}.r_{o,PR}$) du transistor réplique M_{PR}.

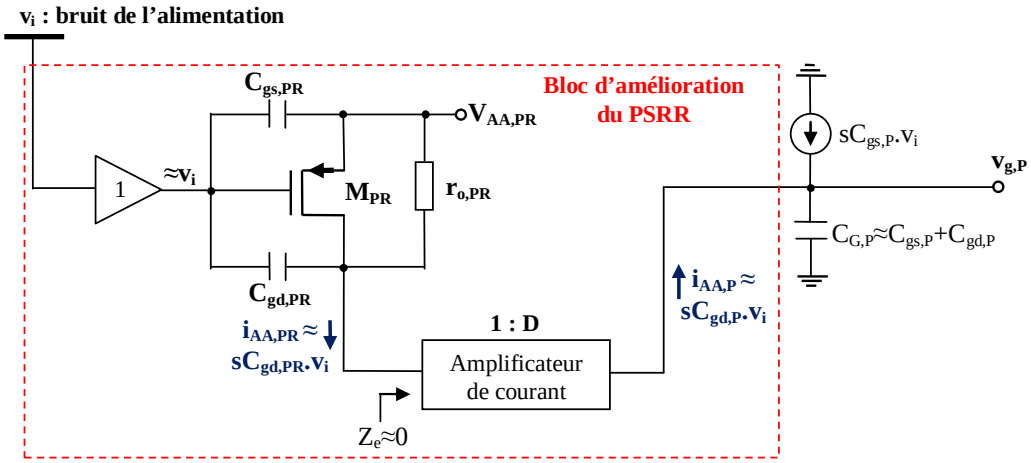

Figure 82 Schéma de principe de la technique proposée pour l'amélioration du PSRR.

Par conséquent, l'équation (2.145) peut être simplifiée en :

$$i_{AA,PR} \approx sC_{gd,PR}.v_i \tag{2.146}$$

Étant donné que le transistor de passage de réplique a été réduit pour économiser de l'énergie et de la surface, le courant $i_{AA,PR}$ doit être augmenté d'un facteur D, où D est le rapport du nombre de doigts utilisés dans le transistor M_P et le transistor M_{PR} ($D=W_P/W_{PR}$ pour $L_P=L_{PR}$), respectivement. Après addition du courant d'anticipation $i_{AA,P}=D.i_{AA,PR}$ à la borne de grille du transistor M_P comme il est illustré sur la figure (82), la tension de grille de M_P peut être exprimée par l'équation (2.147), ce qui représente le résultat souhaité.

$$v_{g,P} \approx \frac{(C_{gs,P}+C_{gd,P})}{(C_{gs,P}+C_{gd,P})} v_i \approx v_i \tag{2.147}$$

3.3 Résultats de la simulation du PSRR avec la technique d'amélioration proposée

La figure (83) représente le spectre du PSRR du régulateur LDO proposé avec circuit d'amélioration du PSRR, simulé dans l'intervalle de fréquence [10Hz-100GHz] en minimum de charge, pour trois valeurs de la tension d'alimentation d'entrée V_I et pour une valeur de 100pF, tandis que la figure (84) donne le résultat de simulation du PSRR en pleine charge dans les mêmes conditions. Le tableau (25) résume les valeurs obtenues du PSRR pour la plage de fréquence 10Hz-100MHz. En très basse fréquence, le PSRR du LDO proposé est inversement proportionnel au gain $g_{m1}g_{m3}R_{O1,AE}R_{G,P}$ de l'amplificateur d'erreur. Les blocs

d'amélioration du PSRR et de compensation de fréquence n'affectent pas de manière significative les performances du PSRR, sauf si la résistance $R_{G,P}$ est considérablement réduite.

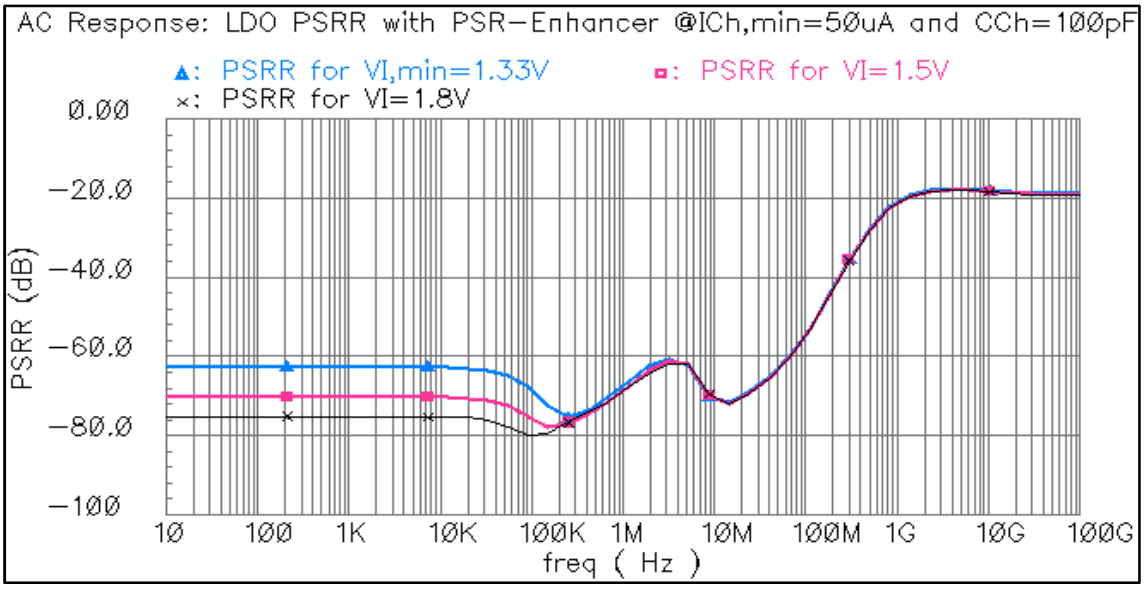

Figure 83 Spectre du PSRR simulé du LDO proposé avec compensation sous la charge minimale et pour différentes valeurs de V_I.

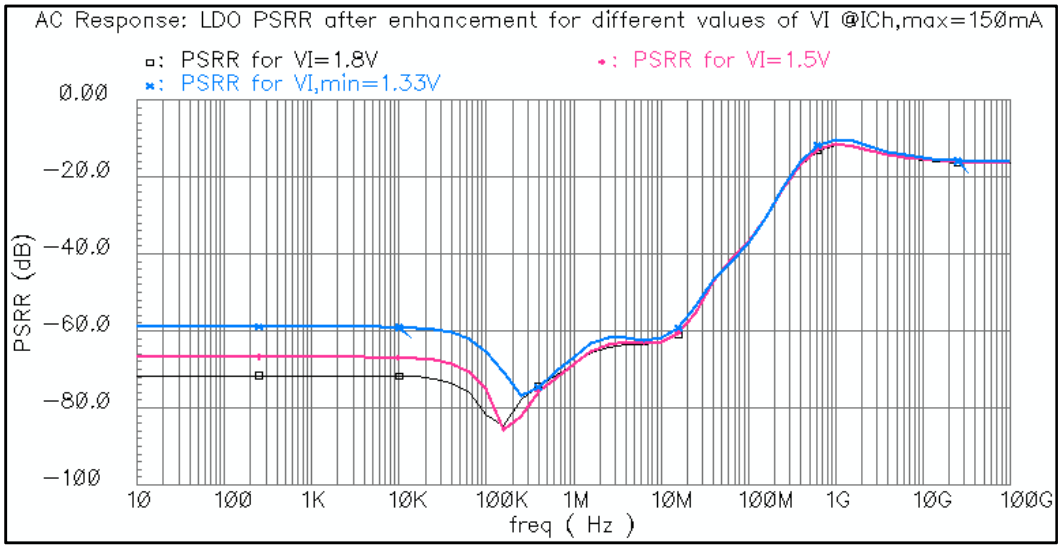

Figure 84 Spectre du PSRR simulé du LDO proposé avec compensation sous la charge maximale et pour différentes valeurs de V_I.

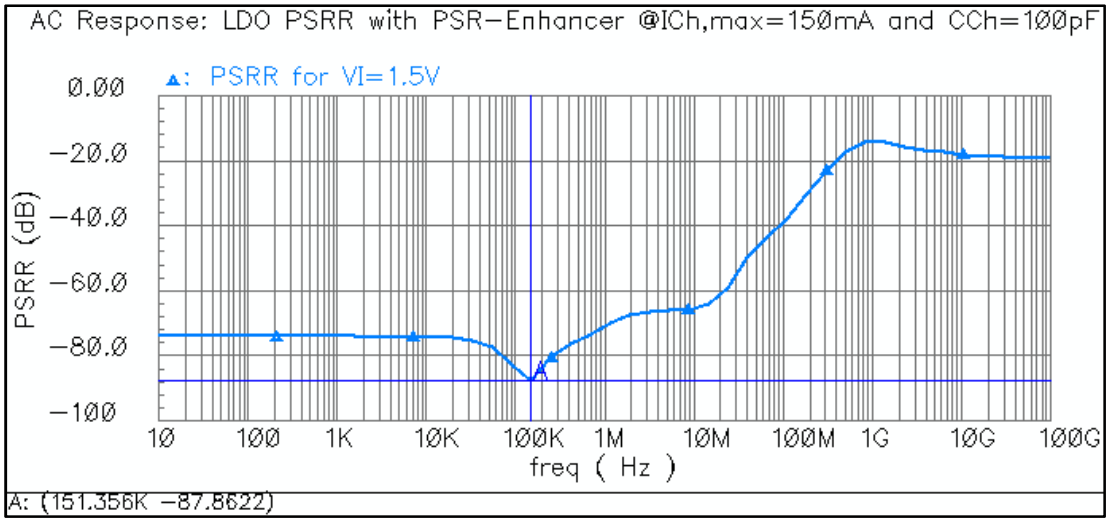

Figure 85 Valeur minimale du PSRR atteinte par le circuit d'amélioration du PSRR proposé.

Comme le montre les résultats du tableau (25), le circuit d'amélioration du PSRR proposé a permis d'augmenter la valeur du PSRR en moyenne et haute fréquences de plus de 40dB dans l'intervalle de fréquence 10kHz-100MHz. Une super valeur du PSRR de −87,86dB est atteinte à la fréquence 151,4kHz en pleine charge et sous la tension d'alimentation de 1,5V comme le montre la figure (85).

Le tableau (26) donne une comparaison avec les régulateurs LDO adressant un bon PSRR en moyennes et en hautes fréquence. D'après le tableau (26), on observe bien que le bloc d'amélioration du PSRR, ajouté dans le circuit du régulateur LDO proposé, a contribué à des valeurs supérieures du PSRR en moyennes et haute fréquences et qui sont comparables et concurrentes aux valeurs trouvées dans la même gamme de fréquence par les auteurs des

Tableau 25 Valeurs du PSRR du LDO proposé avec circuit d'amélioration du PSRR.

	Conditions d'opération					
	Charge minimale $I_{Ch,min}$=50µA			Charge maximale $I_{Ch,max}$=150mA		
Valeur du PSRR en (dB) et fréquence	$V_{I,min}$=1,33V	V_I=1,5V	V_I=1,8V	$V_{I,min}$=1,33V	V_I=1,5V	V_I=1,8V
PSRR @ 10Hz (valeur DC)	−60,13	−67,73	−72,61	−59,04	−69,42	−75,42
PSRR @ 100Hz (valeur DC)	−60,13	−67,73	−72,61	−59,04	−69,42	−75,42
PSRR @ 1kHz (valeur DC)	−60,13	−67,73	−72,61	−59,04	−69,42	−75,42
PSRR @ 10kHz	−60,23	−67,83	−72,73	−59,14	−69,52	−75,51
PSRR @ 100kHz	−66,08	−73,11	−77,51	−67,94	−78,31	−82,58
PSRR @ 1MHz	−64,89	−66,29	−66,35	−69,17	−71,16	−70,61
PSRR @ 10MHz	−68,14	−67,84	−67,69	−64,10	−65,11	−64,13
PSRR @ 100MHz	−51,77	−51,98	−52,07	−39,43	−39,08	−39,03

Tableau 26 Performances du régulateur LDO proposé et comparaison avec des régulateurs LDO adressant un bon PSRR en moyennes et hautes fréquences.

Performance	**[69]**	**[74]**	**[72]**	**[77]**	**[80]**	**[81]**	**Ce travail**
Technologie CMOS (µm)	0,6	0,13	0,35	0,13	0,065	0,065	0,18
Tension d'alimentation d'entrée V_I (V)	1.8	>1,15	1,8	1,15-1,4	1,2	1,2	1,33-1,8
Tension de sortie V_O (V)	1.2	1	1,2	1,0	1,0	1,0	1,2
Tension de chute V_{DO} @ $I_{Ch,max}$ (mV)	400	>150	600	150	200	80	131,8
Courant de charge maximum $I_{Ch,max}$ (mA)	5	25	12	50	25	100	150
Courant de repos I_Q @ $I_{Ch,max}$ (µA)	70	50	43,9	37	297,5	40	67,0-70,8
Capacité de sortie sur puce C_{Ch} (pF)	–[a] Hors puce	4.10^6 Sur puce	0-100 Sur puce	200 Sur puce	240 Sur puce	$4,7.10^6$ Hors puce	30-100 Sur puce
Approche d'amélioration du PSRR	Deux transistors de passage	FFRC[b]	Trois transistors de passage	PSRIF[c]	AFFRC[d]	AFFRC[d]	Transistor de passage réplique[b]
PSRR @f=1kHz @$I_{L,max}$ (dB)	−70	–[a]	−82	−72	–[a]	–[a]	−75,42[e]
PSRR @f=100kHz @$I_{L,max}$ (dB)	−62	−60	−60	−40	–[a]	−89	−82,58[e]
PSRR @f=1MHz @$I_{L,max}$ (dB)	−40	−67	−42	−40	−52	−70	−70,61[e]
PSRR @f=10MHz @$I_{L,max}$ (dB)	−27	−56	–[a]	–[a]	−37	−62	−64,13[e]
PSRR @f=100MHz @$I_{L,max}$ (dB)	–[a]	–[a]	–[a]	–[a]	−37	–[a]	−39,03[e]

[a]Non disponible. [b]Feed-forward ripple cancellation (annulation de l'ondulation par action anticipative). [c]Power supply ripple injection filter (Filtre d'injection d'ondulation de l'alimentation). [d] Adaptive feed-forward ripple cancellation (annulation de l'ondulation par action anticipative adaptative). [e]Valeur simulée obtenue pour V_I=1,8V et C_{Ch}=100pF.

références cités dans le tableau. Le point fort du régulateur LDO proposé, au niveau d'amélioration du PSRR, c'est qu'il atteint des valeurs inférieures à −60 dB dans une large gamme de fréquences hautes en utilisant une capacité de sortie, sur-puce, ne dépassant pas 100pF avec un courant de repos I_Q raisonnable par rapport à l'amélioration apportée au PSRR. Par contre, les auteurs des travaux [74] et [81] ont obtenu des valeurs supérieures du PSRR dans une large gamme de fréquences jusqu'à 10MHz, mais ils ont utilisés un gros condensateur, hors-puce, pour atteindre leurs buts, ce qui présente des solutions non pratiques pour les régulateurs LDO complètement intégrés.

4 Layout du régulateur LDO proposé

Le layout du circuit du régulateur LDO proposé a été réalisé dans l'environnement Virtuoso XL, prédéfinie sous la plate forme Cadence, en respectant les règles des distances

minimales entre les différentes couches qui sont données par le PDK de la technologie utilisée [108]. Les résistances ont été implémenté par le type poly-résistance P^+ sans siliciure [108], qui a un coefficient de température très bas (-163ppm/°C) [128]. Les capacités de compensation ont été réalisées avec le type métal-isolant-métal [108]. Des techniques d'appariement comme le centre de symétrie (common centroid) et l'interdigitation avec utilisation des transistors fantômes (dummy) ont été adoptées pour réaliser le layout de la paire différentielle d'un amplificateur opérationnel et les miroirs du courant, afin d'améliorer le non appariement entre les transistors de ces cellules, résultant de la variation du processus et l'effet de la modulation de longueur du canal [32]. Le layout complet du régulateur LDO

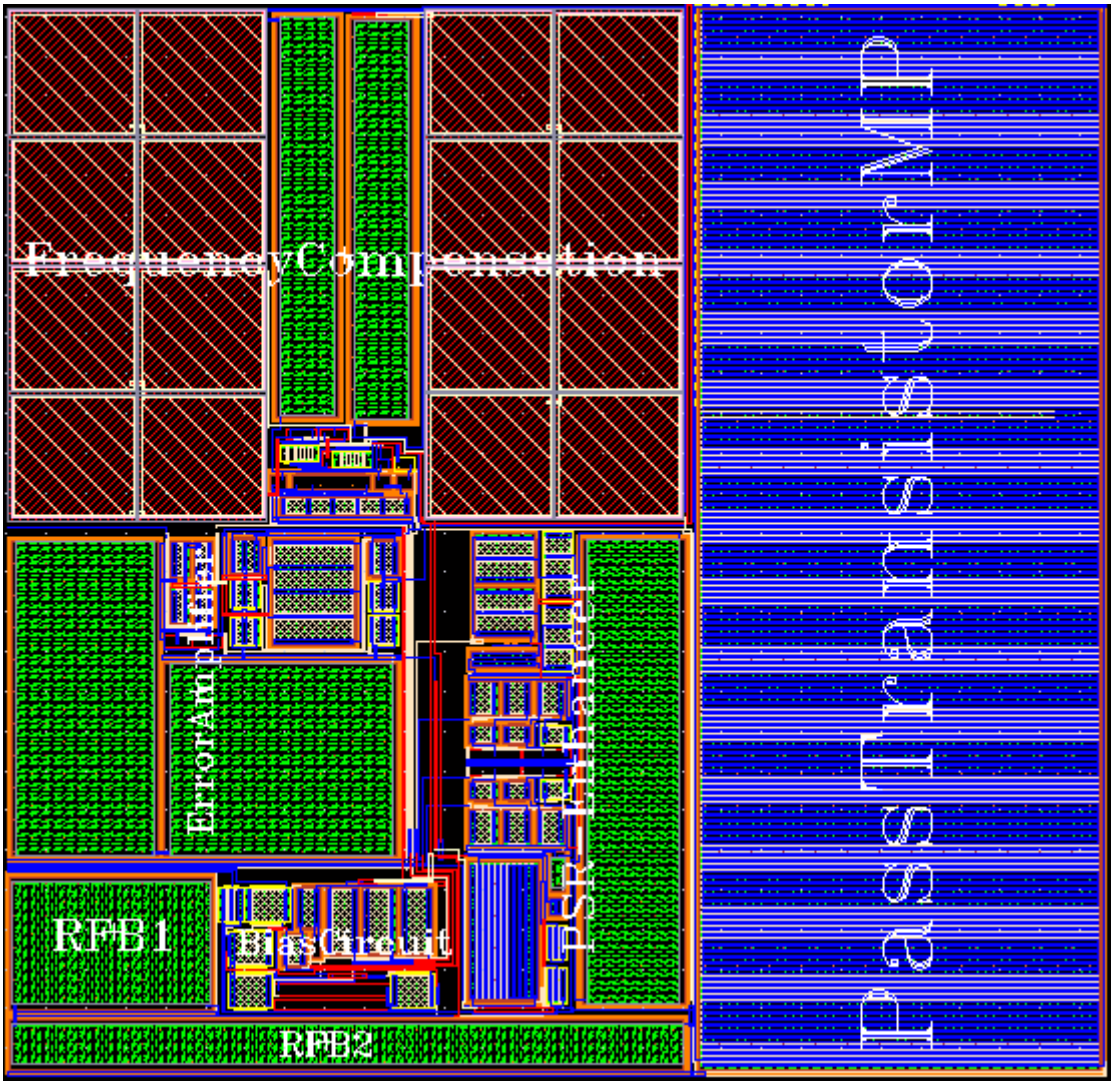

Figure 86 Layout du régulateur LDO proposée réalisé en technologie CMOS UMC 0,18µm.

proposé, sans capacité de charge C_{Ch}, est représenté sur la figure (86). La surface du layout est égale à 0,01864mm^2. Le transistor de passage M_P occupe une surface de 6,976.10^{-3}mm^2 ce qui représente 37,42% de la surface totale.

5 Conclusion

Dans ce chapitre, nous avons proposé une conception complètement intégrée d'un régulateur LDO en technologie CMOS UMC 0,18µm avec amélioration des performances de stabilité, de la réponse transitoire et de la réjection d'ondulation de l'alimentation (PSRR). Le circuit de compensation proposé a permis à la fois d'améliorer la stabilité et la réponse transitoire. Une grande marge de phase supérieure à 80° a été obtenue dans la plage de courant de charge 50µA-150mA. La technique du couplage capacitif avec amplification dynamique du courant de polarisation du circuit de compensation a permis d'améliorer d'une façon significative la régulation de charge transitoire en réduisant les pics des sous-dépassements et des dépassements. Le PSRR a été amélioré en ajoutant un circuit d'annulation d'ondulation de l'alimentation. La valeur obtenue du PSRR est inférieure à −60dB dans une large plage de fréquences allant de 10Hz à 10MHz. Les performances du régulateur LDO proposé conservent les valeurs souhaitées jusqu'au 150mA de courant de charge et pour un minimum de tension d'alimentation de 1,33V avec une valeur totale du courant de repos entre 67,0µA et 70,8µA.

Chapitre 3 : Conception d'une référence de tension de type bandgap sub-1V à faible coefficient de température et à haute valeur du PSRR en technologie CMOS 0,18µm

1 Introduction

De nombreux circuits intégrés analogiques et mixtes, tels que les régulateurs à faible chute de tension (LDO), les régulateurs de commutation, les convertisseurs analogique-numérique, les convertisseurs numérique-analogique, les capteurs intelligents et autres systèmes de contrôle industriels précis, nécessitent une référence de tension à comparer [3], pour des raisons de fiabilité et de précision. La référence de tension populaire la plus utilisée est la référence de tension de type bandgap dite aussi à bande interdite (BGVR), grâce à la simplicité de son principe. Ce type de circuit analogique est utilisé pour générer une tension fixe, V_{REF}, qui est en théorie indépendante de la tension d'alimentation V_I (où $V_{REF}<V_I$), des variations de la température et des variations du processus. La conception classique des circuits BGVR, génère généralement une tension de sortie V_{REF} d'environ 1,23V (proche de la valeur 1,21V qui représente la tension théorique de la bande interdite du silicium à 0K) [110]-[113].

Au fur et à mesure que la technologie CMOS évolue vers l'échelle nanométrique ($L_{min}\leq$180nm), les tensions d'alimentation subissent la même décroissance. Récemment, les tensions d'alimentation ont tendance à se situer dans la plage de 0,6V à 1,2V. La tension d'alimentation décroit avec la diminution de l'échelle de la technologie CMOS, mais la tension de seuil des transistors MOS ne suit pas la même évolution. Cela rend difficile l'incorporation de la conception classique de la référence de tension à bande interdite pour fonctionner correctement dans les basses tensions d'alimentation. Pour la conception d'une référence de tension de type bandgap dans les technologies à basse tension, de nombreuses approches ont été proposées; réseaux diviseurs résistifs [114]-[116], additionneurs de courant et additionneurs de tension [117], amplificateurs de transimpédance [118], mosfets à seuil dynamique [119] et autres travaux [120].

Les applications récentes telles que les microsystèmes de l'Internet des Objets qui s'alimentent par les tensions issues des régulateurs LDO, nécessitent une tension de référence précise avec une très grande valeur du PSRR non seulement dans les basses fréquences mais aussi dans les hautes fréquences. Pour réaliser cette performance, différents travaux ont été proposés [121]-[127], mais leurs performances sont limitées en termes de PSRR, en particulier pour les fréquences supérieures à 1MHz.

Ce chapitre propose une nouvelle technique pour améliorer la valeur du PSRR d'une BGVR qui génère à sa sortie une tension inférieure à 1V. La référence de tension proposée fonctionne dans une plage de température très large et se caractérise par un faible coefficient de température et un PSRR élevé dans une large gamme de fréquences.

2 Référence de tension de type bandgap : Principe et performances

2.1 Principe d'une référence de tension de type Bandgap

L'idée de base de la topologie du circuit de référence de tension à bande interdite est la compensation mutuelle d'une tension proportionnelle à la température absolue T, notée $V_{PTAT}(T)$, et d'une tension complémentaire à la température absolue, notée $V_{CTAT}(T)$, dont le but d'obtenir une tension $V_{som}(T)$, idéalement, indépendante de la température. La compensation peut être obtenue par une simple somme pondérée entre ces deux tensions [138], telles que :

$$V_{som}(T) = m_1.V_{PTAT}(T) + m_2.V_{CTAT}(T) \tag{3.1}$$

Le but est d'avoir :

$$\frac{\partial V_{som}(T)}{\partial T} = m_1.\frac{\partial V_{PTAT}(T)}{\partial T} + m_2.\frac{\partial V_{CTAT}(T)}{\partial T} = 0 \tag{3.2}$$

Notons que $\frac{\partial V_{PTAT}(T)}{\partial T} > 0$ et $\frac{\partial V_{CTAT}(T)}{\partial T} < 0$, avec un choix approprié des coefficients de pondération m_1 et m_2, la quantité $\frac{\partial V_{som}(T)}{\partial T}$ qui représente le coefficient de température de la tension $V_{som}(T)$, noté $CT(V_{som})$, peut atteindre la valeur zéro comme le montre la courbe

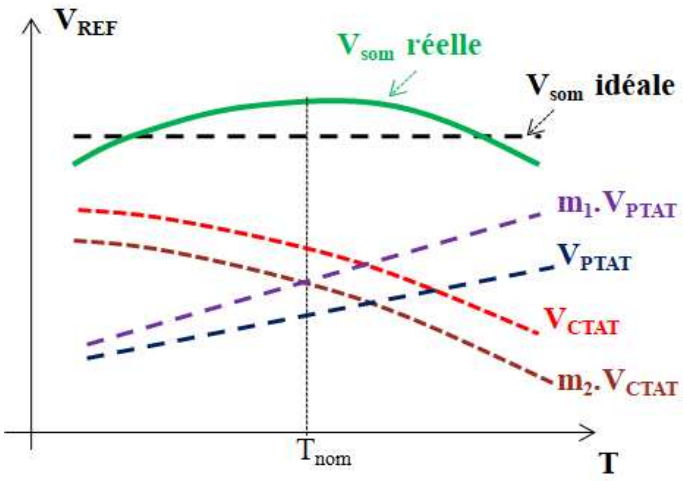

Figure 87 Variation de la tension de référence VREF en fonction de la température ($V_{som}=m_1V_{PTAT}+m_2V_{CTAT}$).

idéale $V_{som}=f(T)$ représentée sur la figure (87). En réalité, $CT(V_{som})$ peut atteindre seulement une valeur proche de zéro comme le montre la courbe réelle $V_{som}=f(T)$ représentée sur la figure (90). On dira que la tension $V_{som}(T)$ à un coefficient de température proche de zéro, si $\left.\frac{\partial V_{som}(T)}{\partial T}\right|_{T=T_{nom}} = 0$ où T_{nom} est la température nominale qui est généralement égale 27°C.

2.2 Référence de tension de type bandgap de Widlar

Robert J. Widlar est parmi les premiers qui ont adopté la topologie de compensation mutuelle des tensions V_{PTAT} et V_{CTAT} définies ci-dessus, pour inventer un circuit de référence de tension de type bandgap [110], appelé à l'époque régulateur de tension intégré. La référence de tension de Widlar ne peut atteindre une tension à CT proche de zéro que dans une plage de température limitée, car $V_{PTAT}(T)$ et $V_{CTAT}(T)$ sont des fonctions non linéaires de la température, et il en résulte donc qu'une tension $V_{som}(T)$ qui est une fonction non linéaire de la température. Dans la référence de tension de Widlar, la tension V_{CTAT} est formée par la tension base-émetteur V_{BE} d'un transistor bipolaire (BJT) de type NPN, tandis que la tension V_{PTAT} est constituée par la tension thermodynamique U_T, extraite de la tension V_{BE} de deux BJT de type NPN, polarisés avec une densité de courant différente. Le schéma fonctionnel du circuit de référence de tension de type bandgap de Widlar est illustré à la figure (88), tandis que la figure (89) donne l'implémentation de la tension $V_{PTAT}(T)$. La tension générée par la référence de tension de Widlar est donnée par l'équation (3.3), où M représente le terme de compensation, sans unité, qui dépend des éléments du circuit d'implémentation. La tension

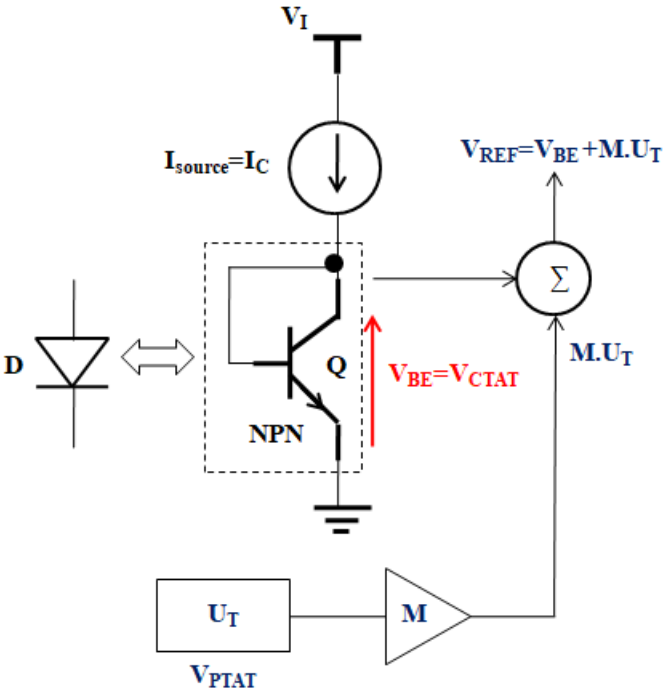

Figure 88 Schéma fonctionnel topologique d'une référence de tension de type bandgap de Widlar [128].

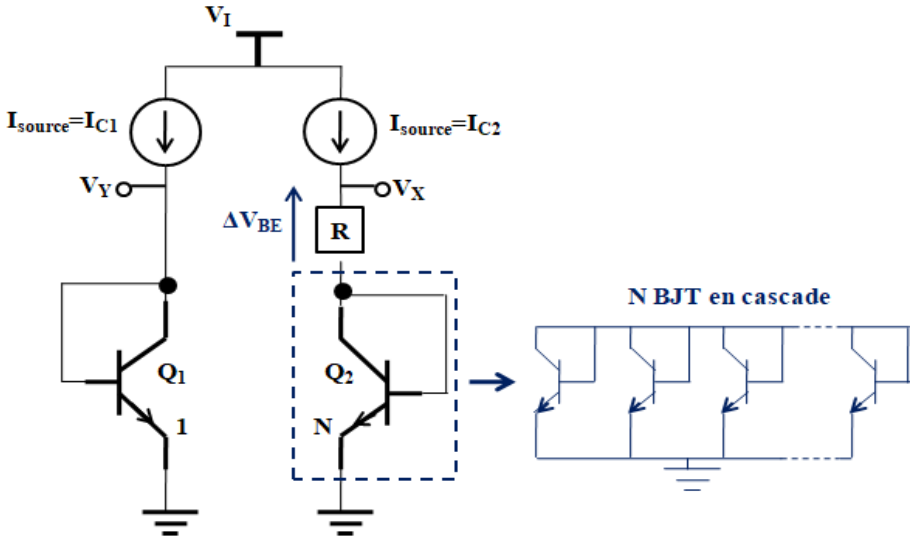

Figure 89 Implémentation de la tension $V_{PTAT}(T)$ [128].

V_{BE} est une fonction de la température exprimée par l'équation (3.5) [3], où V_{G0} est la tension de bandgap du silicium qui vaut 1,206V à 0K, ρ est une constante de température qui dépend du processus de la technologie, θ est l'ordre de la dépendance en température du courant du collecteur, k_B est la constante de Boltzmann (k_B=1,381.10^{-23}J.K^{-1}), q est la valeur absolue de la charge de l'électron (q=1,602.10^{-19}C) et T_r est une température de référence.

$$V_{REF} = V_{BE} + M.U_T \tag{3.3}$$

$$U_T = \frac{k_B T}{q} \tag{3.4}$$

$$V_{BE}(T) = V_{G0}\left(1 - \frac{T}{T_r}\right) + V_{BE}(T_r).\frac{T}{T_r} - (\rho - \theta)\frac{k_B.T}{q}\ln\left(\frac{T}{T_r}\right) \tag{3.5}$$

La valeur de U_T est égale à 0,0259V à T=300K. La référence de tension de Widlar aura un coefficient de température proche de zéro à la température nominale, si on a $\frac{\partial V_{REF}(T)}{\partial T} = 0$. D'après l'équation (3.3), la valeur optimale de M est donnée par l'équation (3.6).

$$M = -\frac{\partial V_{BE1}}{\partial T} \Big/ \frac{\partial U_T}{\partial T} \tag{3.6}$$

Dans la figure (89), la tension ΔV_{BE} entre les bornes de la résistance R est obtenue par égalisation des potentiels V_X et V_Y. On a pour V_X=V_Y :

$$\Delta V_{BE} = V_{BE1} - V_{BE2} \tag{3.7}$$

Où V_{BE1} et V_{BE2} sont les tensions base-émetteur des transistors Q_1 et Q_2 respectivement, exprimées par les équations (3.8) et (3.9). I_{C1} est le courant du collecteur du BJT Q_1 et I_{S1}=J_{S1}.A_{E1} est le courant de saturation de la jonction base-émetteur du transistor Q_1, où J_{S1} et A_{E1} sont respectivement la densité de courant de saturation et la surface de l'émetteur de Q_1. De même, I_{C2} est le courant du collecteur du BJT Q_2 et I_{S2}=J_{S2}.A_{E2} est le courant de saturation de la jonction base-émetteur du transistor Q_2, où J_{S2} et A_{E2} sont respectivement la densité de courant de saturation et la surface de l'émetteur de Q_2. Les surfaces des émetteurs de Q_1 et Q_2 sont reliés par la relation donnée par l'équation (3.10), où N est un nombre entier positif. En remplaçant les équations (3.8)-(3.10) dans l'équation (3.7), on trouve la tension V_{PTAT} donnée par l'équation (3.11).

$$V_{BE1} = U_T.\ln\left(\frac{I_{C1}}{I_{S1}}\right) \tag{3.8}$$

$$V_{BE1} = U_T.\ln\left(\frac{I_{C1}}{I_{S1}}\right) \tag{3.9}$$

$$A_{E2} = N.A_{E1} \tag{3.10}$$

$$\Delta V_{BE} = \ln(N).U_T \tag{3.11}$$

2.3 Implémentation de la référence de tension de Widlar en technologie CMOS

En technologie CMOS, les sources de courant I_{source} qui assurent la polarisation des collecteurs des deux BJT Q_1 et Q_2, connectés en diode, sont implémentées par un miroir de courant de type PMOS M_1-M_2 dont les tensions V_{SD} doivent être égales pour extraire la tension ΔV_{BE} désirée comme le montre la figure (90). Cette configuration est peux précise et ne donne pas V_X=V_Y car l'appariement entre les transistors M_1 et M_2 est généralement n'est pas bon, en plus l'effet de modulation de longueur du canal introduit une différence entre les tensions de drain des deux transistors M_1 et M_2 qui sont respectivement V_Y et V_X.

Pour corriger ce défaut, un amplificateur opérationnel (AO) est utilisé comme le montre la figure (91). Les deux entrées de l'amplificateur d'erreur sont connectées aux drains de M_1 et de M_2, tandis que sa sortie est connectée aux grilles de ces deux transistors afin de forcer les deux potentiels V_X et V_Y d'être égaux. Le circuit complet d'une référence de tension basée sur la topologie de Widlar est donné par la figure (92), tandis que la figure (93) représente son diagramme bloc. L'ensemble du système peut être considéré comme un circuit de contre-réaction composé de trois blocs principaux, l'amplificateur opérationnel, le réseau de contre-réaction appelé également le noyau du bandgap et le bloc de sortie. Le gain de l'amplificateur

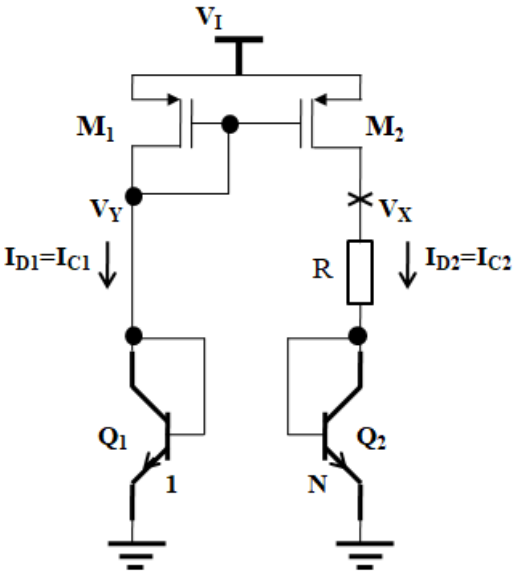

Figure 90 Générateur de V_{PTAT}= ΔV_{BE} utilisant un miroir de courant.

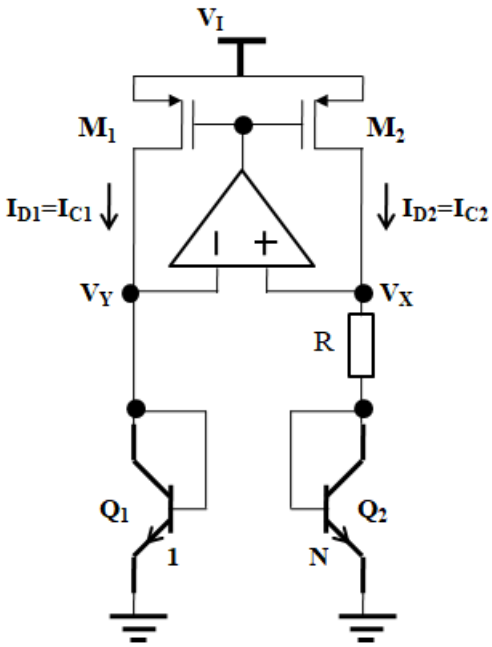

Figure 91 Générateur de $V_{PTAT}=\Delta V_{BE}$ utilisant un amplificateur d'erreur et un miroir de courant.

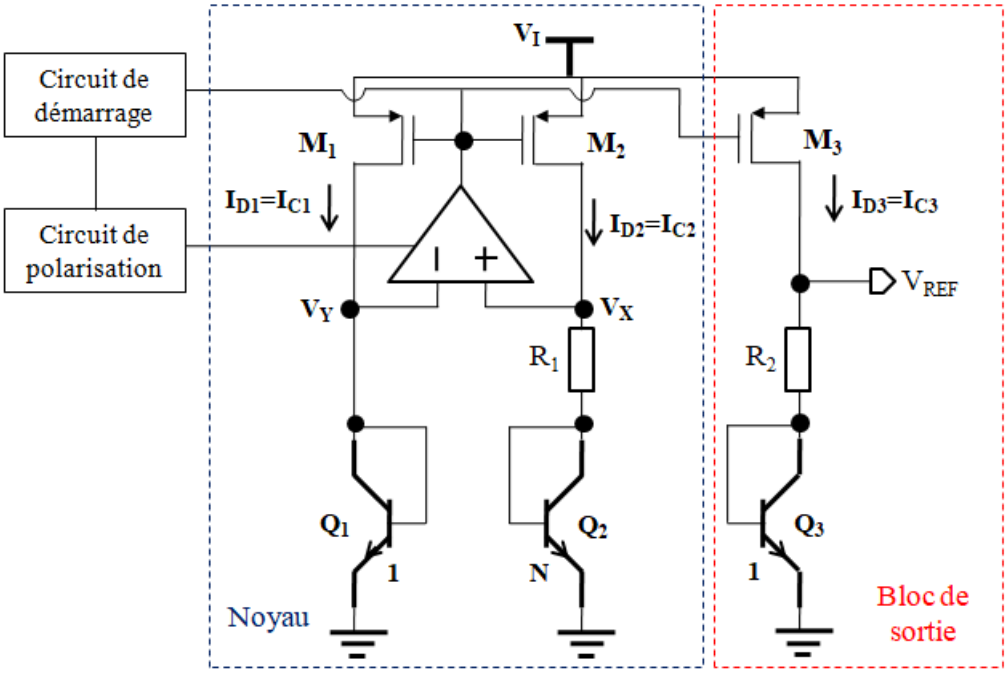

Figure 92 Circuit de la référence de tension de type bandgap à multiplicateur β basée sur un amplificateur opérationnel.

d'erreur est noté α(s), tandis que le gain de la boucle est donné par le produit β.α(s). Ce type de circuit est connu sous le nom ''référence de tension de type bandgap à multiplicateur β basée sur un amplificateur opérationnel'' [128]. Cette configuration basée sur le principe de Widlar, donne la possibilité d'utiliser différents sous-circuits à l'étage de sortie, ce qui permet d'obtenir différentes caractéristiques de la tension de sortie. En supposant l'AO est idéal, la

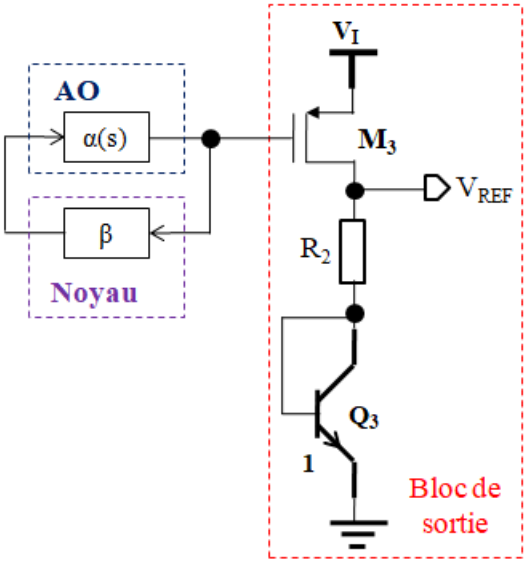

Figure 93 Diagramme bloc de la référence de tension de type bandgap à multiplicateur β basée sur un amplificateur opérationnel.

tension V_{REF} générée à la sortie du circuit de la figure (92) est donnée par :

$$V_{REF} = V_{BE3} + \frac{R_2}{R_1} U_T \ln(N) \tag{3.12}$$

D'après l'équation (3.4), on a $\frac{\partial U_T}{\partial T} = \frac{k_B}{q} \approx 0{,}09 mV/K$ et pour le processus de la technologie CMOS 0,18µm, on a $\frac{\partial V_{BE}(T)}{\partial T} = -1{,}73 mV/K$ (valeur trouvée par simulation). En remplaçant dans l'équation (3.6), on obtient M=19,22. La tension V_{BE} d'un transistor bipolaire de type NPN opérant dans la région active sous un courant de collecteur de l'ordre de 10µA est égale à 0,73V (valeur trouvée par simulation). D'après l'équation (3.3), on trouve V_{REF}≈1,23V. En identifiant terme à terme les deux équations (3.3) et (3.12), on aura :

$$M = \frac{R_2}{R_1} \ln(N) = 19{,}22 \tag{3.13}$$

La valeur de N est choisie d'être égale à 8 pour des raisons liées à l'optimisation de la surface occupée dans le circuit intégré [3] et [128], tandis que la valeur de R_1 est déterminée à partir du courant proportionnel à la température I_{PTAT} qui est égal au courant du collecteur de Q_2, exprimé par l'équation (3.14). La valeur de R_2 est déduite à partir de l'équation (3.13) en remplaçant R_1 et N par leurs valeurs correspondantes.

$$R_1 = \frac{\Delta V_{BE}}{I_{PTAT}} = \frac{U_T \ln(N)}{I_{PTAT}} \tag{3.14}$$

La structure de la référence de tension représentée sur la figure (92), génère une valeur de V_{REF} proche de 1,2V et par conséquent, elle n'est pas adaptée aux applications basses tensions où la tension d'alimentation peut descendre sous 1V.

2.4 Structure basse tension d'une référence de tension de type bandgap sub-1V

La référence de tension de type bandgap sous-1V est un circuit analogique qui fournit une tension de sortie stable inférieure à 1V [128]. La figure (94) montre la référence de tension de type bandgap conventionnelle sous-1V, adaptée aux faibles tensions d'alimentation [114]. Il utilise le principe de Widlar et l'architecture à multiplicateur β basée sur un amplificateur opérationnel avec diviseur résistif, dans laquelle l'AO formera une boucle à contre-réaction négative pour forcer les deux nœuds de ses entrées X et Y d'avoir les mêmes potentiels électriques. Le miroir de courant est formé par les transistors PMOS M_1, M_2 et M_3 de mêmes tailles, de sorte que les courants traversant ces trois transistors soient identiques. Le multiplicateur β consiste en deux transistors NPN Q_1 et Q_2 connectés en diode, dont la surface d'émetteur de Q_2 est N fois plus grande que celle de Q_1, pour former les tensions V_{PTAT} et V_{CTAT}. La tension de sortie V_{REF} est exprimée comme suit:

$$V_{REF} = \frac{R_3}{R_2}[V_{BE_1} + \frac{R_2}{R_1}\ln(N).U_T + \frac{R_2}{R_1}V_{OS}] \tag{3.15}$$

Où V_{OS} est la tension de décalage (offset) de l'amplificateur opérationnel (AO). En négligeant l'offset de l'AO, l'équation (3.15) devient:

$$V_{REF} = \frac{R_3}{R_2}[V_{BE_1} + \frac{R_2}{R_1}\ln(N).U_T] \tag{3.16}$$

Pour obtenir $CT(V_{REF})\approx 0$ à $T=T_{nom}$, il faut que :

$$\frac{\partial V_{REF}}{\partial T} = \frac{R_3}{R_2}.[\frac{\partial V_{BE_1}}{\partial T} + \frac{R_2}{R_1}\ln(N)\frac{\partial U_T}{\partial T}] = 0 \tag{3.17}$$

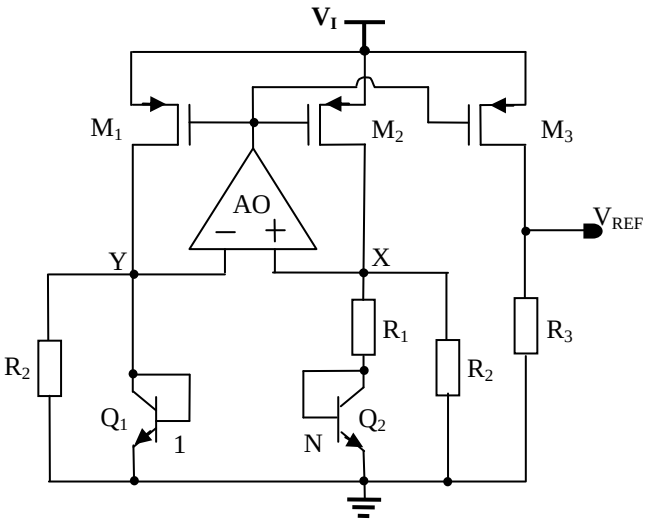

Figure 94 Référence de tension sous-1V à multiplicateur β basée sur un AO avec diviseur résistif [114].

Par identification au cas de la tension V_{REF} de Widlar, on obtient aussi $M = \frac{R_2}{R_1}\ln(N) = 19{,}22$. Les valeurs de R_1 et R_2 sont déterminées de la même façon vue précédemment, tandis que la valeur de R_3 est calculée à partir de l'équation (3.16) pour avoir la valeur désirée de V_{REF} qui est d'ailleurs inférieure à 1V.

Le schéma conventionnel de la BGVR sous-1V souffre de plusieurs problèmes qui affectent les performances du circuit. En effet, la tension de décalage de l'amplificateur d'erreur introduit une erreur sur la tension ΔV_{BE}, car on a dans ce cas $V_X \neq V_Y$, ce qui influe sur les performances de compensation en température et aussi sur la précision de la valeur de V_{REF}.

Outre le problème de tension de décalage d'entrée, les performances du circuit de BGVR à multiplicateur β basé sur l'amplificateur opérationnel sont également affectées par le gain limité en boucle ouverte de l'AO, qui peut également entraîner $V_X \neq V_Y$. Heureusement, le circuit de la BGVR fonctionne à basse fréquence et il est facile d'obtenir un AO avec un gain DC proche de 100dB [128]. Il en résulte que l'effet de gain en boucle ouverte limité sur la variation de tension de sortie du circuit de référence de tension de type bandgap à multiplicateur β basée sur l'amplificateur opérationnel est comparativement beaucoup plus petit que celui causé par le problème de l'offset de l'amplificateur opérationnel. D'autre part, le PSRR limité de l'AO a le même effet gênant que celui du gain en boucle ouverte limité de l'AO dans le circuit de référence de tension de type bandgap à multiplicateur β [128].

Dans la suite, nous proposons une méthode pour réduire l'effet indésirable de la tension de décalage, ainsi une méthode pour améliorer le PSRR de la référence de tension.

2.5 Mesures des performances d'une référence de tension

Les performances importantes d'une référence de tension sont : le coefficient de température CT(V_{REF}) de la tension de sortie, la régulation de ligne de RL_{REF}, la réjection d'ondulation de l'alimentation $PSRR_{REF}$, et le courant de consommation tiré de l'alimentation $I_{Q,REF}$.

2.5.1 Coefficient de température

Vu que les paramètres des composants microélectroniques varient avec la température [128], la tension de sortie V_{REF} sera affectée par une dérive de température. Le coefficient de température CT(V_{REF}) de V_{REF} est défini comme la Variation de V_{REF} par rapport à une plage de température spécifiée pour une tension d'alimentation V_I donnée (généralement la tension nominale $V_{I,nom}$). Mathématiquement, il est défini par l'équation (3.18) et exprimé en partie par million sur 1°C (ppm/°C).

$$CT(V_{REF})\Big|_{V_{I,nom}} = \frac{1}{V_{REF_{nom}}} \cdot \frac{\Delta V_{REF}}{\Delta T} \times 10^6 \qquad (3.18)$$

La figure (95) donne l'allure typique de la variation de V_{REF} en fonction de la température T, ainsi la méthode de mesure de CT(V_{REF}), où $\Delta T = T_{max} - T_{max}$, $\Delta V_{REF} = V_{REF,max} - V_{REF,min}$ et $V_{REF,nom}$ est la valeur de V_{REF} à la température nominale T_{nom}.

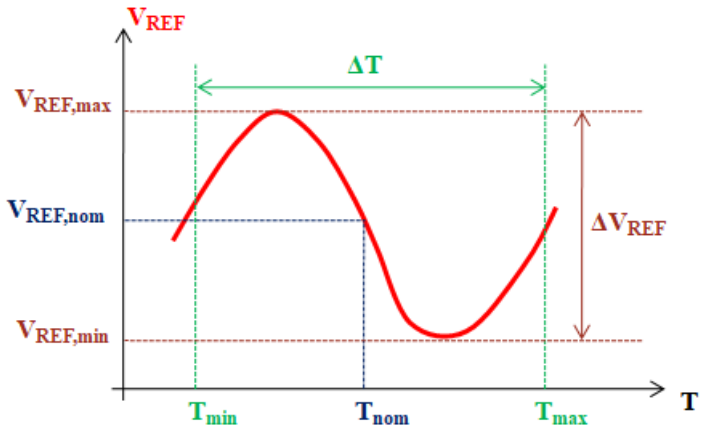

Figure 95 Allure typique de V_{REF} en fonction de la température (Coefficient de température).

2.5.2 Régulation de ligne

La régulation de ligne d'une référence de tension est la variation de la tension V_{REF} générée à la sortie de la référence de tension par rapport à une plage de la tension d'alimentation V_I à une température donnée (généralement la température nominale T_{nom}). Mathématiquement, elle est définie par l'équation (3.19) et exprimée en (µV/V) ou donnée en pourcentage (%).

$$RL_{REF}\big|_{T_{nom}} = \frac{\Delta V_{REF}}{\Delta V_I} \tag{3.19}$$

La figure (96) donne l'allure typique de la variation de V_{REF} en fonction de la tension d'entrée V_I, ainsi la méthode de mesure de RL_{REF}, où $\Delta V_I = V_{I,max} - V_{I,min}$, $\Delta V_{REF} = V_{REF,max} - V_{REF,min}$ et $V_{REF,nom}$ est la valeur de V_{REF} pour le fonctionnement du circuit sous la tension d'alimentation nominale $V_{I,nom}$.

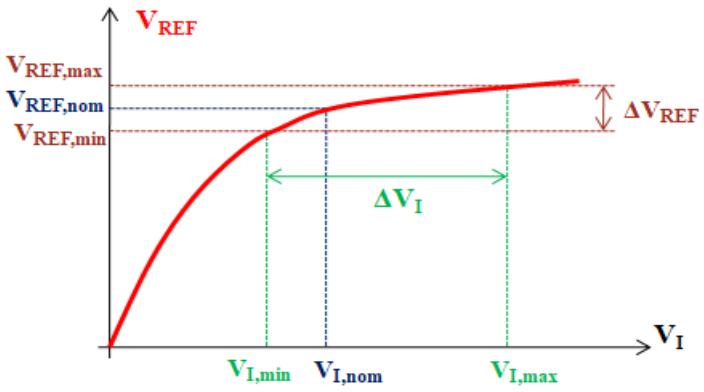

Figure 96 Allure typique de la variation de V_{REF} en fonction de la tension d'alimentation V_I.

2.5.3 Réjection d'ondulation de l'alimentation pour V_{REF}

La réjection d'ondulation de l'alimentation d'une référence de tension, notée $PSRR_{REF}$, est la capacité du circuit de la référence de tension à rejeter le bruit et d'autres signaux parasites à une fréquence particulière provenant du chemin de la tension d'alimentation V_I, et à fournir une tension de référence V_{REF} stable. Comme pour le régulateur LDO, le $PSRR_{REF}$ d'une référence de tension est une fonction de la fréquence f, et il est défini par l'équation (3.20) et s'exprime en dB.

$$PSRR_{REF}(f) = 20\log\frac{v_{ref}(f)}{v_i(f)} \tag{3.20}$$

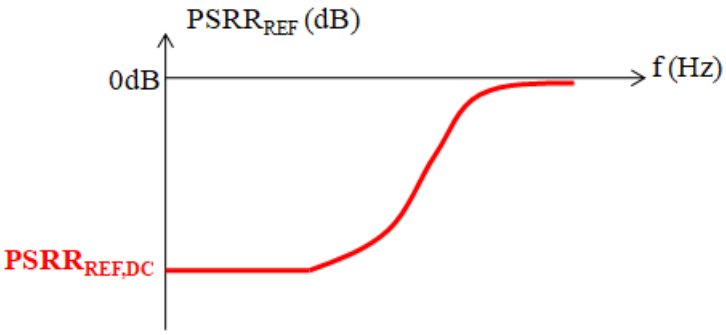

Figure 97 Allure typique du $PSRR_{REF}$ d'une référence de tension.

La figure (97) donne, à titre indicatif, l'allure typique du $PSRR_{REF}$. Comme on a observé dans le cas d'un régulateur LDO, le PSRR d'une référence de tension est limité en haute fréquence.

2.5.4 Courant de consommation

Le courant de consommation ou courant de repos, $I_{Q,REF}$, également connu sous le nom de courant tiré de l'alimentation, est le courant nécessaire pour faire fonctionner le circuit de référence de tension en régime permanent sans charge résistive. Dans les conditions nominales $V_{I,nom}$ et T_{nom} , le courant de consommation est égal à $I_{Q,REF,,nom}$ avec $R_{Ch}=\infty$, tel que I_{Ch} est égal à 0. En conséquence, $V_{I,nom}\times I_{Q,REF,nom}$ est la puissance consommée en régime permanent du circuit de référence de tension dans les conditions nominales. Un circuit de référence de tension avec un courant de consommation faible est souhaitable pour deux raisons. Premièrement, un courant de repos faible implique un rendement élevé et assure de longues heures de fonctionnement du circuit de référence de tension pour les applications avec une alimentation électrique limitée, comme les dispositifs alimentés par batterie. Deuxièmement, un circuit de référence de tension qui a un courant de repos faible, il a une

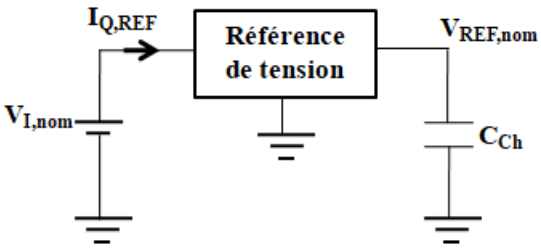

Figure 98 Mesure du courant de consommation dans une référence de tension.

faible dissipation de puissance et donc un petit effet d'auto-échauffement qui aide à maintenir la précision et la stabilité de la tension de sortie du circuit de référence de tension. La figure (98), montre le circuit test de la mesure de $I_{Q,REF}$ où C_{Ch} est le condensateur de charge.

3 La référence de tension de type bandgap sous-1V proposée

3.1 Circuit proposé de la référence de tension

Le schéma de la BGVR sous-1V proposée est présenté sur la figure (99). Un schéma de régulateur en mode courant est inséré pour assurer une isolation entre la tension d'alimentation V_I et les tensions qui vont alimenter l'amplificateur opérationnel et le bloc générateur de la tension de référence V_{REF} dont le but est d'atténuer les ondulations introduites par V_I dans la tension V_{REF} et par conséquent atteindre un PSRR élevé. La référence de tension proposée nécessite un circuit de démarrage pour la régler à un point de fonctionnement convenable.

3.2 Conception de l'amplificateur opérationnel de la référence de tension proposée

L'amplificateur opérationnel utilisé incluant le circuit de polarisation est représenté sur la figure (100). Nous avons choisi une structure à deux étages pour obtenir des hautes performances. Le premier étage est constitué d'une paire différentielle M_9-M_{10} de type NMOS et une charge formée par un miroir de courant cascode auto-polarisé constitué des transistors PMOS M_{11}, M_{12}, M_{14} et M_{15} et des deux résistances R_B [33]. Dans le deuxième étage, la structure cascode est utilisée encore une fois pour augmenter davantage le gain global de l'AO. Pour stabiliser l'amplificateur opérationnel, une compensation de fréquence est nécessaire. Pour cela, on a utilisé la compensation de Miller avec résistance d'annulation. Le réseau de compensation est construit par la capacité C_M et la résistance R_M. Le gain statique $A_{v0,REF}$ de l'AO est approximé par l'équation (3.21), où $g_{m9,10}$ est la transconductance commune de M_9 et M_{10} et $r_{o,10}$ et la résistance drain-source équivalente en régime dynamique du transistor M_{10}. $g_{m,13}$ est la transconductance du transistor M_{13} et $r_{o,20}$ est la résistance drain-source équivalente en régime dynamique du transistor M_{20} qui est égale à la résistance de sortie du deuxième étage de l'AO. R_B représente la résistance d'auto-polarisation du miroir de courant cascode de l'étage différentiel de l'AO.

$$A_{v0,REF} \approx g_{m9,10}(R_B + r_{o,10})g_{m13}r_{o,20} \tag{3.21}$$

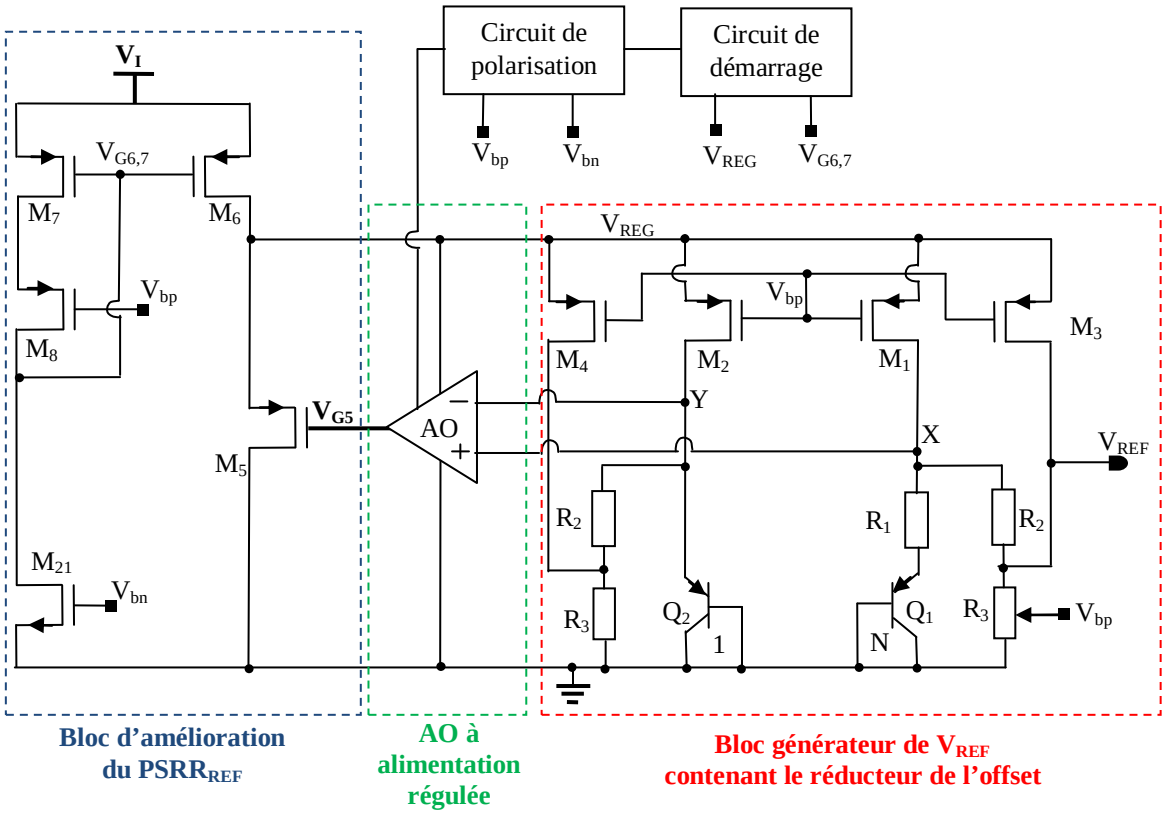

Figure 99 Circuit de la référence de tension sous-1V proposée.

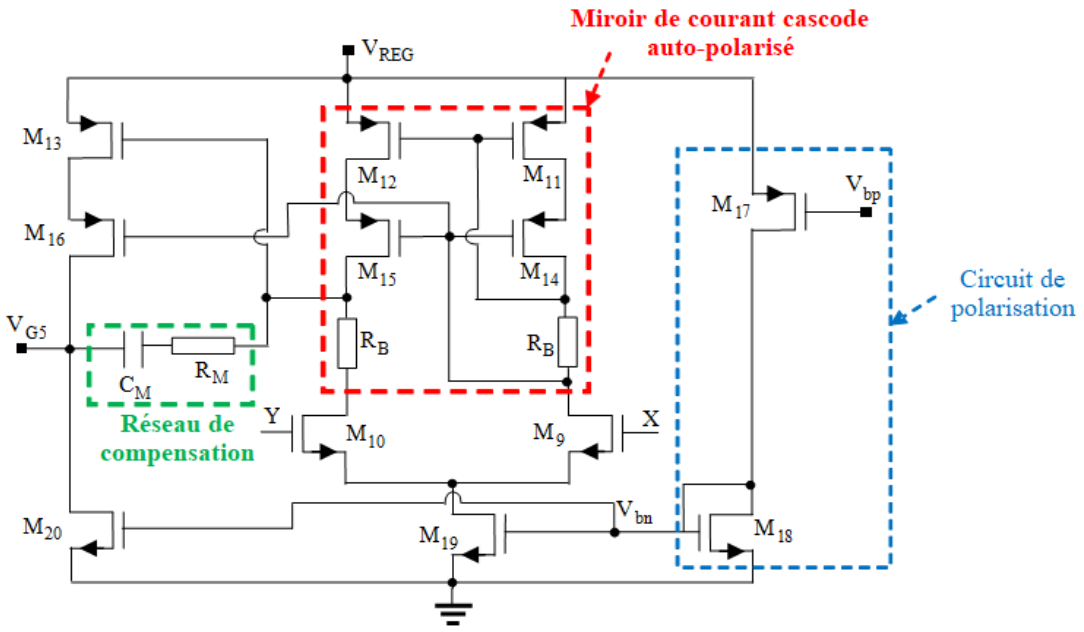

Figure 100 Amplificateur d'erreur proposé pour la référence de tension.

A cause du fonctionnement en basse tension de l'amplificateur opérationnel qui est alimenté par la tension régulée V_{REG} issue du bloc d'amélioration du PSRR, la tension V_{REG}

exprimée par l'équation (3.22) peut descendre au dessous de 1V si V_I=1,2V. Par conséquent, la taille des transistors M_9-M_{10} de la paire différentielle est conçue de façon que ces deux transistors opèrent dans la région sous-seuil. Le courant de drain de M_9-M_{10} est donné par l'équation (3.23), où I_{D0} est le courant de fuite drain-substrat qui dépend de la technologie dont l'expression est donnée par l'équation (3.24) [129].

$$V_{REG} = V_I - V_{SD6} \tag{3.22}$$

$$I_{D9,10} = I_{D0} \cdot \left(\frac{W}{L}\right)_{9,10} .e^{\frac{V_{GS9,10}}{nU_T}} \tag{3.23}$$

$$I_{D0} = \mu_n C'_{ox} (n-1) U_T^2 .e^{-\frac{V_{th,n}}{n.U_T}} \tag{3.24}$$

Nous avons utilisé la méthode de conception des amplificateurs opérationnels cascodes décrite dans [33] pour trouver Les tailles (W/L) des transistors de l'AO de la figure (100). Les tailles des transistors M_{17} et M_{18} du circuit de polarisation sont déterminées de façon que I_{D17}=I_{D18}=10µA. La taille des transistors M_9-M_{10} est déterminée à partir de l'équation (3.23). Le tableau (27) donne les dimensions des transistors et les valeurs de R_M et C_M qui garantie la stabilité de l'AO pour toute la plage permise de la tension régulée V_{REG}.

Tableau 27 Dimensionnement des composants de l'AO de la BGVR sous-1V proposée.

Transistors	**W en (µm)**	**L en (µm)**
M_{17}	85	1
M_{18} et M_{20}	96	4
M_{19}	176	4
M_9 et M_{10}	115	1,5
M_{11}, M_{12} et M_{13}	70	1
M_{14}, M_{15} et M_{16}	22	0,3
Résistances	R_B=30kΩ, R_C =1kΩ	
Capacités	C_C=1,5pF	

3.3 Analyse et conception du bloc générateur de la BGVR sous-1V proposée

Le bloc générateur de la référence de tension sous-1V proposée utilise la même structure basse tension que le schéma conventionnel, avec quelques modifications sur le diviseur de tension résistif, afin de compenser l'erreur introduite par la tension de décalage de l'entrée de l'AO, et par conséquent d'avoir le même potentiel aux nœuds X et Y (voir la figure 99). Les

transistors PMOS M_1, M_2, M_3 et M_4, qui forment le miroir de courant, ont la même taille qui est identique à celle du transistor M_{17} du bloc de polarisation de l'AO (voir le tableau 28), de sorte que le courant de drain de chacun de ces quatre transistors soit le même tel que I_D=10µA. Le multiplicateur β consiste en deux transistors PNP Q_1 et Q_2 connectés en diode où A_{E2}=N.A_{E1}, dont le rôle est de générer les tensions V_{PTAT}=ΔV_{EB}=V_{EB2}−V_{EB1} et V_{CTAT}=V_{EB2}.

Établissons l'expression littérale de la tension de référence V_{REF} générée, nous avons:

$$V_{REF} = R_3.I_{R3} \tag{3.25}$$

Où I_{R3} est le courant circulant dans le conducteur ohmique de résistance R_3 dont l'expression est donnée par :

$$I_{R3} = I_{R2} + I_D \tag{3.26}$$

Où I_{R2} est le courant traversant le conducteur ohmique de résistance R_2 dont l'expression est donnée par l'équation (3.27), où V_{R2} représente la tension entre les bornes de la résistance R_2.

$$I_{R2} = \frac{V_{R2}}{R_2} \tag{3.27}$$

On a aussi, pour V_X=V_Y :

$$I_D = I_{R1} + I_{R2} \tag{3.28}$$

Et,

$$R_1.I_{R1} + V_{EB1} = V_{EB2} \tag{3.29}$$

Donc,

$$I_{R1} = \frac{V_{EB2} - V_{EB1}}{R_1} = \frac{\Delta V_{EB}}{R_1} \tag{3.30}$$

D'après l'équation (3.11), on a ΔV_{EB}=ln(N).U_T, et par conséquent le courant proportionnel à la température I_{PTAT} traversant la résistance R_1 peut s'écrire sous la forme:

$$I_{R1} = I_{PTAT} = \frac{\ln(N)}{R_1}.U_T \tag{3.31}$$

En remplaçant les équations (3.26)-(3.28) et (3.30) dans l'équation (3.25), on aura :

$$V_{REF} = R_3[\frac{2V_{R2}}{R_2} + \frac{\ln(N)}{R_1}U_T] \tag{3.32}$$

D'autre part, pour V_X=V_Y, la tension entre les bornes de la résistance R_2 est:

$$V_{R2} = V_{EB2} - V_{REF} \tag{3.33}$$

En substituant l'équation (3.33) dans l'équation (3.32), on trouve l'expression de V_{REF}, telle que :

$$V_{REF} = K_R[V_{EB2} + \frac{R_2}{2R_1}\ln(N).U_T] \tag{3.34}$$

Avec,

$$K_R = \frac{2R_3}{R_2 + 2R_3} \tag{3.35}$$

Si on tient en compte de la tension de décalage V_{OS} de l'AO, nous aurons V_X=V_Y+V_{OS}, alors l'expression de V_{REF} devient :

$$V_{REF} = K_R[V_{EB2} + \frac{R_2}{2R_1}\ln(N).U_T + \frac{R_2}{2R_1}V_{OS}] \tag{3.36}$$

En comparant les deux équations (3.15) et (3.36), nous constatons que le facteur amplifiant la valeur de l'offset V_{OS} est réduit en moitié dans l'architecture proposée du diviseur résistif de la BGVR sous-1V (figure 99) par rapport à celui de la BGVR sous-1V conventionnelle. Ce résultat a été aussi atteint par la technique de compensation de l'offset proposée dans [125], mais les auteurs ont utilisé quatre transistors bipolaires au lieu de deux ce qui augmente la surface du circuit intégré.

Pour trouver les valeurs des résistances, nous avons cherché la condition pour obtenir $CT(V_{REF})\approx 0$ à $T=T_{nom}$. Dérivons l'équation (3.32) par rapport à la température absolue T :

$$\frac{\partial V_{REF}}{\partial T} = K_R[\frac{\partial V_{EB2}}{\partial T} + \frac{R_2}{2R_1}\ln(N)\frac{\partial U_T}{\partial T}] \quad (3.37)$$

Pour avoir CT(V_{REF})≈0, Il faut avoir $\frac{\partial V_{REF}}{\partial T} = 0$, d'où on obtient :

$$\frac{R_2}{2R_1}\ln(N) = -\frac{\partial V_{EB2}/\partial T}{\partial U_T/\partial T} \quad (3.38)$$

Pour la technologie CMOS 0,18µm utilisée dans notre conception, on a pour $I_{PTAT}=I_{E2}=10\mu A$ (courant de l'émetteur de Q_2), $\frac{\partial V_{EB2}}{\partial T} \approx -1{,}89\,mV.K^{-1}$ (valeur trouvée par simulation), et on a aussi $\frac{\partial U_T}{\partial T} \approx 0{,}09\,mV.K^{-1}$, d'où on obtient :

$$\frac{R_2}{2R_1}\ln(N) = 21 \quad (3.39)$$

La valeur de N est fixée à 8 pour des raisons d'optimisation de la surface du circuit, d'où on obtient :

$$R_2 = 20{,}2 \times R_1 \quad (3.40)$$

La valeur de R_1 est calculée à partir de l'équation (3.31) pour un courant $I_{PTAT}=10\mu A$, d'où :

$$R_1 = \frac{U_T \ln(N)}{I_{PTAT}} = \frac{0{,}0259 \times \ln(8)}{10.10^{-6}} \approx 5{,}386k\Omega \quad (3.41)$$

En utilisant l'équation (3.40), on déduit la valeur de R_2, d'où on trouve que R_2≈108,8kΩ. La valeur de R_3 est déterminée en fonction de la valeur désirée de V_{REF}. La structure basse tension proposée de la référence de tension peut générer arbitrairement une valeur inférieure à 1V. Mais du fait que la référence de tension sera utilisé comme tension interne de comparaison dans le régulateur LDO, nous avons choisie V_{REF}=0,635V. Cette valeur a été justifiée dans le chapitre 2.

D'après l'équation (3.32), on a :

$$K_R = \frac{V_{REF}}{[V_{EB2} + \frac{R_2}{2R_1}\ln(N).U_T]} \quad (3.42)$$

Pour la technologie CMOS 0,18µm, la tension base-émetteur d'un transistor PNP opérant dans la région active est égale à V_{EB}=0,65V, d'où on obtient la valeur de K_R :

$$K_R = \frac{0,635}{(0,65 + 21 \times 0,0259)} \approx 0,53 \quad (3.43)$$

D'après l'équation (3.35), on déduit la valeur de R_3, telle que :

$$R_3 = \frac{R_2}{2(\frac{1}{K_R} - 1)} = \frac{108,8}{2(\frac{1}{0,53} - 1)} \approx 61,34k\Omega \quad (3.44)$$

Notons que les valeurs finales des résistances calculées à la main, doivent être ajustées lors de la simulation du circuit pour obtenir une valeur optimale du coefficient de température de V_{REF} sur toute la plage de température requise.

3.4 Fonctionnement en basse tension du circuit de la BGVR sous-1V proposée

La tension d'alimentation minimale permettant de garantir le bon fonctionnement du circuit proposé et d'obtenir une tension de sortie V_{REF} inférieure à 1V avec une faible variation dans la plage de température requise est conditionnée par la saturation des transistors M_3-M_4 du miroir de courant est les transistors M_6-M_7 du bloc régulateur de la tension d'alimentation V_I (bloc d'amélioration du PSRR). Cette condition est donnée par :

$$V_I \geq V_{REF} + V_{SD_{sat\,3,4}} + V_{SD_{sat\,6,7}} \quad (3.45)$$

Où $V_{SD_{sat\,3,4}}$ est la tension de saturation des transistors M_3-M_4 et $V_{SD_{sat\,6,7}}$ est la tension de saturation des transistors M_6-M_7. Supposons que tous les transistors MOS ont la même valeur de la tension de saturation qui vaut 0,2V, pour générer une tension de sortie V_{REF}=0,635V, une valeur minimale de 1,05V de la tension de l'alimentation est suffisante pour mettre les transistors M_3-M_4 et M_6-M_7 en état de saturation.

Une autre contrainte sur la tension d'alimentation V_I est reliée à la tension V_{EB2} du transistor bipolaire Q_2 et les tensions de saturation des transistors MOS M_1-M_2 et M_6-M_7, donnée par :

$$V_I \geq V_{EB2} + V_{SD_{sat}1,2} + V_{SD_{sat}6,7} \tag{3.46}$$

Où $V_{SD_{sat}1,2}$ est la tension de saturation de M_1-M_2 (transistors de miroir de courant). En raison de l'augmentation drastique de V_{EB2} par rapport à la diminution de la température, la valeur de V_{EB2} doit être prise à la température de fonctionnement la plus basse dans l'inéquation (3.46). En supposant qu'une valeur raisonnable du courant de l'émetteur du transistor Q_2 autour de 10µA provoque une valeur de V_{EB2} autour de 0,65V à la température ambiante, la valeur de V_{EB2} sera supérieure à 0,7V (valeur estimée par simulation comme le montre la figure 101) pour une température inférieure à −40°C (voir la plage de température spécifiée dans le cahier de charge du tableau 3). Par conséquent, la tension d'alimentation minimale requise pour la marge de sécurité est de 1,2V pour un fonctionnement correct dans la plage de température inférieure à −40°C.

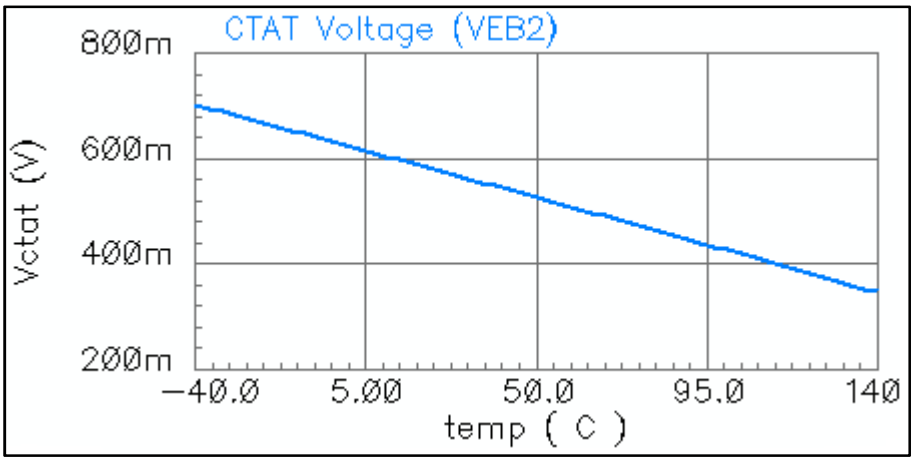

Figure 101 Variation de la tension V_{EB2} du transistor PNP Q_2 dans la plage de température −40°C -140 °C.

3.5 Analyse et conception du bloc d'amélioration du $PSRR_{REF}$

Afin de réduire les ondulations de la tension d'alimentation qui influent directement sur les performances du PSRR, un étage de pré-régulation est ajouté pour isoler la tension d'alimentation V_I de la tension d'alimentation de l'amplificateur opérationnel et de la tension d'alimentation du bloc générateur de V_{REF}.

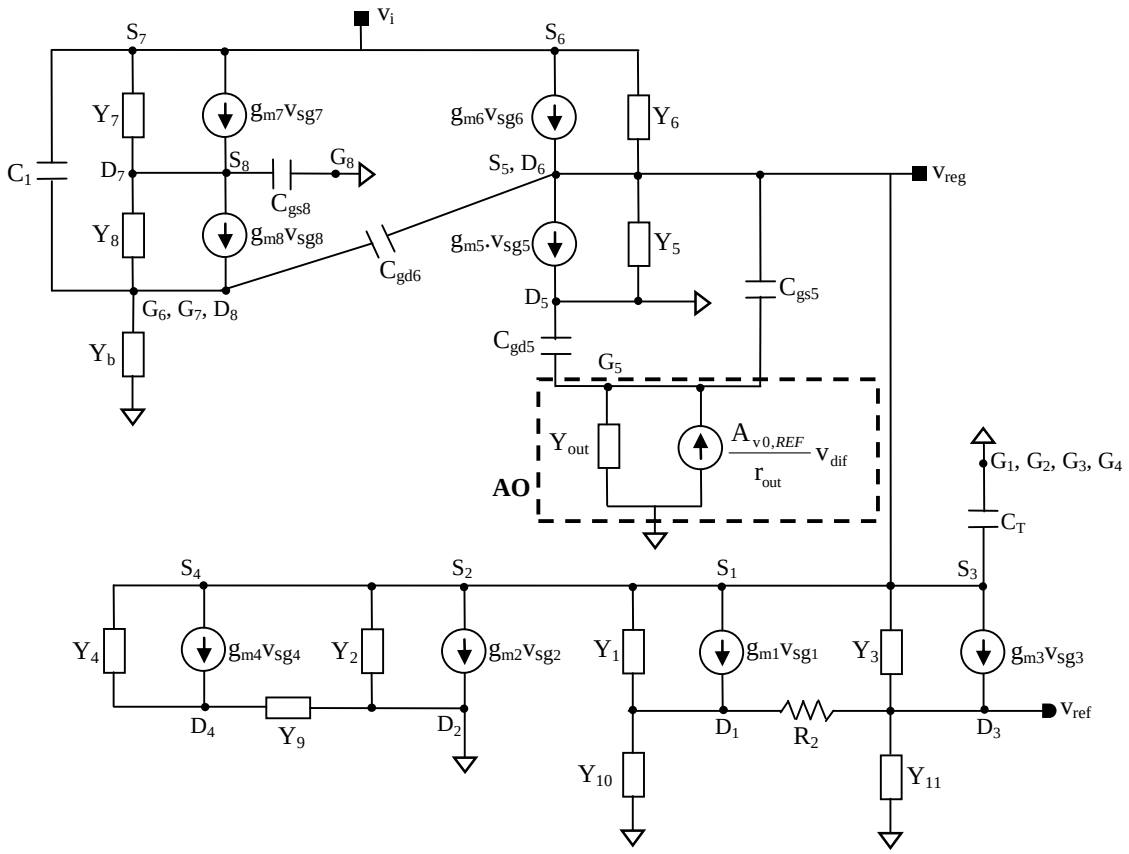

Figure 102 Modèle équivalent petit-signal hautes fréquences pour le calcul du $PSRR_{REF}$.

Pour établir l'expression du $PSRR_{REF}$, le modèle petit signal haute fréquence du circuit proposé de la figure (99) est réalisé (voir la figure 102), où Y_i représente l'admittance vue entre le nœud S_i (source du transistor PMOS M_i) et le nœud D_i (drain du transistor PMOS M_i) pour i=1,2,…,8. Pour le calcul du $PSRR_{REF}$, une méthode similaire à celle utilisée dans [130] est appliquée. L'effet substrat est ignoré pour les transistors PMOS M_1-M_4 du miroir de courant du bloc générateur de V_{REF} et aussi pour les transistors M_5 et M_8 du bloc d'amélioration du $PSRR_{REF}$. Les transistors bipolaires Q_1 et Q_2 sont court-circuités. La tension v_{dif} présentée sur la figure (102) est la partie variable de la tension d'entrée différentielle de l'amplificateur opérationnel (AO). On désignera par g_{mi} la transconductance du transistor MOS M_i, g_{oi} sa conductance drain-source et r_{oi} sa résistance drain-source en régime dynamique, tandis que C_{gsi}, C_{gdi} et C_{dbi} sont respectivement les condensateurs parasites inter-électrodes grille-source, grille-drain et drain-substrat du transistor M_i. r_{out} représente la résistance de sortie de l'AO et Y_{out} l'admittance de sortie vue entre le nœud de sortie de l'AO et la masse. On a :

$$PSRR_{REF}(s) = \frac{v_{ref}(s)}{v_i(s)} \tag{3.47}$$

Où $v_i(s)$ est la partie variable en haute fréquence de la tension continue V_I, $v_{ref}(s)$ est la partie variable en haute fréquence de la tension continue V_{REF} et s est la variable complexe de Laplace. On peut écrire que:

$$PSRR_{REF}(s) = \frac{v_{ref}(s)}{v_{reg}(s)} \times \frac{v_{reg}(s)}{v_i(s)} \tag{3.48}$$

Où $v_{reg}(s)$ est la partie variable en haute fréquence de la tension continue V_{REG}. Pour simplifier la notation, la variable complexe s sera omis par la suite dans les symboles des tensions.

Au nœud D_3, la loi des nœuds donne:

$$(g_{m3} + Y_3).v_{reg} + R_2^{-1}.v_{d1} = (Y_3 + Y_{11} + R_2^{-1}).v_{ref} \tag{3.49}$$

$$Y_3 = g_{o3} + C_{db3}s \tag{3.50}$$

$$Y_{11} = R_3^{-1} + C_{gd3}s \tag{3.51}$$

Où, v_{d1} est la partie variable en haute fréquence de la tension continue V_{D1}. Au nœud D_1, la loi des nœuds donne:

$$v_{d1} = \frac{(g_{m1} + Y_1)}{(Y_1 + Y_{10} + R_2^{-1})}.v_{reg} + \frac{R_2^{-1}}{(Y_1 + Y_{10} + R_2^{-1})}.v_{ref} \tag{3.52}$$

$$Y_1 = g_{o1} + C_{db1}s \tag{3.53}$$

$$Y_{10} = R_1^{-1} + C_{gd1}s \tag{3.54}$$

En substituant l'équation (3.52) dans l'équation (3.49), on obtient:

$$\frac{v_{ref}}{v_{reg}} = \frac{N_1(s)}{D_1(s)} \tag{3.55}$$

$$N_1(s) = (g_{m3} + Y_3).(Y_1 + Y_{10} + R_2^{-1}) + R_2^{-1}.(g_{m1} + Y_1) \tag{3.56}$$

$$D_1(s) = (Y_3 + Y_{11}).(Y_1 + Y_{10} + R_2^{-1}) + R_2^{-1}.(Y_1 + Y_{11}) \tag{3.57}$$

Au nœud D_6, la loi des nœuds donne:

$$N_4(s).v_{reg} = Y_4.v_{d4} + Y_1.v_{d1} + Y_3.v_{ref} + (g_{m5} + Y_6).v_i + (g_{m6} + C_{gd6}s).v_{g6} + (g_{m5} + C_{gs5}s).v_{g5} \quad (3.58)$$

Où,

$$N_4(s) = [g_{mT} + Y_T + g_{m5} + Y_5 + Y_6 + (C_{gd6} + C_{gs5} + C_T)s] \quad (3.59)$$

$$g_{mT} = g_{m1} + g_{m2} + g_{m3} + g_{m4} \quad (3.60)$$

$$Y_T = Y_1 + Y_2 + Y_3 + Y_4 \quad (3.61)$$

$$C_T = C_{gs1} + C_{gs2} + C_{gs3} + C_{gs4} \quad (3.62)$$

$$Y_2 = g_{o2} + C_{db2}s \quad (3.63)$$

$$Y_4 = g_{o4} + C_{db4}s \quad (3.64)$$

$$Y_5 = g_{o5} + C_{db5}s \quad (3.65)$$

$$Y_6 = g_{o6} + C_{db6}s \quad (3.66)$$

Dans l'équation (3.58), les tensions v_{d4}, v_{g5} et v_{g6} représentent respectivement les parties variables en haute fréquence des tensions continues V_{D4}, V_{G4} et V_{G6}.

Au nœud D_4, la loi des nœuds donne :

$$v_{d4} = \frac{(g_{m4} + Y_4)}{(Y_1 + Y_9)}.v_{reg} \quad (3.67)$$

$$Y_9 = (R_2 // R_3)^{-1} + C_{gd4}s \quad (3.68)$$

Au nœud G_5, la loi des nœuds donne:

$$v_{g5} = \frac{A_{v0,REF}}{r_{out}.[Y_{out} + (C_{gd5} + C_{gs5})s]}.v_{d1} + \frac{C_{gs5}s}{[Y_{out} + (C_{gd5} + C_{gs5})s]}.v_{reg} \quad (3.69)$$

Où $Y_{out} = r_{out}^{-1} + C_{out}s$ et C_{out} est la capacité équivalente de tous les condensateurs connectés entre le nœud de sortie de l'AO et la masse. L'équation (3.69) peut s'écrire comme suit :

$$v_{g5} = \frac{A_{v0,REF}}{[1 + r_{out}(C_{out} + C_{gd5} + C_{gs5})s]}.v_{d1} + \frac{r_{out}C_{gs5}s}{[1 + r_{out}(C_{out} + C_{gd5} + C_{gs5})s]}.v_{reg} \quad (3.70)$$

En remplaçant l'équation (3.52) dans l'équation (3.70), on obtient :

$$v_{g5} = \frac{1}{[1 + r_{out}(C_{out} + C_{gd5} + C_{gs5})s]} \left(\frac{A_{v0,REF} R_2^{-1}}{(Y_1 + Y_{10} + R_2^{-1})} . v_{ref} + [\frac{A_{v0,REF}(g_{m1} + Y_1)}{(Y_1 + Y_{10} + R_2^{-1})} + r_{out} C_{gs5} s] . v_{reg} \right) \quad (3.71)$$

Au nœud G_6, la loi des nœuds donne:

$$[Y_b + (C_1 + C_{gd6})s] . v_{g6} = C_1 s . v_i + C_{gd6} . v_{reg} + (g_{m8} + Y_8) . v_{s8} \quad (3.72)$$

$$Y_b = R_b^{-1} + C_{gd8} s \quad (3.73)$$

$$C_1 = C_{gs6} + C_{gs7} \quad (3.74)$$

$$Y_8 = g_{o8} + C_2 s \quad (3.75)$$

$$C_2 = C_{db8} + C_{gd7} \quad (3.76)$$

Où v_{s8} est la partie variable en haute fréquence de la tension continueV_{S8} et R_b représente la résistance de sortie équivalente de la source de courant du circuit de polarisation. D'autre part, Au nœud S_8, la loi des nœuds donne:

$$v_{s8} = \frac{(g_{m7} + Y_7)}{(g_{m8} + Y_8 + Y_7 + C_{gs8} s)} . v_i + \frac{(Y_8 - g_{m7})}{(g_{m8} + Y_8 + Y_7 + C_{gs8} s)} . v_{g6} \quad (3.77)$$

$$Y_7 = g_{o7} + C_{db7} s \quad (3.78)$$

En substituant l'équation (3.77) dans l'équation (3.72), on obtient:

$$v_{g6} = \frac{N_2(s)}{D_2(s)} . v_i + \frac{N_3(s)}{D_2(s)} . v_{reg} \quad (3.79)$$

Où,

$$N_2(s) = C_1 s(g_{m8} + Y_7 + Y_8 + C_{gs8} s) + (g_{m8} + Y_8) . (g_{m7} + Y_7) \quad (3.80)$$

$$N_3(s) = C_{gd6} s(g_{m8} + Y_7 + Y_8 + C_{gs8} s) \quad (3.81)$$

$$D_2(s) = [Y_b + (C_1 + C_{gd6})s] . (g_{m8} + Y_8 + Y_7 + C_{gs8} s) + (g_{m7} - Y_8) . (g_{m8} + Y_7) \quad (3.82)$$

En substituant les équations (3.52), (3.55), (3.67), (3.71) et (3.79) dans l'équation (3.58), on obtient:

$$\frac{v_{reg}}{v_i} = \frac{(g_{m5} + g_{m6} + Y_6 + C_{gd6} s) . N_2(s) . D_3(s) . D_1(s)}{D_4(s) - [D_5(s) + D_6(s) + D_7(s) + D_8(s)]} \quad (3.83)$$

Où,

$$D_3(s) = [1 + r_{out}(C_{out} + C_{gd5} + C_{gs5})s].(Y_1 + Y_{10} + R_2^{-1}) \tag{3.84}$$

$$D_4(s) = N_4(s).D_3(s).D_1(s).D_2(s) \tag{3.85}$$

$$D_5(s) = D_1(s).D_3(s).\left[\frac{D_2(s).Y_4.(g_{m4} + Y_4)}{(Y_4 + Y_9)} + N_3(s).(g_{m6} + C_{gd5}s)\right] \tag{3.86}$$

$$D_6(s) = D_1(s).D_2(s).Y_1.(g_{m1} + Y_1).[1 + r_{out}(C_{gd5} + C_{gd5} + C_T)s] \tag{3.87}$$

$$D_7(s) = D_1(s).D_2(s).(g_{m5} + C_T s).[A_{v0,REF}(g_{m1} + Y_1) + (Y_1 + Y_{10} + R_2^{-1})r_{out}C_T s] \tag{3.88}$$

$$D_8(s) = N_1(s)\,D_2(s)[Y_3D_3(s) + Y_1R_2^{-1}[1 + r_{out}(C_{out} + C_{gd5} + C_T)s] + (g_{m5} + C_T s)\,A_{v0,REF}\,R_2^{-1}] \tag{3.89}$$

En substituant les équations (3.55) et (3.83) dans l'équation (3.48), on trouve :

$$PSRR_{REF}(s) = \frac{(g_{m5} + g_{m6} + Y_6 + C_{gd6}.s).N_2(s).D_3(s).N_1(s)}{D_4(s) - [D_5(s) + D_6(s) + D_7(s) + D_8(s)]} \tag{3.90}$$

L'expression du $PSRR_{REF}(s)$ montre que sa fonction de transfert contient 7 pôles et 7 zéros et par conséquent, la réponse transitoire est convergente et le système de circuit proposé est stable. La valeur statique du $PSRR_{REF}$ en basse fréquence, notée $PSRR_{REF,DC}$, est obtenue en remplaçant s=0 dans tous les termes contenant la variable complexe s, ainsi on trouve :

$$PSRR_{REF,DC} = \frac{(g_{m5} + g_{m6} + g_{06}).N_2(0).D_3(0).N_1(0)}{D_4(0) - [D_5(0) + D_6(0) + D_7(0) + D_8(0)]} \tag{3.91}$$

Pour mettre en évidence la contribution du bloc d'amélioration du PSRR proposé, nous allons simplifiée l'expression du $PSRR_{REF}(s)$ en négligeant toutes les capacités parasites du schéma équivalent devant la capacité paraiste (C_{out}+C_{gs5}+C_{gd5}) connectée entre le nœud de sortie de l'AO et la masse. Par conséquent, l'expression du $PSRR_{REF}(s)$ devient :

$$PSRR_{REF}(s) \approx \frac{(R_3 // R_2)}{A_{v,REF}(s).(g_{m5}.r_{o6}).(g_{m7}.r_{o7})(g_{m8}.r_{o8}).R_1.(1 + \frac{R_3}{R_2 + R_3})} \tag{3.92}$$

Où $A_{v,REF}(s)$ est la fonction de transfert de l'amplificateur opérationnel de la BGVR sous-1V proposée, donnée par l'équation (3.93).

$$A_{v,REF}(s) = \frac{A_{v0,REF}}{[1 + r_{out}.(C_{out} + C_{gd5} + C_{gs5}).s]} \tag{3.93}$$

La valeur statique simplifiée du $PSRR_{REF,DC}$ devient alors:

$$PSRR_{REF,DC} \approx \frac{(R_3 // R_2)}{A_{v0,REF}.(g_{m5}.r_{o6}).(g_{m7}.r_{o7})(g_{m8}.r_{o8}).R_1.(1+\frac{R_3}{R_2+R_3})} \quad (3.94)$$

Comme le montre l'équation (4.94), le PSRR statique d'une référence de tension utilisant un amplificateur opérationnel est inversement proportionnel au gain statique de ce dernier. Une conception d'un AO à gain statique très élevé (≥100dB) est nécessaire pour augmenter la valeur du $PSRR_{REF}$ en basse fréquence. De plus, les équations (3.92) et (3.94) montre que la régulation de la tension d'alimentation V_I par le miroir de courant proposée M_5-M_8 (figure 99) peut améliorer la valeur du $PSRR_{REF}$ de plus de 20dB par rapport aux structures des références de tension à PSRR élevé qui existe dans la littérature. Ceci est justifiée par la présence des quantités ($g_{m5}.r_{o6}$), ($g_{m7}.r_{o7}$) et ($g_{m8}.r_{o8}$). Le dimensionnement des transistors du bloc d'amélioration du PSRR est donné par le tableau (28).

Tableau 28 Dimensionnement des transistors du bloc d'amélioration du $PSRR_{REF}$.

Transistors	W en (µm)	L en (µm)
M_{21}	96	4
M_5, M_7 et M_8	112	2,5
M_6	760	2,5

3.6 Circuit de démarrage de la référence de tension proposée

A cause des boucles multiples qui existent dans l'architecture proposée, la référence de tension nécessite un circuit de démarrage pour la fixer sur un point de fonctionnement correct. En particulier, comme la tension de polarisation V_{bp} (figure 99), du miroir de courant M_1-M_4 et des transistors M_{17} et M_8, est générée à partir de V_{REF} par division de tension à travers la résistance ajustable R_3, un circuit de démarrage simple et robuste est utilisé pour fixer cette boucle sur un point de fonctionnement correct (voir figure 105). Une partie de ce circuit est combiné avec le bloc d'amélioration du PSRR pour économiser la consommation et la surface.

Au démarrage, le transistor M_{S2}, qui est polarisé à travers V_I et le transistor M_{S1} connecté en diode, se mettent en état passant et fournissent le courant au bloc générateur de la référence de tension. Le transistor M_{17} copie une fraction du courant fourni par le miroir de courant M_1-M_4 et le transfère aux transistors de l'amplificateur opérationnel et au miroir de courant M_6-M_7 à travers les transistors M_{18}-M_{21}. Après la circulation d'un courant approprié dans tout le circuit de la référence de tension, le courant du transistor M_{S3}, qui copie une fraction du

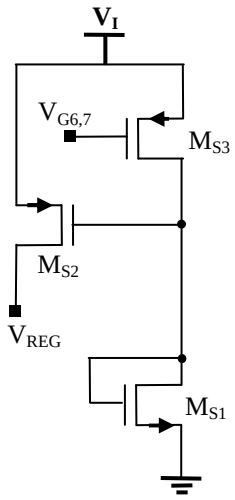

Figure 103 Circuit de démarrage de la référence de tension proposée.

courant M_6-M_7, croît et fait augmenter la tension source-grille du transistor M_{S2} vers une tension proche de la tension d'alimentation V_I. L'augmentation de la tension source-grille du transistor M_{S1} pousse le transistor M_{S3} vers la région linéaire, alors le transistor M_{S2} devient en état bloqué.

Le dimensionnement de M_{S1} est critique car si la tension de grille de M_{S2} n'est pas assez proche de V_I, elle va empêcher le transistor M_{S2} de se mettre complètement à l'état bloqué. Pour garantir un blocage complet du transistor M_{S2} dans le pire des cas, le dimensionnement correct de M_{S1} doit être choisi pour un maximum de tension d'alimentation et pour un maximum de température de fonctionnement. La taille du transistor M_{S3} est choisie d'être identique à celle des transistors M_6-M_7 car les trois transistors sont connectés par leurs grilles. Pour M_{S2}, les dimensions sont W_{S2}=20µm et L_{S2}=1µm, tandis que les dimensions de M_{S1} valent W_{S1}=1µm et L_{S1}=4µm.

4 Résultats de simulation des performances de la BGVR sous-1V proposée

La conception proposée de la référence de tension de type bandgap a été simulée en technologie UMC CMOS 0,18µm sous la plateforme Cadence Virtuoso. La figure (104) donne le résultat de simulation de la régulation de ligne de V_{REF} à la température nominale, tandis que la figure (105) montre la mesure de la valeur de $RL_{REF}\big|_{T_{nom}}$. D'après la figure (104), on observe que circuit de la référence de tension proposée génère une tension de sortie V_{REF} de 634,5mV à la température nominale 27°C avec une tension d'alimentation d'entrée

minimale $V_{I,min}$ égale à 1,2V pour un fonctionnement correct du circuit. D'après la figure (105), la valeur de la régulation de ligne est égale à $RL_{REF}\big|_{T_{nom}=27°C} = 104{,}3\mu V/V$. Le tableau (29) résume les valeurs de la tension V_{REF} pour différentes valeurs de la tension d'alimentation V_I à la température nominale.

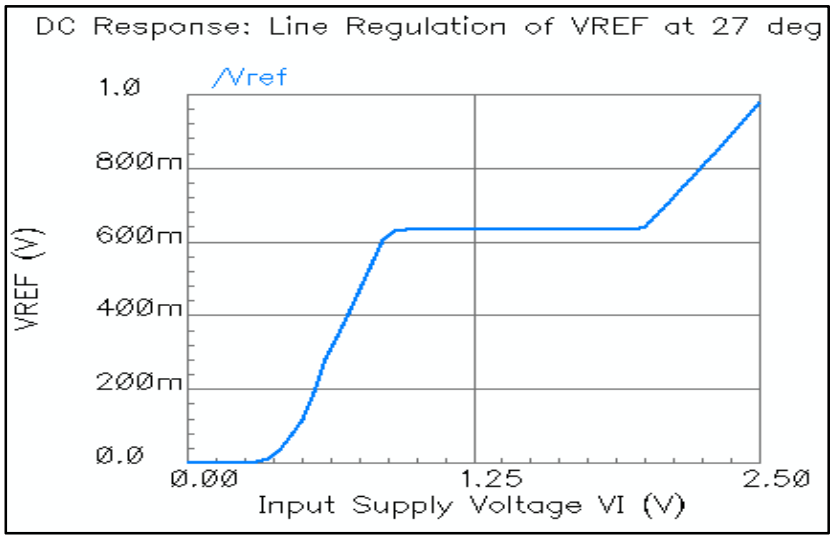

Figure 104 Régulation de ligne de la référence de tension proposée à la température nominale.

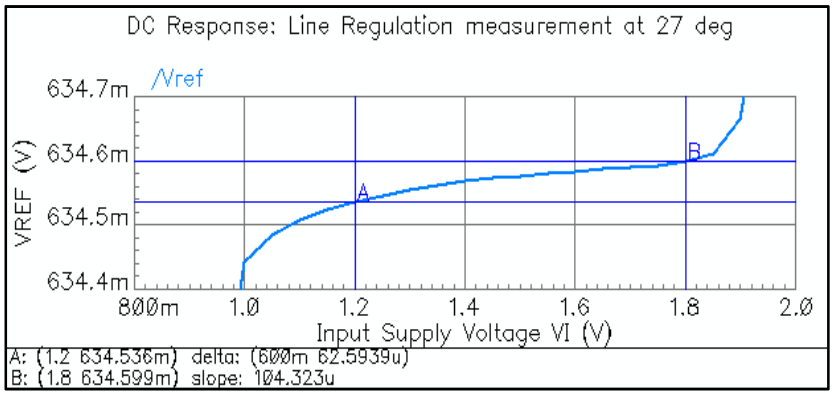

Figure 105 Régulation de ligne de la référence de tension proposée à la température nominale.

Tableau 29 Valeurs de V_{REF} pour différentes valeurs de la tension d'alimentation d'entrée VI à la température nominale.

	$V_{I,min}$=1,2V	V_I=1,3V	V_I=1,4V	V_I=1,5V	V_I=1,6V	V_I =1,7V	$V_{I,max}$ =1,8V
V_{REF} (mV)	634,516	634,534	634,547	634,556	634,563	634,569	634,578

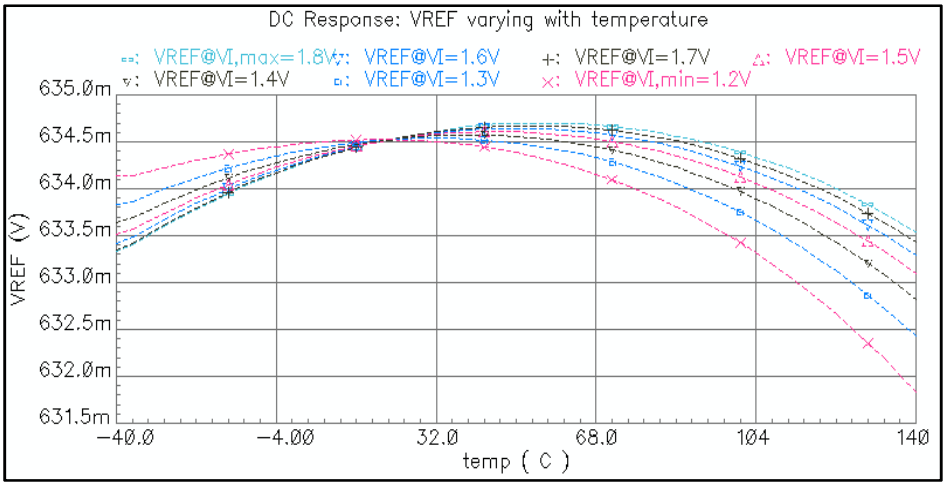

Figure 106 Simulation de la variation de V_{REF} du en fonction de la température.

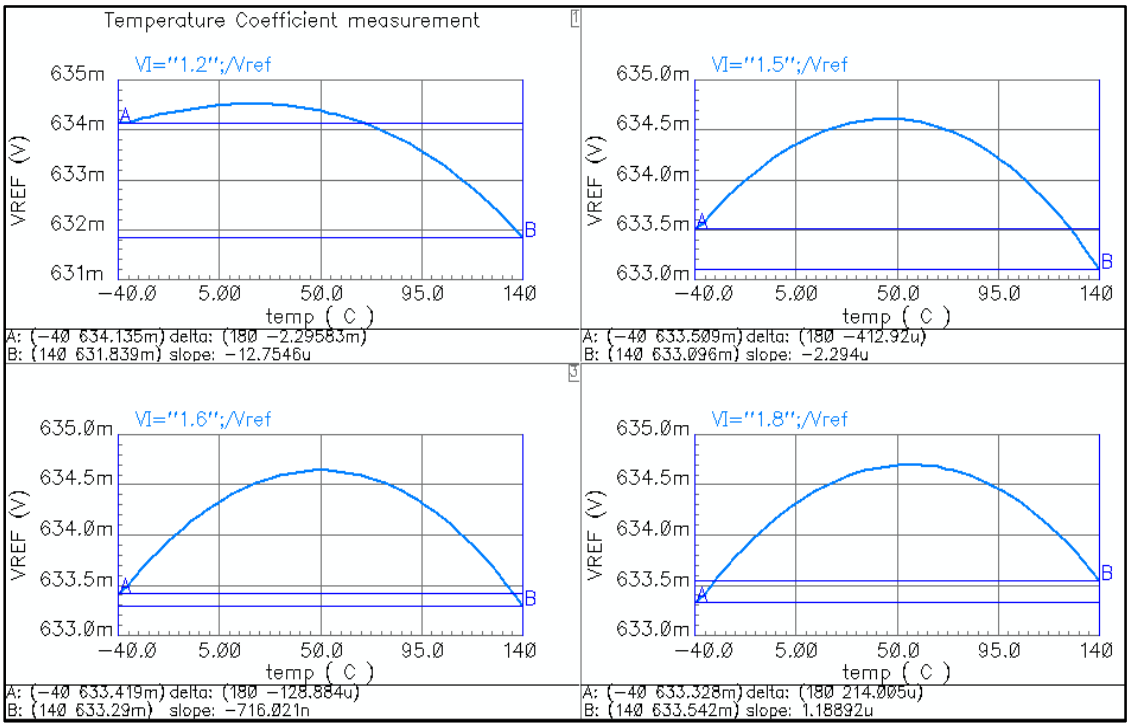

Figure 107 Mesure du CT(V_{REF}) de la référence de tension proposée pour différentes valeurs de V_I.

Tableau 30 Valeurs de CT(V_{REF}) de la référence de tension proposée pour différentes valeurs de V_I.

	$V_{I,min}$=1,2V	V_I=1,3V	V_I=1,4V	V_I=1,5V	V_I=1,6V	V_I=1,7V	$V_{I,max}$ =1,8V
CT(V_{REF}) (ppm/°C)	20,101	12,273	7,1393	3,6151	1,1284	0,71977	1,8736

La figure (106) montre la variation de V_{REF} sur une plage de température allant de −40°C à 140°C pour différentes valeurs de la tension d'alimentation V_I. La mesure du coefficient de

température $CT(V_{REF})|_{V_I}$ pour quatre valeurs différentes de V_I est démontrée sur la figure (107). Le tableau (30) résume les résultats obtenus.

Comme le montre la figure (108), la référence de tension proposée présente un bon PSRR dont la valeur reste inférieure à −60dB dans une large plage de fréquence allant de 10Hz jusqu'à 10MHz et pour toutes les valeurs de la tension d'alimentation V_I. Le tableau (31) résume les valeurs mesurées du PSRR pour différentes valeurs de V_I à la température nominale 27°C.

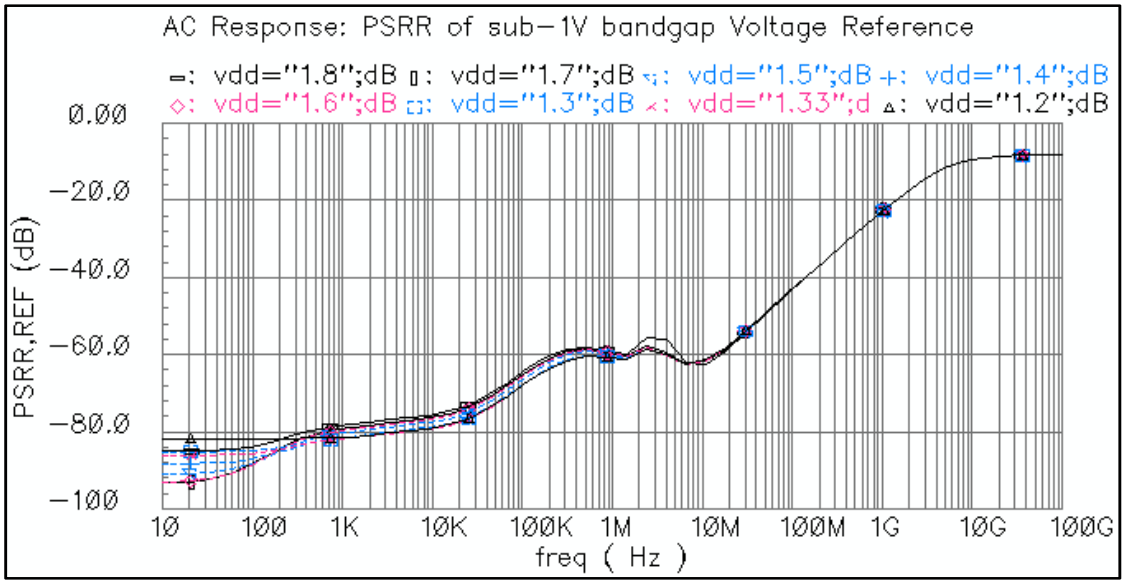

Figure 108 Simulation du PSRR de la référence de tension proposée pour différentes valeurs de la tension d'alimentation V_I.

Tableau 31 Valeurs mesurées du PSRR de la référence de tension proposée pour différentes valeurs de la tension d'alimentation V_I.

	Conditions d'opération à 27°C						
Valeur du PSRR en (dB) et fréquence	V_I=1,2V	V_I=1,33V	V_I=1,4V	V_I=1,5V	V_I=1,6V	V_I=1,7V	V_I=1,8V
PSRR @ 10Hz	−81,80	−86,18	−88,15	−90,8	−93,01	−93,19	−85
PSRR @ 100Hz	−81,79	−85,57	−87,53	−88,55	−89	−88,81	−84,36
PSRR @ 1kHz	−81,44	−81,80	−85,77	−84,52	−83,23	−83,47	−82,57
PSRR @ 10kHz	−78,96	−79,03	−85,65	−84,33	−83,62	−83,26	−82,44
PSRR @ 100kHz	−67,86	−67,92	−82,6	−81,31	−80,60	−80,26	−79,46
PSRR @ 1MHz	−60,78	−60,79	−68,32	−67,72	−67,49	−67,33	−66,9
PSRR @ 10MHz	−61,65	−62,06	−62,1	−62,12	−62,16	−62,25	−62,75
PSRR @ 100MHz	−42,92	−42,94	−42,80	−42,81	−42,82	−42,84	−42,86

La figure (109) donne les variations du courant de consommation $I_{Q,REF}$ en fonction de la tension d'alimentation V_I à la température nominale 27°C. Le tableau (32) donne les valeurs mesurées de $I_{Q,REF}$ pour différentes valeurs de V_I.

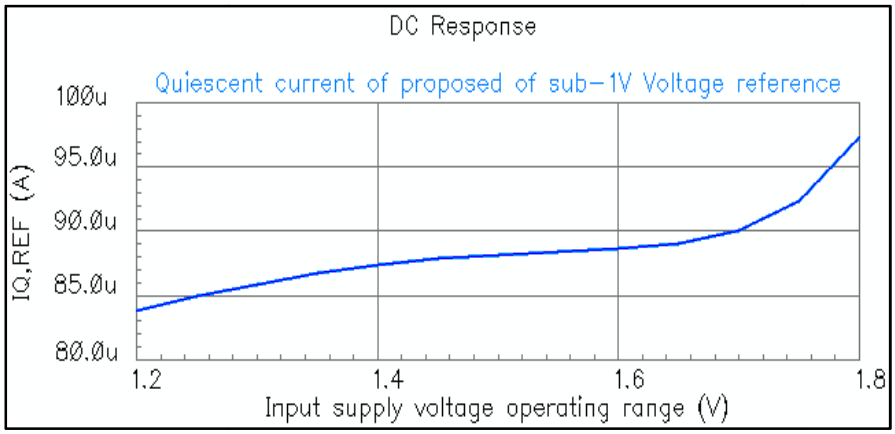

Figure 109 Courant de repos consommé par la référence de tension proposée dans toute la plage de tension d'alimentation à l température nominale 27°C.

Tableau 32 Valeurs mesurées du courant de repos $I_{Q,REF}$ de la référence de tension proposée pour différentes valeurs de V_I.

	$V_{I,min}$=1,2V	V_I=1,3V	V_I=1,4V	V_I=1,5V	V_I=1,6V	V_I=1,7V	V_I=1,8V
$I_{Q,REF}$ (µA)	83,447	85,893	87,424	88,149	88,619	90,012	97,538

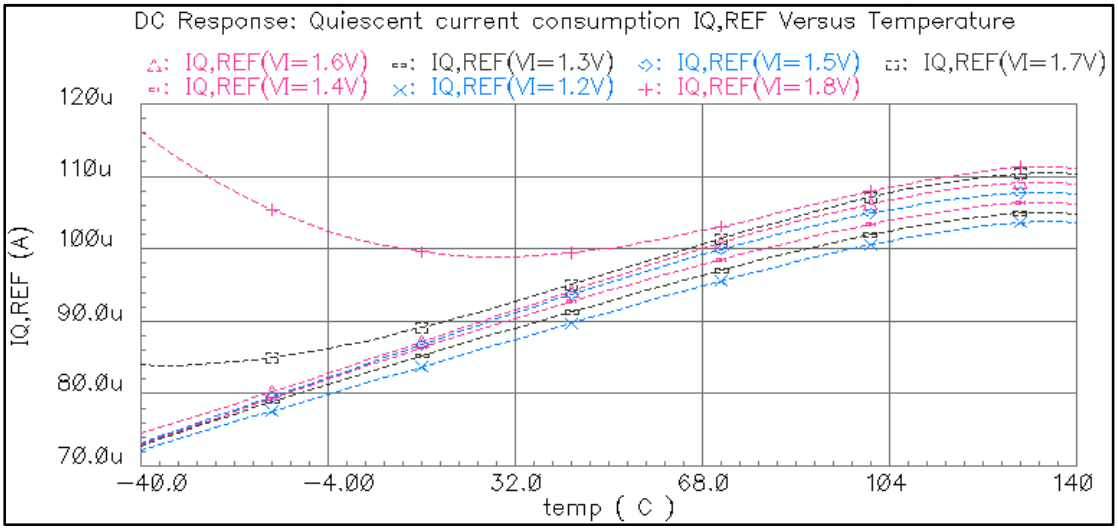

Figure 110 Variation du courant de consommation $I_{Q,REF}$ de la référence de tension proposée en fonction de la température pour différentes valeurs de la tension d'alimentation V_I.

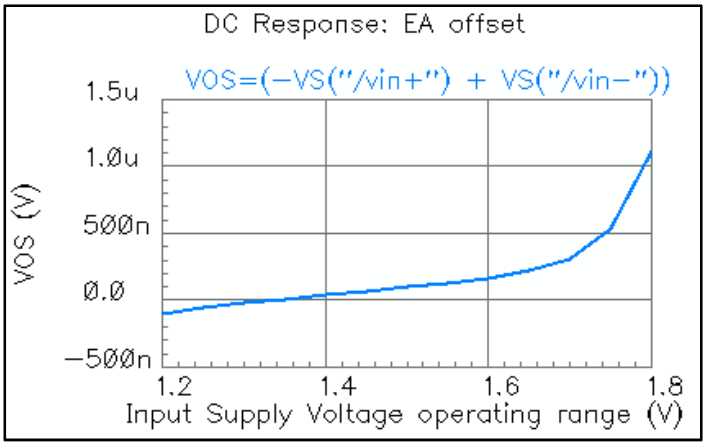

Figure 111 Variation de la tension d'offset de l'AE de la référence de tension proposée en fonction de la tension d'alimentation.

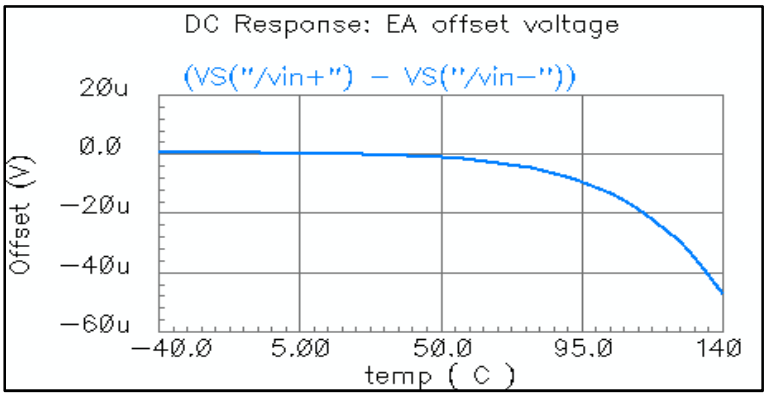

Figure 112 Variation de la tension d'offset de l'AE de la référence de tension proposée en fonction de la température.

Comme le montre la figure (110), le courant de repos consommé par la référence de tension proposée augmente avec la température. Pour un fonctionnement sous la tension d'alimentation 1,8V, on observe que le courant de consommation augmente d'une façon anormale pour les températures basses. En effet, quand V_I dépasse 1,6V, la tension de drain du transistor M_8 augmente et puisque la grille de ce dernier est polarisée par la tension constante V_{bp} (figure 99), alors M_8 entre dans la région ohmique et par conséquent les performances de la référence de tension commencent à se dégrader.

Pour vérifier la contribution de l'architecture proposée à la réduction de l'offset de l'amplificateur d'erreur dans toutes les conditions de fonctionnement de tension et de température, une simulation de la tension de décalage V_{OS} de l'AE a été établie. La figure (111) donne les variations de la tension d'offset dans la plage de tension d'alimentation,

tandis que la figure (112) représente les variations de la tension d'offset dans la plage de température. La variation de la tension d'offset dans l'intervalle de tension d'alimentation 1,2V-1,8V est égale à 2,032µV/V, tandis que cette variation devient seulement 0,2379µV/V dans l'intervalle de V_I de 1,2V-1,6V. Pour la dérive de l'offset V_{OS} par rapport à la température, le coefficient de température vaut $CT(V_{OS})$=2,577ppm/°C dans la plage de température −40°C-140°C et pour le fonctionnement sous la tension d'alimenation V_I=1,5V.

Le fonctionnement de la référence de tension proposée, comme une tension de comparaison interne dans le régulateur LDO proposé, a été vérifié en reliant la sortie V_{REF} à l'entrée inverseuse de l'amplificateur d'erreur du régulateur LDO. La figure (113) donne la variation de la tension de sortie V_O du régulateur LDO dans la plage de tension d'alimentation d'entrée V_I obtenue avec la référence de tension réelle. La valeur désirée 1,2V est obtenue dans la plage de fonctionnement de la tension d'alimentation d'entrée 1,33V-1,8V.

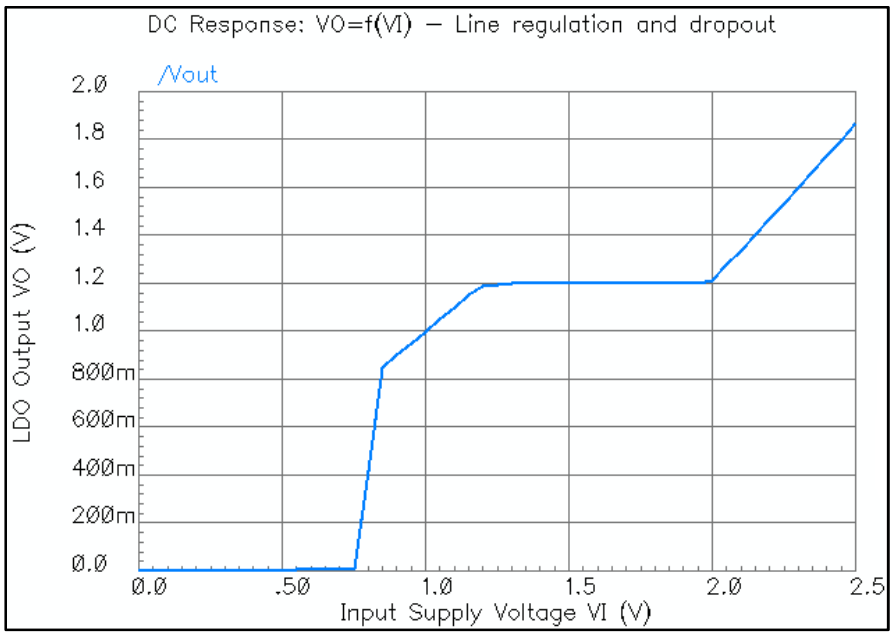

Figure 113 Caractéristique $V_O=f(V_I)$ du régulateur LDO proposé obtenue avec la référence de tension réelle V_{REF}=0,6346V.

Le layout du circuit de la référence de tension de type bandgap sub-1V proposée est donnée par la figure (114). Pour la mise en œuvre des résistances, on a choisi le type poly-résistance P^+ sans siliciure [108], qui a un coefficient de température très bas (-163ppm/°C) [128], afin d'assurer la robustesse du circuit aux dérives en température et en tension. Le layout du multiplicateur-β constitué, des deux transistors bipolaires PNP Q_1 et Q_2, a été réalisé

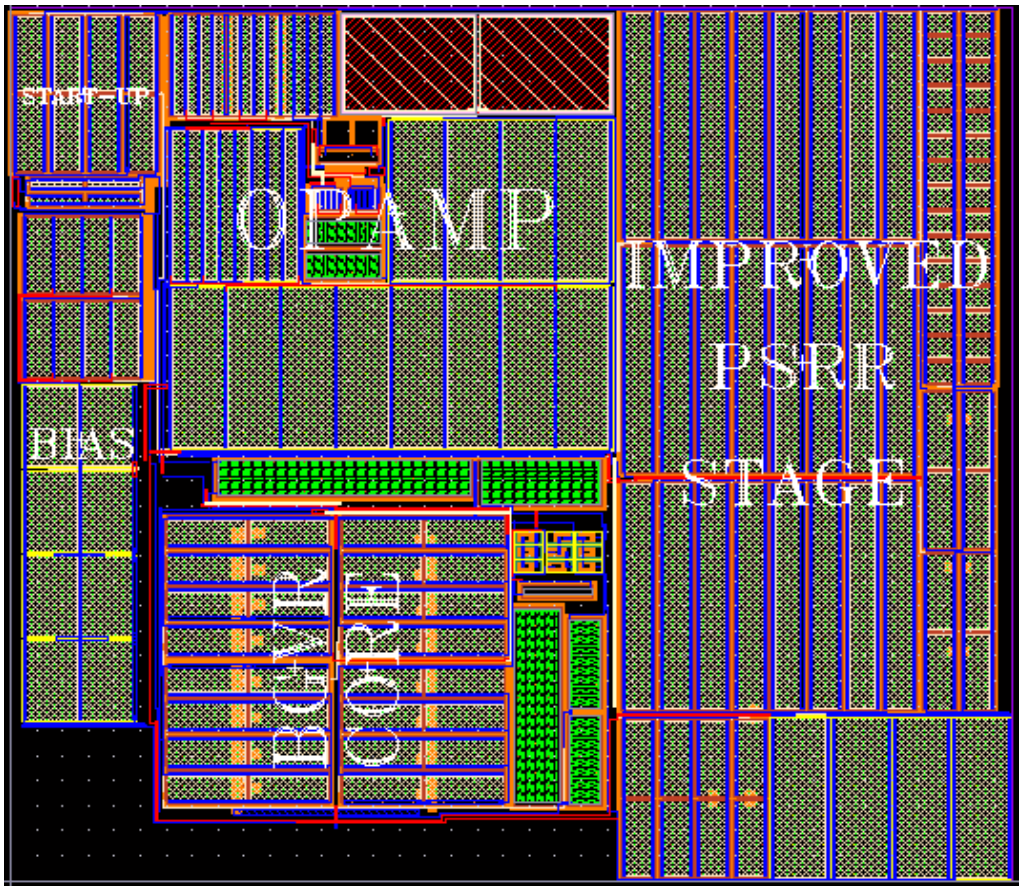

Figure 114 Layout de la référence de tension de type bandgap sub-1V proposée.

Tableau 33 Performances de la référence de tension proposée et comparaison avec des références de tensions adressant un faible coefficient de température et un PSRR supérieur.

Performance	**[121]**	**[122]**	**[123]**	**[124]**	**[125]**	**[126]**	**Ce travail**
Technologie CMOS (µm)	0,09	0,13	0,18	0,18	0,5	0,18	0,18
Tension d'alimentation V_I (V)	2,7-3,6	0,93-2,0	1,2-10	2,5-6	1,2-3,6	1,3-4,0	1,2-1,8
V_{REF} (mV)	213,9820	594	681	1194	561	571	634,5
Courant de consommation (µA)	127,1169	_[a]	_[a]	_[a]	_[a]	_[a]	83,447[b] 88,619[c]
Plage de température (°C)	−20 à 120	−30 à 80	−50 à 115	−25 à 80	−20 à 120	−55 à 125	−40 à 140
Coefficient de température (ppm/°C)	6,071	18,2	2,235	6,51	_[a]	8,420	20,101[b] 1,1284[c]
Régulation de ligne (µV/V)	16,47	35	_[a]	1143	_[a]	1,37	104,3
PSRR en (dB) et fréquence							
PSRR DC	−82,7 @ 100Hz	−103 @ 100Hz	−102,5 @ 10Hz	−125 @ 10Hz	−70 @ 1kHz	−123,5 @ 100Hz	−81,8[b] −93,01[c] @ 100Hz
PSRR @ 1MHz	−10	_[a]	−20	−40	−20	−50,23	−60,78[b] −67,49[c]
PSRR @ 10MHz	_[a]	_[a]	_[a]	_[a]	_[a]	_[a]	−61,65[b] −62,16[c]
Puissance consommée (µW)	419,4858	_[a]	_[a]	_[a]	_[a]	_[a]	100,1364[b] 141,7904[c]
Surface du layout (mm^2)	0,0137	0,054	_[a]	_[a]	_[a]	_[a]	0,0337

[a]Non disponible, [b]Valeur obtenue pour V_I=1,2V, [c] Valeur obtenue pour V_I=1,6V.

par la technique du centre de symétrie (common centroid), pour atténuer l'effet de la variation du processus et du non appariement entre ces deux transistors. La surface du layout est d'environ 0,0337mm^2.

Le tableau (33) résume les performances de la référence de tension sub-1V proposée, ainsi qu'une comparaison avec d'autres références de tension hautes performances est donnée. Comme le montre le tableau (33), la référence de tension proposée fournit une valeur élevée du PSRR pour les hautes fréquences 1MHz et 10MHz.

5 Conclusion

Dans ce chapitre, nous avons proposé une nouvelle conception d'un circuit de référence de tension de type bandgap sub-1V avec des hautes performances. Les deux majeurs contributions de ce travail est la réduction de la tension d'offset de l'amplificateur d'erreur pour augmenter la précision de la tension de sortie V_{REF} d'un coté, et l'amélioration de la réjection d'ondulation de l'alimentation dans une large plage de fréquence allant de 10Hz à 10MHz d'un autre coté. Le fonctionnement de la référence de tension, comme tension de comparaison interne du régulateur LDO a été bien vérifié.

Conclusions et perspectives

Cette dernière partie a été réservée à des conclusions des travaux rapportés dans cette thèse ainsi des recommandations pour les futurs travaux.

1 Conclusions

Les principaux objectifs des travaux de recherche abordés dans cette thèse étaient la conception de deux circuits intégrés, en technologie CMOS UMC 0,18µm, indispensables dans l'unité de gestion de l'alimentation qui sont :

- un régulateur de tension linéaire à faible chute (LDO) de hautes performances et répondant à un cahier de charge exigeant par les systèmes de l'Internet des objets (IoT) qui sont alimentés par la sortie d'un tel régulateur,
- et une référence de tension précise à faible coefficient de température et à haute valeur de la réjection d'ondulation de l'alimentation (PSRR).

Nous avons commencé par une introduction générale où on a présenté les motivations qui nous en ramené à aborder ce sujet. Puis on a éclairé les objectifs à atteindre, ainsi nos contributions ont été mentionnées pour donner une valeur ajoutée à cette thèse.

Dans le chapitre 1, on a présenté les définitions des paramètres d'un régulateur LDO ainsi ses caractéristiques. Puis on a analysé les performances de la structure conventionnelle d'un régulateur LDO, à savoir la stabilité, la réponse transitoire et le PSRR. L'analyse a compris une revue complète de la littérature sur les régulateurs LDO qui tendent à améliorer ces trois performances. Les limites des méthodes existantes ont été discutées dont le but d'avoir un acheminement pour les méthodes qui seront proposée pour améliorer les performances d'un régulateur LDO.

Dans le chapitre 2, une structure haute performance et complètement intégrée d'un régulateur LDO a été proposée. L'analyse de la stabilité a été détaillée pour toutes les conditions sur le courant de charge. Le circuit de compensation proposé garantit une haute stabilité dans une large plage de courant de charge allant de 50µA jusqu'à 150mA avec une petite valeur de la capacité de compensation de 4pF et une valeur maximale de 100pF de la capacité de charge. La réponse transitoire a été améliorée en réduisant les pics du dépassement maximum et du sous-dépassement minimum par la technique de couplage capacitif avec amplification dynamique du courant de polarisation. Le PSRR a été amélioré

par la technique d'annulation d'ondulation de l'alimentation avec un transistor réplique, qui a permis d'atteindre des valeurs inférieures à −60dB dans une large plage de fréquences de 10Hz jusqu'à 10MHz. Les performances du régulateur LDO proposé ont été comparées avec celles des régulateurs LDO à compensation interne de la littérature, dont le plus récent est daté de 2018. En se basant sur la valeur calculée du FOM, le régulateur LDO proposé présente de bonnes performances en termes de réponse transitoire par rapport aux régulateurs LDO cités dans cette thèse.

Dans le chapitre 3, une référence de tension de type bandgap sub-1V à faible coefficient de température et à haute valeur du PSRR a été proposée. Nous avons commencé par une revue de la littérature des références de tensions et plus précisément celles de type bandgap. Puis l'architecture basse tension à alimentation régulée est présentée. Ensuite, une analyse détaillée du bloc générateur de V_{REF} et du PSRR a été établie. Les résultats de simulation ont montré que la référence de tension proposée présente une valeur inférieure à −60dB dans une large plage de fréquence de 10Hz jusqu'à 10MHz. La référence de tension de type bandgap proposée a été comparée avec d'autres références de tension de même type et on a observé que le circuit proposé présente le meilleur PSRR. La référence de tension proposée a été utilisée comme une tension de comparaison interne du régulateur LDO proposé.

En conclusion, nous avons apporté des contributions significatives à la conception d'un régulateur LDO à compensation interne en améliorant les performances de stabilité, de régulation de charge transitoire et du PSRR, ainsi pour la conception de la référence de tension de type bandgap. Le régulateur LDO proposé peut être utilisé pour alimenter un système sur une puce basse tension de l'internet des objets.

2 Recommandations pour des futurs travaux

On se basant sur la revue de la littérature et les travaux de recherche effectués dans cette thèse de doctorat, nous recommandons ce qui suit pour les travaux futurs.

- Pour la conception du régulateur LDO à compensation interne, nous recommandons d'améliorer le circuit d'annulation d'ondulation par action anticipative qui a été proposé pour augmenter davantage la valeur du PSRR pour les fréquences supérieures à 10MHz, en traitant le chemin de l'impédance de sortie du transistor de passage.
- Concevoir une référence de tension avec des transistors MOS seulement et sans utilisation des éléments passifs pour réduire la consommation.

- Exploiter le fonctionnement en basse tension des circuits intégrés proposés dans le cadre de cette thèse en les réutilisant dans les processus CMOS nanométriques 65nm, 45nm, 22nm et 7nm.

Productions Scientifiques dans le cadre de cette thèse

- **Publications dans des revues indexées (Scopus)**

1. Anass Slamti, Youness Mehdaoui, Driss Chenouni, Zakia Lakhilai, '' A Dual Frequency Compensation Technique to Improve Stability and Transient Response for a Three Stage Low-Drop-Out Linear Regulator''. Mathematical Modelling of Engineering Problems, Vol. 8, No. 2, April, 2021, pp. 219-229. https://doi.org/10.18280/mmep.080208

2. Anass Slamti, Youness Mehdaoui, Driss Chenouni, Zakia Lakhilai, '' A sub-1V High PSRR OpAmp Based β-Multiplier CMOS bandgap Voltage Reference With Resistive Devision''. Indonesian Journal of Electrical Engineering and Computer Science, Vol. 15, No. 1, July 2019, pp. 155~167.
http://dx.doi.org/10.11591/ijeecs.v15.i1.pp155-167

- **Communications indexées (Proceedings)**

1. Anass Slamti and Zakia Lakhliai, ''A Sub-1V Bandgap Voltage Reference with Improved PSRR Scheme'', In Proceedings of the 1st International Conference of Computer Science and Renewable Energies (ICCSRE 2018), pages 185-193. http://dx.doi.org/10.5220/0009772701850193

- **Conférences internationales**

1. Anass SLAMTI, Youness MEHDAOUI, Driss CHENOUNI, Zakia LAKHLIAI,''Design of High PSRR LDO Regulator for Internet of Things System on a Chip in 180-nm CMOS Technology''. The 2nd International Conference on Embedded Systems and Artificial Intelligence (ESAI'21) April 01-02, 2021, Fez, Morocco.

2. Anass SLAMTI, Youness MEHDAOUI, Driss CHENOUNI, Zakia LAKHLIAI,'' A Robust Frequency Compensation Technique for On-Chip Output Capacitor Three Stage Low-Drop-Out Linear Regulator", International Conference on Science, Engineering & Technology (ICSET) held in Marrakech, Morocco on 12th -13th December, 2020.

3. Anass SLAMTI, Youness MEHDAOUI and Zakia LAKHLIAI,''A sub-1V Bandgap Voltage Reference with Improved PSRR scheme''. The 1st International Conference of

Computer Science and Renewable Energies 2018 (ICCSRE'2018), November 22-24, 2018 at Ouarzazate, Morocco.

- **Conférences nationales**

1. Anass SLAMTI, Youness MEHDAOUI, Zakia LAKHLIAI, ''A Fully Integated Regulated Charge Pump in 1.2/2.5-V 90-nm CMOS Technology''. 1ère Rencontre sur la Recherche et l'Innovation (R2I'18), Faculté Polydisciplinaire de Béni Mellal, 10-11 Mai 2018.

2. Anass Slamti, Youness Mehdaoui and Zakia Lakhliai, ''A SUB-1V BANDGAP VOLTAGE REFERENCE WITH HIGH PSRR SCHEME IN 180-NM CMOS TECHNOLOGY''. Rencontre Nationale des Jeunes Chercheurs en Sciences de l'Ingénieur (RNJC-SI'18), FST-Fès, 04-05 décembre 2018.

Bibliographie

[1] C. Shi, B. C. Walker, E. Zeisel, B. Hu, and G. H. McAllister, “A Highly Integrated Power Management IC for Advanced Mobile Applications”. IEEE Journal of Solid-State Circuits, vol. 42, pp. 1723-1731, 2007.

[2] G. A. Rincon-Mora, “Analog IC Design with Low-Dropout Regulators’’. Second Edition: McGraw-Hill Education, 2014.

[3] Gabriel Alfonso Rincón-Mora, “Voltage References: From Diodes to Precision High-Order Bandgap Circuits’’. Wiley-IEEE Press, 2002.

[4] J. A. Stankovic, “Research Directions for the Internet of Things”. IEEE Interne of Things Journal, vol. 1, pp. 3-9, 2014.

[5] A. Zanella, N. Bui, A. Castellani, L. Vangelista, M. Zorzi, “Internet of things for smart cities’’. IEEE Internet Things J. 1(1), 22–32 (2014).

[6] J. Jin, J. Gubbi, S. Marusic, M. Palaniswami, “An information framework for creating a smart city through internet of things’’. IEEE Internet Things J. 1(2), 112–121 (2014).

[7] P. Vlacheas, R. Giaffreda, V. Stavroulaki, D. Kelaidonis, V. Foteinos, G. Poulios, P. Demestichas, A. Somov, A. Biswas, K. Moessner, “Enabling smart cities through a cognitive management framework for the internet of things’’. IEEE Commun. Mag. 51(6), 102–111 (2013).

[8] S.R Islam, D. Kwak, M.H. Kabir, M. Hossain, K.-S. Kwak, “The internet of things for health care: a comprehensive survey’’. IEEE Access 3, 678–708 (2015).

[9] Stephen M. Nolan, “Power Management for Internet of Things (IoT) System on a Chip (SoC) Development’’. Vidatronic White Paper, 2017.

[10] Q. Liu, W. Shu, and J. S. Chang, “A 400-MS/s 10-b 2-b/Step SAR ADC With 52- dB SNDR and 5.61-mW Power Dissipation in 65-nm CMOS’’. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 25, pp. 3444-3454, 2017.

[11] F. N. U. Juanda, W. Shu, and J. S. Chang, “A 10-GS/s 4-Bit Single-Core Digital-to-Analog Converter for Cognitive Ultra wide bands’’. IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 64, pp. 16-20, 2017.

[12] J. G. Maneatis, "Low-jitter process-independent DLL and PLL based on selfbiased techniques," IEEE Journal of Solid-State Circuits, vol. 31, pp. 1723-1732, 1996.

[13] K. S. Chong, B. H. Gwee, and J. S. Chang, “Energy-Efficient Synchronous-Logic and Asynchronous-Logic FFT/IFFT Processors’’. IEEE Journal of Solid-State Circuits, vol. 42, pp. 2034-2045, 2007.

[14] K. S. Chong, K. L. Chang, B. H. Gwee, and J. S. Chang, "Synchronous-Logic and Globally-Asynchronous-Locally-Synchronous (GALS) Acoustic Digital Signal Processors’’. IEEE Journal of Solid-State Circuits, vol. 47, pp. 769-780, 2012.

[15] E. Seevinck, F. J. List, and J. Lohstroh, “Static-noise margin analysis of MOS SRAM cells," IEEE Journal of Solid-State Circuits, vol. 22, pp. 748-754, 1987.

[16] S. Rixner, W. J. Dally, U. J. Kapasi, P. Mattson, and J. D. Owens, "Memory access scheduling," in Proceedings of 27th International Symposium on Computer Architecture (IEEE Cat. No.RS00201), 2000, pp. 128-138.

[17] K. Cui, V. Adrian, B. H. Gwee, and J. S. Chang, “A Noise-Shaped Randomized Modulation for Switched-Mode DC-DC Converters’’. IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 65, pp. 394-405, 2018.

[18] C. Zheng and D. Ma, “A 10MHz 92.1%-efficiency green-mode automatic reconfigurable switching converter with adaptively compensated single-bound hysteresis control’’, in 2010 IEEE International Solid-State Circuits Conference -(ISSCC), 2010, pp. 204-205.

[19] Feng Pan, Tapan Samaddar, “Charge Pump Circuit Design”. 2006 by McGraw Hill.

[20] Anass SLAMTI, Hassan QJIDAA, “A High Performance Regulated Charge Pump for USB-OTG Transceiver’’, 2011 International Conference on Multimedia Computing and Systems (ICMCS) - Ouarzazate, Morocco (2011.04.7-2011.04.9), published in IEEE Xplore Digital Library in12 July 2011.

[21] Dongsheng Ma, Rajdeep Bondade, “Reconfigurable Switched-Capacitor Power Converters: Principles and Designs for Self-Powered Microsystems’’. 2013, Springer New York Heidelberg Dordrecht London.

[22] Byungcho Choi, “Pulse width Modulated DC-to-DC Power Conversion: Circuits, Dynamics, and Control Designs’’. 2013, by IEEE PRESS, WILEY.

[23] S. Bandyopadhyay, Y. Ramadass, A. Chandrakasan, “20 μa to 100 ma dc-dc converter with 2.8 to 4.2 v battery supply for portable applications in 45 nm cmos’’, in IEEE International of Solid-State Circuits Conference Digest of Technical Papers (ISSCC) (2011), pp. 386-388.

[24] J. Xiao, A. Peterchev, J. Zhang, S. Sanders, “A 4 μa quiescent-current dual-mode digitally controlled buck converter ic for cellular phone applications’’. IEEE J. Solid-State Circuits 39(12), 2342-2348 (2004).

[25] SINCLAIR I. – Electronic Power Supply Handbook. Tonbridge, PC Publishing, 1990.

[26] Pierre Mayé, “LES ALIMENTATIONS ELECTRONIQUES: Alimentations linéaires et à découpage, Piles et accumulateurs, Récolte d’énergie’’. 2ème édition, DUNOD, 2018.

[27] Ke-Horng Chen, “POWER MANAGEMENT TECHNIQUES FOR INTEGRATED CIRCUIT DESIGN’’. 2016, by IEEE PRESS, WILEY.

[28] Amit P. Patel and Gabriel A. Rincón-Mora, ‘’High Power-Supply-Rejection (PSR) Current-Mode Low-Dropout (LDO) Regulator’’, IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—II: EXPRESS BRIEFS, VOL. 57, NO. 11, NOVEMBER 2010.

[29] Behzad Razavi. Design Of Analog CMOS Integrated Circuit. Second Edition, 2017 by McGraw-Hill Education.

[30] Â. Monteiro, M. Santos, A. Neves and N. Dias, “Noise Minimization for low Bandgap Reference and Low Dropout regulator Cores”, Journal of Low Power Electronics, Vol. 5, 1-17, 2009.

[31] Anand Veeravalli and Stephen M. Nolan,‘’Introduction to Low Dropout (LDO) Linear Voltage Regulators’’.

[32] R. Jacob Baker, “CMOS Circuit Design, Layout, and Simulation”. Fourth Edition, 2019 by Institute of Electrical and Electronics Engineers.

[33] Phillip E. Allen, Douglas R. Holberg, ‘’ CMOS Analog Circuit Design’’. Third Edition, 2012, Published by Oxford University Press, Inc.

[34] Alice Wang, Benton H. Calhoun, Anantha P. Chandrakasan,’’ Sub-threshold Design for Ultra Low-Power Systems’’, 2006 Springer Science+Business Media, LLC.

[35] Robert W. Erickson, Dragan Maksimovic, ‘’Fundamentals of Power Electronics SECOND EDITION’’, University of Colorado, Boulder, Colorado. KLUWER ACADEMIC PUBLISHERS, 2001.

[36] Gene F. Franklin, J. david Powell, Abbas Emami-Naeini, ‘’ Feedback Control of Dynamic Systems’’. Seventh Edition, 2014.

[37] Ka Nang Leung and Philip K. T. Mok, ‘’Analysis of Multistage Amplifier–Frequency Compensation’’, IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS-I: FUNDAMENTAL THEORY AND APPLICATIONS, VOL. 48, NO. 9, SEPTEMBER 2001.

[38] K.N. Leung, P. Mok, A capacitor-free cmos low-dropout regulator with damping-factor control frequency compensation. IEEE J. Solid-State Circuits 38(10), 1691–1702 (2003).

[39] S.K. Lau, P. Mok, K.N. Leung, A low-dropout regulator for soc with q-reduction. IEEE J.

Solid-State Circuits 42(3), 658–664 (2007)

[40] A.J. Annema, B. Nauta, R. van Langevelde, H. Tuinhout, Analog circuits in ultra-deep submicron cmos. IEEE J. Solid-State Circuits 40(1), 132–143 (2005).

[41] 96. L.L. Lewyn, T. Ytterdal, C. Wulff, K. Martin, Analog circuit design in nanoscale cmos technologies. Proc. IEEE 97(10), 1687–1714 (2009).

[42] D. J. Frank, R. H. Dennard, E. Nowak, P. M. Solomon, Y. Taur, and W. Hon-Sum Philip, "Device scaling limits of Si MOSFETs and their application dependencies," Proceedings of the IEEE, vol. 89, pp. 259-288, 2001.

[43] K. Roy, S. Mukhopadhyay, and H. Mahmoodi-Meimand, "Leakage current mechanisms and leakage reduction techniques in deep-submicrometer CMOS circuits," Proceedings of the IEEE, vol. 91, pp. 305-327, 2003.

[44] B.K. Ahuja, An improved frequency compensation technique for CMOS operational amplifiers, IEEE Journal of Solid State Circuits, Vol. 18, pp. 629-633, December 1983.

[45] G. A. Rincon-Mora, “Active capacitor multiplier in Miller-compensated circuits,” IEEE J. Solid-State Circuits, vol. 35, no. 1, pp. 26–32, Jan. 2000.

[46] R. Milliken, J. Silva-Martinez, E. Sanchez-Sinencio, ‘’Full on-chip cmos low-dropout voltage regulator ‘’. IEEE Trans. Circuits Syst. I: Regul. Pap. 54(9), 1879–1890 (2007).

[47] G. Giustolisi, G. Palumbo, and E. Spitale, “LDO compensation strategy based on current buffer/amplifiers,” in Proc. IEEE ECCTD 2007, Seville, Spain, Aug. 2007, pp. 116–119.

[48] W. Aloisi, G. Palumbo, and S. Pennisi, “Design methodology of miller frequency compensation with current buffer/amplifier,” IET Circuits, Devices Syst., vol. 2, no. 2, pp. 227–233, Apr. 2008.

[49] G. Giustolisi, G. Palumbo, and E. Spitale, “Low-voltage LDO compensation strategy based on current amplifiers,” in Proc. IEEE ISCAS 2008, Seattle, WA, May 2008, pp. 2681–2684.

[50] Z. Yan, L. Shen, Y. Zhao, and S. Yue, “A low-voltage CMOS low dropout regulator with novel capacitor-multiplier frequency compensation,” in Proc. IEEE ISCAS 2008, 2008, pp. 2685–2688.

[51] A. Garimella, M. Rashid, P. Furth, ‘’Frequency compensation techniques using current buffers’’, in 53rd IEEE International Midwest Symposium on Circuits and Systems (MWSCAS) (2010), pp. 578–579.

[52] A. Garimella, M. W. Rashid, and P. M. Furth, “Reverse nested Miller compensation using current buffers in a three-stage LDO,” IEEE Trans. Circuits Syst. II, vol. 57, no. 4, pp. 250–254, Apr. 2010.

[53] E. N. Y.Ho and P. K. T.Mok, “A capacitor-less CMOS active feedback low-dropout regulator with slew-rate enhancement for portable on-chip application,” IEEE Trans. Circuits Syst. II, vol. 57, no. 2, pp. 80–84, Feb. 2010.

[54] A. D. Grasso, D. Marano, G. Palumbo, and S. Pennisi, “Analytical comparison of reversed nested Miller frequency compensation techniques,” Int. J. Circ. Theor. Appl., vol. 38, pp. 709–737, Sep. 2010.

[55] M. Mojarad, M. Yavari, A Novel Frequency Compensation Scheme for On-Chip Low-Dropout Voltage Regulators, 18th IEEE International Conference on Electronics, Circuits and Systems, pp. 318-321, December 2011.

[56] Gianluca Giustolisi, Gaetano Palumbo, ‘’ Robust Miller Compensation With Current Amplifiers Applied to LDO Voltage Regulators’’, IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—I: REGULAR PAPERS, VOL. 59, NO. 9, SEPTEMBER 2012.

[57] A. Maity, A. Patra, ‘’Tradeoffs aware design procedure for an adaptively biased capacitorless low dropout regulator using nested miller compensation’’. IEEE Trans. Power Electron. 31(1), 369–380 (2016).

[58] L.-G. Shen, Z.-S. Yan, X. Zhang, Y.-F. Zhao, “A capacitor-less low-dropout regulator for soc with bi-directional asymmetric buffer’’, in IEEE International Symposium on Circuits and Systems, pp.2677-2680, 2008.

[59] Giuseppe Palmisano, Gaetano Palumbo, Salvatore Pennisi, ‘’CMOS CURRENT AMPLIFIERS’’. 1999 by Kluwer Academic Publishers.

[60] J. Ramirez-Angulo, R. Carvajal, A. Torralba, J. Galan, A. Vega-Leal, J. Tombs, The flipped voltage follower: a useful cell for low-voltage low-power circuit design, in IEEE International Symposium on Circuits and Systems, ISCAS, vol. 3 (2002), pp. 615–618.

[61] R. Carvajal, J. Ramirez-Angulo, A. Lopez-Martin, A. Torralba, J. Galan, A. Carlosena, F. Chavero, The flipped voltage follower: a useful cell for low-voltage low-power circuit design. IEEE Trans. Circuits Syst. I: Regul. Pap. 52(7), 1276–1291 (2005)

[62] Jaime Ramirez-Angulo, Maria Rodanas Valero-Bernal, Antonio Lopez-Martin, Ramon G. Carvajal, Antonio Torralba, Santiago Celma-Pueyo, Nicol´as Medrano-Marqués, ‘’ The Flipped Voltage Follower: Theory and Applications’’. Analog/RF and Mixed-Signal Circuit Systematic Design, chapter 12, pp 269-287. Springer 2013.

[63] P. Hazucha, T. Karnik, B. Bloechel, C. Parsons, D. Finan, S. Borkar, Area-efficient linear regulator with ultra-fast load regulation. IEEE J. Solid-State Circuits 40(4), 933–940 (2005).

[64] Mahender Manda, Sri Harsh Pakala, and Paul M. Furth, ‘A multi-loop low-dropout FVF voltage regulator with enhanced load regulation’’. 2017 IEEE 60th International Midwest Symposium on Circuits and Systems (MWSCAS)

[65] X.L. Tan, K.C. Koay, S.S. Chong, P. Chan, ‘’A fvf ldo regulator with dual-summed miller frequency compensation for wide load capacitance range applications’’. IEEE Trans. Circuits Syst. I: Regul. Pap. 61(5), 1304–1312 (2014).

[66] Fatemeh Abdi, Yasin Bastan, Parviz Amiri, ‘’Dynamic current-boosting based FVF for output-capacitor-less LDO Regulator’’, Analog Integrated Circuits and Signal Processing, 03 July 2019.

[67] D. Semiconductor/Maxim, Application note 883: Improved power supply rejection for ic Linear regulators (2002).
https://www.maximintegrated.com/en/app-notes/index.mvp/id/883

[68] V. Gupta, G. Rincon-Mora, ‘’A low dropout, cmos regulator with high psr over wideband frequencies’’, in IEEE International Symposium on Circuits and Systems, ISCAS, vol. 5 (2005), pp. 4245-4248.

[69] V. Gupta, G. Rincon-Mora, ‘’A 5ma 0.6 μm cmos miller-compensated ldo regulator with -27db worst-case power-supply rejection using 60pf of on-chip capacitance’’, in IEEE International Solid-State Circuits Conference, ISSCC. Digest of Technical Papers (2007), pp. 520-521.

[70] C. Zhan,W.-H. Ki, ‘’A low dropout regulator for soc with high power supply rejection and low quiescent current,” in Proceedings of the 2009 12th International Symposium on Integrated Circuits, ISIC (2009), pp. 37-40.

[71] C. Zhan,W.-H. Ki, ‘’An output-capacitor-free cascode low-dropout regulator with low quiescent current and high power supply rejection’’, in IEEE Asia Pacific Conference on Circuits and Systems (APCCAS) (2010), pp. 472-475.

[72] C. Zhan,W.-H. Ki, ‘’Analysis and design of output-capacitor-free low-dropout regulators with low quiescent current and high power supply rejection’’. IEEE Trans. Circuits Syst. I: Regul. Pap. 61(2), 625-636 (2014).

[73] E. Alon, J. Kim, S. Pamarti, K. Chang, M. Horowitz, ‘’Replica compensated linear regulators for supply-regulated phase-locked loops’’. IEEE J. Solid-State Circuits 41(2), 413–424 (2006).

[74] M. El-Nozahi, A. Amer, J. Torres, K. Entesari, E. Sanchez-Sinencio, ‘’High psr low drop-out regulator with feed-forward ripple cancellation technique’’. IEEE J. Solid-State Circuits 45(3), 565–577 (2010).

[75] A. Patel, G. Rincon-Mora, ‘’High power-supply-rejection (psr) current-mode low-dropout (ldo) regulator’’. IEEE Trans. Circuits Syst. II: Express Br. 57(11), 868-873 (2010).

[76] B. Yang, B. Drost, S. Rao, P. Hanumolu, ‘’A high-psr ldo using a feedforward supply-noise cancellation technique’’, in IEEE Custom Integrated Circuits Conference (CICC) (2011), pp. 1-4.

[77] E. Ho, P. Mok, ‘’Wide-loading-range fully integrated ldr with a power-supply ripple injection filter’’. IEEE Trans. Circuits Syst. II: Express Br. 59(6), 356-360 (2012).

[78] Y. Liu, C. Zhan, W.-H. Ki, ‘’Fast-transient-response high-psr low-dropout regulator based on ultra-fast error amplifier and unity-gain buffer for portable applications’’, in IEEE International Symposium on Circuits and Systems (ISCAS) (2014), pp. 906-909.

[79] 85. Y. Lu, Y.Wang, Q. Pan,W.-H. Ki, C. Yue, ‘’A fully-integrated low-dropout regulator with full spectrum power supply rejection’’. IEEE Trans. Circuits Syst. I: Regul. Pap. 62(3), 707-716 (2015).

[80] Y. Lim, J. Lee, S. Park, Y. Jo, and J. Choi, “An external capacitorless lowdropout regulator with high PSR at all frequencies from 10 kHz to 1 GHz using an adaptive supply-ripple cancellation technique,” IEEE Journal of Solid-State Circuits, vol. 53, no. 9, pp. 2675–2685, 2018.

[81] Yang B., Drost B., Rao S., Hanumolu P.: A 65-nm CMOS Low Dropout Regulator Featuring >60-dB PSRR Over 10-MHz Frequency Range and 100-mA Load Current Range. IEEE JOURNAL OF SOLID-STATE CIRCUITS Vol. 53 No 8 (2018) 2331-2342.

[82] C.-H. Lee, K. McClellan, J. Choma, ‘’A supply-noise-insensitive cmos pll with a voltage regulator using dc-dc capacitive converter’’. IEEE J. Solid-State Circuits 36(10), 1453-1463 (2001).

[83] V. Balan, “A low-voltage regulator circuit with self-bias to improve accuracy”. IEEE J. Solid-State Circuits 38(2), 365–368 (2003).

[84] Y.-H. Lam,W.-H. Ki,C.-Y. Tsui, “Adaptively-biased capacitor-less cmos low dropout regulator with direct current feedback”, in Asia and South Pacific Conference on Design Automation (2006), p. 2.

[85] T. Man, P. Mok, M. Chan, “A high slew-rate push-pull output amplifier for low-quiescent current low-dropout regulators with transient-response improvement”. IEEE Trans. Circuits Syst. II: Express Br. 54(9), 755–759 (2007).

[86] C. Zhan,W.-H. Ki, “Output-capacitor-free adaptively biased low-dropout regulator for system on-chips”. IEEE Trans. Circuits Syst. I: Regul. Pap. 57(5), 1017–1028 (2010).

[87] E. Ho, P. Mok, “A capacitor-less cmos active feedback low-dropout regulator with slew-rate enhancement for portable on-chip application”. IEEE Trans. Circuits Syst. II: Express Br. 57(2), 80–84 (2010).

[88] M. Ho,K.N.Leung, “Dynamic bias-current boosting technique for ultralow-power low-dropout regulator in biomedical applications”. IEEE Trans. Circuits Syst. II: ExpressBr. 58(3), 174–178 (2011).

[89] C. Zheng, D. Ma, “Design of monolithic cmos ldo regulator with d^2 coupling and adaptive transmission control for adaptive wireless powered bio-implants”. IEEE Trans. Circuits Syst. I: Regul. Pap. 58(10), 2377–2387 (2011).

[90] C. Zhan, W.-H. Ki, “An output-capacitor-free adaptively biased low-dropout regulator with subthreshold undershoot-reduction for soc”. IEEE Trans. Circuits Syst. I: Regul. Pap. 59(5), 1119–1131 (2012).

[91] X. Ming, Q. Li, Z. kun Zhou, B. Zhang, “An ultrafast adaptively biased capacitorless ldo with dynamic charging control”. IEEE Trans. Circuits Syst. II: Express Br. 59(1), 40–44 (2012).

[92] S. Chong, P.K. Chan, “A 0.9-μa quiescent current output-capacitorless ldo regulator with adaptive power transistors in 65-nm cmos”. IEEE Trans. Circuits Syst. I: Regul. Pap. 60(4), 1072–1081 (2013).

[93] X. Qu, Z. kun Zhou, B. Zhang, Z.-J. Li, “An ultralow-power fast-transient capacitor-free low dropout regulator with assistant push-pull output stage”. IEEE Trans. Circuits Syst. II: Express Br. 60(2), 96–100 (2013).

[94] Y. il Kim, S.-S. Lee, “A capacitor less ldo regulator with fast feedback technique and low quiescent current error amplifier”. IEEE Trans. Circuits Syst.II: Express Br. 60(6), 326–330 (2013).

[95] S.S. Chong, P.K. Chan, “A sub-1 v transient-enhanced output-capacitor less ldo regulator with push-pull composite power transistor. IEEE Trans. Very Large Scale Integr”. (VLSI) Syst. 22(11), 2297–2306 (2014).

[96] X.L. Tan, S.S. Chong, P.K. Chan, U. Dasgupta, “A ldo regulator with weighted current feedback technique for 0.47–10 nf capacitive load”. IEEE J. Solid-State Circuits 49(11), 2658–2672 (2014).

[97] H. Aminzadeh, M. Nabavi, W. Serdijn, Low-dropout voltage source: an alternative approach for low-dropout voltage regulators. IEEE Trans. Circuits Syst. II: Express Br. 61(6), 413–417 (2014).

[98] K. Keikhosravy, S.Mirabbasi, “A 0.13-μm cmos low-power capacitor-less ldo regulator using bulk-modulation technique”. IEEE Trans. Circuits Syst. I: Regul. Pap. 61(11), 3105–3114 (2014).

[99] X. Qu, Z. kun Zhou, B. Zhang, “Ultralow-power fast-transient output-capacitor-less low dropout regulator with advanced adaptive biasing circuit”. IET Circuits, Devices Syst. 9(3), 172–180 (2015).

[100] A. Maity, A. Patra, “Tradeoffs aware design procedure for an adaptively biased capacitorless low dropout regulator using nested miller compensation”. IEEE Trans. Power Electron. 31(1), 369–380 (2016).

[101] M. Degrauwe, J. Rijmenants, E. Vittoz, H. De Man, “Adaptive biasing cmos amplifiers”. IEEE J. Solid-State Circuits 17(3), 522–528 (1982).

[102] A. Lopez-Martin, S. Baswa, J. Ramirez-Angulo, R. Carvajal, “Low-voltage super class ab cmos ota cells with very high slew rate and power efficiency”. IEEE J. Solid-State Circuits 40(5), 1068–1077 (2005).

[103] J. Roh, “High-gain class-ab ota with low quiescent current”. Analog Integr. Circuits Signal Process. 47(2), 225–228 (2006).

[104] Y.-H. Lam,W.-H. Ki, “A 0.9v 0.35 μm adaptively biased cmos ldo regulator with fast transient response”, in IEEE International Solid-State Circuits Conference, ISSCC. Digest of Technical Papers (2008), pp. 442–626.

[105] R. W. D. Nickalls, “A new approach to solving the cubic: Cardan’s solution revealed,” Math. Gazette, vol. 77, pp. 354–359, 1993.

[106] P. Y. Or and K. N. Leung, “An output-capacitorless low-dropout regulator with direct voltage-spike detection,” IEEE J. Solid-State Circuits, vol. 45, no. 2, pp. 458–466, Feb. 2010.

[107] J. P. Guo and K. N. Leung, “A 6- W chip-area-efficient output capacitorless LDO in 90-nm CMOS technology,” IEEE J. Solid-State Circuits, vol. 45, no. 9, pp. 1896–1905, Sep. 2010.

[108] UMC 0.18um 1P6M Mixed-Mode/RF Thick Top Metal (20KA) Process Foundry Design Kit (PDK).

[109] P. Hazucha, T. Karnik, B. Bloechel, C. Parsons, D. Finan, S. Borkar, ‘’Area-efficient linear regulator with ultra-fast load regulation’’. IEEE J. Solid-State Circuits 40(4), 933-940 (2005).

[110] R. J. Widlar, ‘’New Developments in IC Voltage Regulators,’’ IEEE Journal of Solid State Circuits, Vol. SC-6, p 2-7, February 1971.

[111] K.E. Kujik, ‘’A precision reference voltage source,’’ IEEE Journal of Solid State Circuits 8 (3) p 222-226, 1973.

[112] Brokaw, Paul , "A simple three-terminal IC bandgap reference," IEEE Journal of Solid State Circuits, 9 (6) p 388–393, December 1974.

[113] B. Song, P.R. Gray, ‘’A precision curvative-compensated CMOS BG reference,’’ IEEE Journal of Solid State Circuits, 18 (6) p 634-643, 1983.

[114] Banba, Hironori, et al., ‘’A CMOS bandgap Refrence With Sub-1-V Operation’’, IEEE Journal of Solid State Circuits, Vol 34, pp. 670-674, May 1999.

[115] Leung, K.N. and Mok, K.T., ‘’Sub-1-V 15ppm/°C CMOS Bandgap Voltage Reference Without Requiring low threshold voltage device,’’ IEEE Journal of Solid State Circuits, 37 (4), pp. 526-529, 2002.

[116] Ker, M.D., Chen, J.S. and Chu, C.Y. ‘’New Curvative-Compensation Technique for CMOS Bandgap Reference with Sub-1-V Operation,’’ IEEE Journal of Solid State Circuits and Systems-II:Express Briefs, 53 (8), pp. 667-671, 2006.

[117] Ripamonti, G., et al., ‘’Low Power – Low Voltage Bandgap Refrences for Flash EEPROM Integrated Circuits: Design Alternatives and Experiments,’’ Proceedings of ICECS 1999, Vol. 2, pp. 635-638, 1999.

[118] Jiang, Yuenming, and Lee, Edward, ‘’Design of Low-Voltage Bandgap Refrence Using Transimpedance Amplifier,’’ IEEE Transactions on Circuits and Systems-II, Vol. 47, pp. 552-555, June 2000.

[119] Annema, Anne-Johan, ‘’Low-Power Bandgap References Future DTMOST’s,’’ IEEE Journal of Solid State Circuits, Vol 34, pp. 949-955, July 1999.

[120] C. M. Andreou, S. Koudounas, and J. Georgiou, “A Novel Wide-Temperature-Range, 3.9ppm/oC CMOS Bandgap Reference Circuit,” IEEE Journal of Solid-State Circuits, vol.47, no. 2, pp. 574–581, Jan. 2012.

[121] Keith R. Francisisco and Jefferson A. Hora, ‘’Very Low Bandgap Voltage Reference With High PSRR Enhancement Stage Implemented in 90nm CMOS Process Technology for LDO Application’’. IEEE International Conference on Electronics Design, Systems and Applications, 2012.

[122] Jianhui Wu, Chao Chen, Haifeng Shen, Chen Huang, Hao Liu. ‘’A High PSRR CMOS voltage reference with 1.2V operation’’. Analog Integrated Circuits and Signal Processing, Vol. 77, No. 1, pp. 79-86, october 2013.

[123] Zhou Qianneng, Xue Rong, Li Hongjuan, Lin Jinzhao, Li Qi, Pang Yu, Li Guoquan. A Low-Voltage High PSRR and High Precision CMOS Bandgap Reference. TELKOMNIKA Indonesian Journal of Electrical Engineering, Vol. 12, No. 5, pp. 3832-3840, May 2014.

[124] Xiuhan Li and Hanru Zhang, ‘’A High PSRR Voltage Reference for High Efficiency Power Management Circuits of MEMS Energy Harvesters’’. Journal of Applied Science and Engineering, Vol. 17, No.2, pp. 111-116, 2014.

[125] Yun-wu Zhang, Jing Zhu, Wei-feng Sun, Guodong Sun, Sheng-li Lu. A novel sub-1V bandgap reference with offset compensated techniques. Analog Integrated Circuits and Signal Processing, Vol. 78, No. 2, pp. 391-397, February 2014.

[126] Zhou Qianneng, Yan Kai, Lin Jinzhao, Pang Yu, Li Guoquan, Luo Wei, ‘‘Novel high-PSRR high-order curvature-compensated bandgap voltage reference’’. Journal of China Universities of Posts and Telecommunications, Vol. 23, No. 2, pp. 66-72, April 2016.

[127] J. Jiang, W. Shu, and J. S. Chang. A 5.6 ppm/°C Temperature Coefficient, 87-dB PSRR, Sub-1-V Voltage Reference in 65-nm CMOS Exploiting the Zero-Temperature-Coefficient Point. IEEE Journal of Solid-State Circuits, vol. 52, no. 3, pp. 623-633, March 2017.

[128] W.-S. T. Chi-Wah Kok, “CMOS Voltage References: An Analytical and Practical Perspective’’. Wiley-IEEE Press, 2013.

[129] MARCIO CHEREM SCHNEIDER AND CARLOS GALUP-MONTORO ‘’CMOS Analog Design Using All-Region MOSFET Modeling’’. Cambridge University Press 2010.

[130] G. Giustolisi, G. Palumbo, ‘’A Detailed Analysis of Power Supply Noise Attenuation in Bandgap Voltage References, ‘’ IEEE Transactions On Circuits and System-I: Fundamental Theory and Applications, vol. 50, No. 2, p. 185-197, February 2003.