

قال الله تعالى:

(يَرْفَعُ اللَّهُ الَّذِينَ ءَامَنُوا مِنْكُمْ وَالَّذِينَ أُوتُوا الْعِلْمَ دَرَجَاتٍ)

[المجادلة:11]

(Allah élèvera en degrés ceux d'entre vous qui auront cru et ceux qui auront reçu le savoir).

AL-MUJĀDALAH (LA DISCUSSION) verset 11

روى الإمام مسلم رحمه الله

" لا ينال العلم براحة الجسم "

قال أحد العلماء

صابر الصبر فا ستغاث به الصبر. فقال الصبور: يا صبر صبرا

LAKRIM Abderrazak

Étude comparative des nouveaux composants de puissance en
carbure de silicium (SiC) et leur modélisation sous SPICE
Thèse de doctorat de la Faculté des Sciences et Techniques de Fès

À

**Mes parents, Mes formidables frères, Ma sœur
et à toute la famille LAKRIM**

LAKRIM Abderrazak

Étude comparative des nouveaux composants de puissance en
carbure de silicium (SiC) et leur modélisation sous SPICE
Thèse de doctorat de la Faculté des Sciences et Techniques de Fès

LAKRIM Abderrazak

Étude comparative des nouveaux composants de puissance en
carbure de silicium (SiC) et leur modélisation sous SPICE
Thèse de doctorat de la Faculté des Sciences et Techniques de Fès

REMERCIEMENT

LAKRIM Abderrazak

Étude comparative des nouveaux composants de puissance en
carbure de silicium (SiC) et leur modélisation sous SPICE
Thèse de doctorat de la Faculté des Sciences et Techniques de Fès

LAKRIM Abderrazak

Étude comparative des nouveaux composants de puissance en
carbure de silicium (SiC) et leur modélisation sous SPICE
Thèse de doctorat de la Faculté des Sciences et Techniques de Fès

Remerciement

Ces années de thèse à la Faculté des Sciences et Techniques de Fès sont maintenant derrière moi. Me voici aujourd'hui confronté à l'ultime épreuve: la rédaction de ce manuscrit. J'ai eu l'immense privilège de mener cette thèse sous la direction de **Mr : Driss TAHRI**, sa culture scientifique exceptionnelle, son ouverture d'esprit, son intuition immédiate du comportement dont l'analyse rigoureuse me prenait des journées pour finalement confirmer ses prédictions initiales ne sont que quelques-unes des qualités qui ont rendu passionnant chacune de nos entrevues. En m'accordant, avec simplicité sa confiance tout au long du parcours de thèse, je voudrais particulièrement le remercier pour sa disponibilité dont il a fait preuve, son investissement dans ce parcours de recherche.

Je remercie cordialement les différents membres de mon jury de thèse, qui m'ont fait l'honneur de valider le dernier «examen de passage» de ma vie étudiant. De prime abord mes rapporteurs **Mr: Abdelhamid BENALI** de ENSA d'Oujda, **Mr: Jamal BOUKHEROUAA** de ENSEM de CASA, et **Mr: Hassane ELMARKHI** de la FST de Fès, qui se sont montré d'une disponibilité exemplaire dont il a fait preuve, les corrections du manuscrit et la prise en charge de leur déplacement malgré leur occupation.

Mes remerciements vont également à l'endroit de **Mr: Nabih ELOUZZANI** et **Mr: Hassan KABBAJ** de la FST de Fès qui ont bien voulu accepté d'être examinateurs de ma thèse.

Un merci particulier à **Mr: Mohammed ELHAMMOUMI** de la FST de Fès d'avoir accepté de présider cette thèse.

Un grand merci à tous les membres du Laboratoire Signaux Systèmes et Composants, spécialement l'équipe CEM, sans oublié mes collègues de **l'Institut de Technologie Appliquée RI Fès de OFPPT** et à toutes les personnes que j'ai côtoyées durant les années de cette thèse et qui sont de près ou de loin m'ont soutenue à la réalisation de ces travaux.

Enfin, pour ces années et globalement pour les années de ma vie, je saisis l'occasion qui m'est donnée pour exprimer toute ma gratitude envers ma famille, en particulier mes très chers parents, mes très formidables frères (Mohamed, Abdennabi, Youssef, Oussama et ma sœur Soumaya pour leur soutien durant tout ce temps. C'est un peu grâce à eux si j'en suis arrivé ici aujourd'hui. Ils ont supporté mes coups de sang, ils ont su me remotiver, me faire confiance et être une épaule solide sur qui je pouvais me reposer.

Que toutes les personnes qui se reconnaîtront trouvent ici l'expression de ma profonde gratitude. Je m'excuse finalement auprès de ceux que j'aurais pu oublier de mentionner dans ces pages.

LAKRIM Abderrazak

Étude comparative des nouveaux composants de puissance en
carbure de silicium (SiC) et leur modélisation sous SPICE
Thèse de doctorat de la Faculté des Sciences et Techniques de Fès

RESUME

LAKRIM Abderrazak

Étude comparative des nouveaux composants de puissance en
carbure de silicium (SiC) et leur modélisation sous SPICE
Thèse de doctorat de la Faculté des Sciences et Techniques de Fès

LAKRIM Abderrazak

Étude comparative des nouveaux composants de puissance en
carbure de silicium (SiC) et leur modélisation sous SPICE

Thèse de doctorat de la Faculté des Sciences et Techniques de Fès

Résumé

Les systèmes d'électronique de puissance ont largement bénéficié du grand progrès des composants de puissance en silicium (Si). Alors qu'aujourd'hui leurs performances ont atteint leurs limites et ce malgré les fortes innovations actuelles. Cela a orienté la recherche vers des nouveaux matériaux semiconducteurs à large bande interdite (gap). Parmi eux, le carbure de silicium (SiC) avec ses propriétés physiques excellentes a donné la possibilité de réaliser des composants dans des domaines de fonctionnement jusque-là inaccessibles avec le Si. Son avancement technologique fait du SiC actuellement un produit alternatif au silicium, plus attractif que les autres semiconducteurs à large bande interdite (Diamant, GaN...).

Dans ce travail on présente des études analytiques comparatives des modèles existants des composants à semiconducteurs en SiC, ainsi que les principales caractéristiques statiques, dynamiques, et thermiques, des meilleurs transistors SiC-MOSFET de puissance (1200V) commercialisés de différents constructeurs en raison d'élaborer un plan de choix guidant les concepteurs des circuits d'électronique de puissance de sélectionner le composant le plus adapté à leur cahier de charge selon leurs objectifs et selon les performances de leurs convertisseurs de puissance.

Pour pleinement exploiter des avantages de cette nouvelle technologie (SiC), il est nécessaire d'avoir des modèles précis, fiables, et plus simples des composants de puissance, et ils doivent être facilement intégrés et adaptés avec les simulateurs utilisés. En effet pour réduire la complexité du modèle, seuls les phénomènes physiques les plus importants doivent être pris en compte dans le processus de formation du modèle. Le plus important est l'autoéchauffement produisant une augmentation significative de la température de jonction interne, contribuant par conséquent à la réduction des performances du composant. Dans le souci de contribuer à la modélisation des composants à semiconducteur de puissance, et d'aider les concepteurs des circuits et les ingénieurs à avoir les modèles des dispositifs voulus, on leur propose des modèles électrothermiques comportementaux souples, basés sur les modèles niveau 1 de SPICE, et les sources de tension et de courant commandées (E_i , G_i) de la bibliothèque ABM. Les paramètres de ce modèle sont obtenus à partir des courbes caractéristiques fournies par le fabricant dans le databook du composant, utilisant des scripts Matlab adoptant la méthode d'optimisation le Recuit Simulé. En plus de la souplesse, ces modèles proposés sont facilement intégrables dans les différents logiciels de simulation de type SPICE.

La technique proposée nous a permis de modéliser avec excellence la diode Schottky et le transistor MOSFET en SiC sous SPICE, ces modèles proposés ont été validés par la confrontation avec les différentes caractéristiques des composants à semiconducteurs du constructeur CREE (la diode C2D20120D, et le MOSFET C2M0025120D). Cette comparaison a montré une concordance très satisfaisante.

Mots clés : Composants de puissance en SiC, SiC-MOSFET, SiC-Diode, Modèles électrothermiques comportementaux, Modélisation SPICE, SPICE ABM, CREE C2D20120D, CREE C2M0025120D.

LAKRIM Abderrazak

Étude comparative des nouveaux composants de puissance en
carbure de silicium (SiC) et leur modélisation sous SPICE
Thèse de doctorat de la Faculté des Sciences et Techniques de Fès

ABSTRACT

LAKRIM Abderrazak

Étude comparative des nouveaux composants de puissance en
carbure de silicium (SiC) et leur modélisation sous SPICE
Thèse de doctorat de la Faculté des Sciences et Techniques de Fès

LAKRIM Abderrazak

Étude comparative des nouveaux composants de puissance en
carbure de silicium (SiC) et leur modélisation sous SPICE
Thèse de doctorat de la Faculté des Sciences et Techniques de Fès

Abstract

The power electronics systems have greatly benefited from the great advance of silicon (Si) power components. While today their performances have reached their limits despite the strong current innovations. This has oriented research into new semiconductor materials wide band gap. Among them, silicon carbide (SiC) with its excellent physical properties provided the opportunity to produce components in the operating areas previously inaccessible with Si. Its technological advancement has made currently the SiC an alternative product to silicon; it's more attractive than other wide bandgap semiconductors (Diamond, GaN...).

In this project I present a comparative analytical study on current models for semiconductor components in SiC as well as the main features, i.e. static, dynamic and thermal, of the best power-SiC MOSFETs (1200V) marketed by different manufacturers in order to chart the choices guiding the designers of power electronics circuits in selecting the most appropriate components for their specifications according to their objectives and the performance of their power converters.

To fully exploit the benefits of this new technology (SiC), it is necessary to have accurate, reliable and simple power components models that can be easily integrated and adapted to simulators. In fact, to reduce the complexity of the model, only the most important physical phenomena must be taken into account in the process of forming the model, of which the most important is the self-heating phenomenon which yields up a significant increase of temperature of internal junction, and hence causes a diminish in the component performance. In order to contribute to the modelling of semiconductor devices power and help engineers and circuit designers to promote models with the desired features, we are proposing a flexible behavioural electrothermal models, based on 'Level 1' models of SPICE library, voltage controlled current and voltage sources (Ei, Gi) of the ABM library. The parameters of this model are obtained from the characteristic curves supplied by the manufacturer in the component datasheet, using Matlab scripts while adopting the Simulated Annealing optimization method. For in addition to their flexibility, the proposed models can readily be integrated to and adjusted with o various types of SPICE simulation software.

The proposed technique allowed us to model quite perfectly the SiC Schottky diode and the SiC MOSFET on SPICE. The models we proposed were validated by a juxtaposition of the different characteristics of CREE manufacturer semiconductor components (the C2D20120D diode and the MOSFET C2M0025120D) which shown a very satisfactory agreement.

Keywords: SiC Power Devices, SiC-MOSFET, SiC-Diode, Behavioural electrothermal Models, SPICE Modelling, SPICE ABM, CREE C2D20120D, CREE C2M0025120D.

LAKRIM Abderrazak

Étude comparative des nouveaux composants de puissance en
carbure de silicium (SiC) et leur modélisation sous SPICE
Thèse de doctorat de la Faculté des Sciences et Techniques de Fès

LISTE DES SYMBOLES ET DES ABREVIATIONS

2D	Deux dimensions.
3D	Trois dimensions.
4H-SiC	Polytype du carbure de silicium.
6H-SiC	Polytype du carbure de silicium.
ABM	Analog Behavioral Model : bibliothèque des modèles analogiques comportementaux dans le simulateur SPICE.
AlN	Nitride d'Aluminium.
BJT	Bipolar Junction Transistor : Transistor à Jonction Bipolaire.
BSIM	Berkeley Short Channel IGFET Model.
C_{DS}	Capacité Drain Source d'un transistor MOSFET (Capacité parasite).
C_{GD}	Capacité Grille Drain d'un transistor MOSFET (Capacité parasite).
C_{GDj}	Capacité de jonction Grille Drain du transistor MOSFET
C_{GS}	Capacité Grille Source d'un transistor MOSFET (Capacité parasite).
C_{iss}	Capacité d'entrée d'un transistor MOSFET (Capacité parasite).
C_{iss-Sp}	Capacité Spécifique d'entrée d'un transistor MOSFET (Capacité parasite).
C_j	Capacité de transition lorsque la diode est non polarisée.
\bar{C}_j	Capacité moyenne de jonction.
C_{jn}	Capacité de jonction.
CMOS	Complementary metal oxide semi-conductor. (Technologie de fabrication des semiconducteurs)
C_{oss}	Capacité de sortie d'un transistor MOSFET (Capacité parasite).
C_{oss-Sp}	Capacité Spécifique de sortie d'un transistor MOSFET (Capacité parasite).
C_{OX}	Capacité d'oxyde de grille-N- du transistor MOSFET
C_{OXd}	Capacité d'oxyde de grille-P+ du transistor MOSFET
C_{rss}	Capacité de rétroaction ou capacité de Miller d'un transistor MOSFET (Capacité parasite).
C_{rss-Sp}	Capacité Spécifique de rétroaction d'un transistor MOSFET (Capacité parasite).
C_{SiC}	Capacité de la couche de déplétion du SiC d'un transistor MOSFET
D_a	Constante de diffusion ambipolaire.
DC	Direct Current : Signal continu.
DMOS	Depletion Metal Oxide Semiconductor.
E_c	Champ électrique de claquage.
EDA	Equation de Diffusion Ambipolaire.
E_g	Énergie de la bande interdite (Gap).
E_{OFF}	Énergie dissipée au blocage.
E_{ON}	Énergie dissipée à la mise en conduction.
ϵ_r	Constante diélectrique du matériau.
ETO	Emitter Turn-Off Thyristor.
GaN	Nitride de Gallium.

Ge	Germanium.
g_{fs}	Transconductance d'un transistor MOSFET.
GTO	Gate Turn-Off Thyristor.
HDL	Hardware Description Language.
HTPE	High Temperature Power Electronic : Électronique de puissance de haute Température.
HV-DC	Haute Tension Continue.
I_D	Courant direct du composant.
I_{DSS}	Courant de fuite d'un transistor MOSFET en inverse.
IEGT	Injection Enhanced Gate Transistor.
IGBT	Insulated Gate Bipolar Transistor : Transistor bipolaire à grille isolé.
IGCT	Integrated Gate Commutated Turn-Off Thyristor.
i_n	Courant des électrons dans la région P.
I_p	Courant de recouvrement inverse de la diode de structure du transistor MOSFET.
I_{rm}	Courant inverse maximal.
I_s	Courant de saturation.
I_{SD}	Courant Source Drain (Courant inverse) d'un transistor MOSFET.
JBS	Junction Bipolar Schottky.
JFET	Junction Field Effect Transistor.
k	Constante de Boltzmann.
K_p	Facteur de pente (paramètre de transconductance).
L_a	Longueur de diffusion ambipolaire.
L_D	Inductance de la piste du Drain.
L_{Mat}	Largeur de la bande interdite du matériau à large bande interdite.
LMOSFET	Lateral Metal Oxide Semiconductor Field Effect Transistor.
L_p	Longueur de diffusion des trous dans la région N.
L_{Si}	Largeur de la bande interdite du Si.
M	Exposant de la capacité de jonction.
MCT	MOS Controlled Thyristor.
MOSFET	Metal Oxide Semiconductor Field Effect Transistor : Transistor à effet de champ.
MPS	Merged PiN Schottky.
n	Facteur de qualité de la diode (coefficient d'émission), il est compris entre 1 et 2.
N-	Semiconducteur de type N faiblement dopé.
N+	Semiconducteur de type N fortement dopé.
n_i	Densité intrinsèque des porteurs à l'équilibre thermodynamique.
n_p	Densité de charge minoritaire dans la région P.
n_{p0}	Densité de charge minoritaire dans la région P à l'équilibre.
n_{SiC}	Densité des électrons à la surface du semiconducteur.

$P(0)$	Distribution des charges à la frontière gauche $x=0$.
$P(W)$	Distribution des charges à la frontière droite $x=W$.
$P(x,t)$	Distribution instantanée des porteurs (électrons ou trous).
$P+$	Semiconducteur de type P fortement dopé.
p_{SiC}	Densité des trous à la surface du semiconducteur.
q	Charge d'électron.
$Q(t)$	Charges en excès dans la région P à un moment donné.
Q_0	Quantité des charges en excès à droite de la jonction PN.
Q_G	Charge de la grille.
Q_R	Charge recouverte.
R_A	Résistance de la région d'accumulation.
R_C	Résistance du Contact.
R_{Ch}	Résistance du canal.
R_D	Résistance de la zone de Drift.
R_D	Résistance de drift.
R_{DS}	Résistance Drain Source d'un transistor.
RESURF	REDuced SURface electric Field
R_G	Résistance interne de la Grille du transistor MOSFET.
R_{JFET}	Résistance de la région de JFET.
R_{On}	Résistance inter-semiconducteur à l'état passant.
R_{On}	Résistance interne du transistor à l'état passant.
$R_{On-Norm}$	Résistance interne Normalisée du transistor MOSFET à l'état passant.
R_{On-Sp}	Résistance interne Spécifique du transistor MOSFET à l'état passant.
R_S	Résistance interne de structure du semiconducteur.
R_{Sub}	Résistance du substrat N+.
$R_{\theta JC}$	Impédance thermique de la jonction-boîtier.
SCCT	Source de Courant Commandée par une Tension.
Si	Silicium
SiC	Carbure de Silicium
SiC-DMOSFET	Transistor MOSFET vertical à double diffusion en Carbure de Silicium.
SiC-MOSFET	Transistor MOSFET en carbure de Silicium.
Si-MOSFET	Transistor MOSFET en Silicium.
SOA	Save Operation Area : Zone de fonctionnement sécuritaire.
SPICE	Simulation Program With Integrated Circuit Emphasis.
STCT	Source de Tension Commandée par une Tension.
T	Température absolue.
T_{amb}	Température ambiante (27°C).

t_F	Temps de descente en commutation.
T_j	Température de jonction du semiconducteur.
$T_{\max Si}$	Température maximale de fonctionnement supportée par le silicium.
t_N	Temps de montée en commutation.
t_P	Temps d'impulsion de commande du transistor MOSFET.
TR_{S1}	Coefficient de température de la résistance interne de structure de la diode.
TR_{S2}	Coefficient de température de la résistance interne de structure de la diode.
UMOS	trench- Metal Oxide Semiconductor.
UMOSFET	Transistor à effet de champ vertical à grille tranchée.
V_{BR}	(Breakdown Voltage) : Tension de claquage en inverse.
V_D	Tension de la diode.
VDMOSFET	Transistor à effet de champ vertical double diffusion à grille tranchée.
V_{DS}	Tension Drain-Source du transistor MOSFET.
V_{GS}	Tension Grille-Source du transistor MOSFET.
V_S	Tension seuil de la diode.
V_{sat}	Vitesse de saturation des électrons diffusés (Drift).
V_{SD}	Tension Source Drain (Tension inverse) d'un transistor MOSFET.
V_{Th}	Tension Seuil du transistor MOSFET.
$V_{Th-Norm}$	Tension Seuil Normalisée du transistor MOSFET.
V_{TO}	Tension seuil du transistor MOSFET modèle niveau 1 de SPICE.
W	Largeur de la région de base N-.
W_D	Largeur de la région de déplétion.
x_m	Abscisse constante dans la zone de charge d'espace.
XTI	Exposant de température du courant de saturation.
ZCE	Zone de Charge d'Espace.
Zth	Impédance Thermique Transitoire de Jonction.
μ_n	Mobilité des électrons.
μ_p	Mobilité des porteurs (trous).
β	Exposant de température du temps de transition direct de la diode.
γ	Exposant de température de la résistance interne de la diode.
λ_{Th}	Conductivité Thermique.
τ	Durée de vie des porteurs.
τ_F	Durée de vie des électrons.
τ_R	Durée de vie effective des électrons en inverse.
ϕ_0	Tension de diffusion.

TABLE DES MATIERES

Table des matières

LISTE DES SYMBOLES ET DES ABREVIATIONS	I
TABLE DES MATIERES.....	I
LISTE DES FIGURES.....	VII
LISTE DES TABLEAUX.....	XII
INTRODUCTION GENERALE.....	1
CHAPITRE 1: LE CARBURE DE SILICIUM (SiC), LE MATERIAU DE BASE EN ELECTRONIQUE DE PUISSANCE.....	5
I.1. INTRODUCTION.....	7
I.2. LES SEMICONDUCTEURS DE PUISSANCE A BASE DU SILICIUM (Si).....	7
I.2.1. DEVELOPPEMENT DES SEMICONDUCTEURS DE PUISSANCE A BASE DU Si.....	7
I.2.2. ETAT PRESENT DES SEMICONDUCTEURS DE PUISSANCE A BASE DU SILICIUM	9
I.2.3. CARACTERISTIQUES DES SEMICONDUCTEURS	10
I.2.3.1. <i>Bande interdite étroite (1.1eV) – (Détente intrinsèque).....</i>	<i>10</i>
I.2.3.2. <i>Champ électrique de claquage faible.</i>	<i>10</i>
I.2.3.3. <i>Conductivité thermique faible.</i>	<i>11</i>
I.2.3.4. <i>Pertes en puissance élevées et Conductivité thermique faible.</i>	<i>12</i>
I.3. MATERIAUX A LARGE BANDE INTERDITE.....	12
I.3.1. PROPRIETES ELECTRIQUES.	12
I.3.2. STRUCTURE CRISTALLINE.....	15
I.4. DISPONIBILITE COMMERCIALE DES COMPOSANTS EN SiC.....	16
I.5. DEVELOPPEMENT TECHNOLOGIQUE DES SEMICONDUCTEURS DE PUISSANCE EN SiC.....	18
I.5.1. DEVELOPPEMENT DES DISPOSITIFS SEMICONDUCTEURS DE PUISSANCE EN SiC.....	18
I.5.2. APPLICATIONS DES SiC EN ÉLECTRONIQUE DE PUISSANCE.....	18
I.5.3. STRUCTURE PROPOSEE DES SEMICONDUCTEURS DE PUISSANCE EN SiC DANS LA LITTERATURE.....	19
I.6. CONCLUSION.....	20
CHAPITRE 2: MODELES ET METHODES DE MODELISATION DES SEMICONDUCTEURS D'ELECTRONIQUE DE PUISSANCE.....	21
II.1. INTRODUCTION.....	23
II.2. MODELES EXISTANTS ET LEURS LIMITES.....	23
II.2.1. MODELES PHYSIQUES	26
II.2.2. MODELES NUMERIQUES.....	26
II.2.3. MODELES SEMI-NUMERIQUES:	27
II.2.3.1. <i>Résolution de EDA par la transformée de Laplace.....</i>	<i>28</i>
II.2.3.2. <i>Résolution de EDA par les courbes asymptotiques.....</i>	<i>29</i>

II.2.3.3.	<i>Résolution de EDA par les séries de Fourier</i>	30
II.2.4.	MODELES BASES SUR L'EXPERIMENTATION	31
II.2.5.	MODELES SEMI-PHYSIQUES	31
II.2.5.1.	<i>Modèles électrothermiques</i>	31
II.2.5.2.	<i>Modèles intégrés (originaires) dans SPICE</i>	33
II.2.5.3.	<i>Micromodèles</i>	33
II.2.6.	MODELES COMPORTEMENTAUX.....	34
II.2.7.	MACROMODELES.....	34
II.3.	PLATES FORMES DE SIMULATION.....	35
II.3.1.	SIMULATEURS DE TYPE GEOMETRIQUE	35
II.3.2.	SIMULATEURS ET LANGAGES DE SIMULATION NUMERIQUES ET FORMELS	37
II.3.3.	SIMULATEURS ET LES LANGAGES DE SIMULATION MULTIPHYSIQUES	38
II.3.4.	SIMULATEURS DE TYPE CIRCUIT	39
II.3.4.1.	<i>Saber®</i>	39
II.3.4.2.	<i>SPICE</i>	39
II.4.	METHODE D'OPTIMISATION	40
II.4.1.	INTRODUCTION :	40
II.4.2.	DEFINITION DU RECUIT SIMULE:	41
II.4.3.	L'ALGORITHME DU RECUIT SIMULE :	42
II.5.	CONCLUSION.....	43
CHAPITRE 3: MODELISATION ELECTROTHERMIQUE COMPORTEMENTALE DE LA DIODE DE PUISSANCE EN SIC		45
III.1.	INTRODUCTION.....	47
III.2.	DIODES DE PUISSANCE EN CARBURE DE SILICIUM (SIC).....	47
III.2.1.	DIODES SCHOTTKY EN SIC.....	47
III.2.2.	DIODES PIN EN SIC.	49
III.2.3.	DIODES JBS / MPS EN SIC	51
III.3.	MODELES EXISTANTS DES DIODES EN SIC.....	52
III.3.1.	MODELES PHYSIQUES.....	54
III.3.2.	MODELES SEMI-PHYSIQUES	54
III.3.3.	MODELES NUMERIQUES	55
III.3.4.	MODELES SEMI-NUMERIQUE	56
III.3.5.	MODELES COMPORTEMENTAUX.....	56
III.4.	MODELE PROPOSE	57
III.4.1.	MODELISATION DE LA CARACTERISTIQUE STATIQUE	57
III.4.1.1.	<i>Chute de tension en polarisation directe</i>	57
III.4.1.2.	<i>Tension de claquage et courant de fuite en polarisation inverse</i>	63
III.4.2.	MODELISATION DE LA CARACTERISTIQUE DYNAMIQUE.	67
III.4.2.1.	<i>Charge en polarisation inverse.</i>	67
III.4.3.	MODELISATION DE L'IMPEDANCE THERMIQUE TRANSITOIRE	79

III.4.3.1.	Réseau de Cauer	80
III.4.3.2.	Réseau de Foster.....	81
III.5.	MODELE COMPLET.....	85
III.6.	VALIDATION DU MODELE PROPOSE.....	86
III.6.1.	CHUTE DE TENSION EN POLARISATION DIRECTE.....	86
III.6.2.	COURANT DE FUITE EN POLARISATION INVERSE.....	87
III.6.3.	IMPEDANCE THERMIQUE TRANSITOIRE.....	88
III.6.4.	CHARGE EN POLARISATION INVERSE.....	89
III.6.5.	CARACTERISTIQUES DYNAMIQUES (COMMUTATION).....	90
III.7.	CONCLUSION DU CHAPITRE	91
CHAPITRE 4 : MODELISATION ELECTROTHERMIQUE COMPORTEMENTALE DU TRANSISTOR MOSFET DE PUISSANCE EN SiC.....		93
IV.1.	INTRODUCTION.....	95
IV.2.	TYPES DES TRANSISTORS MOSFET DE PUISSANCE EN SiC.....	95
IV.2.1.	TRANSISTOR DMOSFET VERTICAL DE PUISSANCE EN SiC.....	96
IV.2.1.1.	Présentation.....	96
IV.2.1.2.	Caractéristique de conduction directe du transistor DMOSFET en SiC.....	97
IV.2.1.3.	Tension de seuil du transistor DMOSFET en SiC.....	98
IV.2.1.4.	Structure améliorée.....	98
IV.2.2.	TRANSISTOR U MOSFET DE PUISSANCE EN SiC.....	99
IV.2.2.1.	Présentation.....	99
IV.2.2.2.	Caractéristiques du blocage du transistor SiC-UMOSFET.....	100
IV.2.2.3.	Conduction directe du transistor SiC-UMOSFET.....	100
IV.2.2.4.	Tension de seuil du transistor SiC-UMOSFET.....	101
IV.2.2.5.	Structure améliorée.....	101
IV.2.3.	TRANSISTOR LMOSFET DE PUISSANCE EN SiC.....	101
IV.2.3.1.	Présentation.....	101
IV.2.3.2.	Structure de SiC-LMOSFET.....	101
IV.2.3.3.	Structure améliorée.....	102
IV.2.4.	CONCLUSION	102
IV.3.	ANALYSE DE LA STRUCTURE SiC-VMOSFET DE PUISSANCE.....	103
IV.3.1.	PRESENTATION	103
IV.3.2.	CARACTERISTIQUES STATIQUES DES TRANSISTORS SiC-MOSFET DE 1200V	104
IV.3.3.	CARACTERISTIQUES DYNAMIQUES DES TRANSISTORS SiC-MOSFET DE 1200V.....	118
IV.3.4.	CONCLUSION.....	123
IV.4.	MODELES DES TRANSISTORS SiC MOSFET.....	127
IV.4.1.	PRESENTATION	127
IV.4.2.	MODELES PHYSIQUES.....	129
IV.4.3.	MODELES SEMI-PHYSIQUES.....	130
IV.4.4.	MODELES NUMERIQUE.....	131
IV.4.5.	MODELES SEMI-NUMERIQUE.....	131

IV.4.6.	MODELES COMPORTEMENTAUX.	131
IV.4.7.	CONCLUSION	132
IV.5.	MODELE PROPOSE	132
IV.5.1.	MODELISATION DE LA CARACTERISTIQUE STATIQUE	133
IV.5.1.1.	<i>Caractéristique de transfert.</i>	135
IV.5.1.2.	<i>Tension Seuil V_{Th}</i>	137
IV.5.1.3.	<i>Caractéristique de sortie et Résistance à l'état passant R_{on}</i>	138
IV.5.1.4.	<i>Diode de structure.</i>	144
IV.5.1.5.	<i>Courant de fuite du drain I_{DSS}</i>	146
IV.5.2.	MODELISATION DE LA CARACTERISTIQUE DYNAMIQUES.	146
IV.5.2.1.	<i>Capacités du transistor SiC- MOSFET.</i>	146
IV.5.2.2.	<i>Détermination des capacités du modèle.</i>	152
IV.5.3.	MODELE THERMIQUE	156
IV.5.4.	MODELE COMPLET.....	157
IV.5.5.	VALIDATION DU MODELE PROPOSE	158
IV.5.5.1.	<i>Caractéristiques de transfert</i>	160
IV.5.5.2.	<i>Caractéristiques de sortie</i>	161
IV.5.5.3.	<i>Impédance Thermique</i>	163
IV.5.5.4.	<i>Diode de structure</i>	163
IV.6	CONCLUSION	164
	CONCLUSION GENERALE & PERSPECTIVES	167
	BIBLIOGRAPHIE	173
	ANNEXES	187

Liste des Figures

Chapitre I:

Figure I. 1: Chronologie de développement des semiconducteurs de puissance à base du silicium	8
Figure I. 2: Comparaison des champs d'application des semiconducteurs	9
Figure I. 3: Évolution de la capacité de la tenue en puissance des semiconducteurs IGBT et GTO	10
Figure I. 4: Arrangement tétraogonal entre un atome de carbone et quatre atomes de silicium.	15
Figure I. 5: Séquence d'empilement des principaux polytypes de SiC.	16
Figure I. 6: Analyses prévisionnelles du marché des semiconducteurs de puissance en SiC selon Yole.	17
Figure I. 7: Taille et répartition des sociétés productrices des semiconducteurs de puissance en SiC.....	17
Figure I. 8: Classement des producteurs des dispositifs de puissance en SiC (2013).	17
Figure I. 9: Comparaison Taille de Si IGBT et All-SiC Traction Onduleurs.....	19
Figure I. 10: Classement des semiconducteurs de puissance en SiC.....	20

Chapitre II:

Figure II. 1: Procédure de sélection du modèle des semiconducteurs de puissance.....	24
Figure II. 2: Distribution de la densité des porteurs de charge, en recouvrement inverse de la diode PiN.	27
Figure II. 3: Schéma du modèle de la diode PiN.....	29
Figure II. 4: Réseau électrique représentant le modèle de la diode PiN.....	30
Figure II. 5: Modèle de la diode PiN par deux lignes RC; Résolution de EDA par les séries de Fourier	30

Chapitre III:

Figure III. 1: Structure d'une diode Schottky de puissance	48
Figure III. 2: Structure d'une diode bipolaire(PiN) de puissance	49
Figure III. 3: Tension de claquage en fonction de la concentration des porteurs pour différentes valeurs d'épaisseur de la zone centrale de la diode PiN.	50
Figure III. 4: Structure d'une diode JBS de puissance	51
Figure III. 5: Courant à l'état passant (a) et zone de déplétion à l'état bloqué (b) d'une diode JBS.....	51
Figure III. 6: Structure de base et circuit équivalent d'une diode Schottky de puissance.....	58
Figure III. 7: Contribution des composantes de la diode à la chute de tension directe en faible et fort signal	58
Figure III. 8: Modèle de la chute de tension en polarisation directe.	Erreur ! Signet non défini.
Figure III. 9: Numérisation des courbes avec le logiciel Get-Data-Digitizer.....	61
Figure III. 10: Comparaison des courbes données par le fabricant et celles du modèle proposé pour différentes valeurs de température (a), l'évaluation de l'erreur relative de cette comparaison (b).....	62

Figure III. 11: Modèle de la chute de tension en polarisation directe	63
Figure III. 12: Courbes du fabricant : Chute de tension directe (a). Courant de fuite en inverse (b).	64
Figure III. 13: Comparaison des courbes données par le fabricant et celles du modèle proposé pour différentes valeurs de température (a). L'évaluation de l'erreur relative de cette comparaison (b).	66
Figure III. 14: Modèle du courant de fuite en polarisation inverse.	67
Figure III. 15: Comparaison de la commutation au blocage d'une diode Schottky en SiC et d'une diode PiN rapide en Silicium, pour différent courant sous une tension de 400V.	67
Figure III. 16: Comparaison des commutations OFF (a) et ON (b) d'une diode Schottky en SiC.	68
Figure III. 17: Évolution du courant et de la tension au blocage de la diode	69
Figure III. 18: Variation de la densité des porteurs minoritaires en excès lors de recouvrement inverse	70
Figure III. 19: Modèle du contrôle de charge en inverse.....	72
Figure III. 20: Modèle de la charge en inverse.....	73
Figure III. 21: Courbe de l'évolution de la capacité en fonction de la tension inverse (Databook).....	74
Figure III. 22: Capacité en inverse donnée fabricant : C vs V_{inv} (a) et C^{-2} vs V_{inv} (b)	75
Figure III. 23: Capacité en inverse; données du fabricant et données étendues: C vs V_{inv} (a) et C^{-2} vs V_{inv} (b).	76
Figure III. 24: Comparaison de données du fabricant et du modèle de la capacité en inverse à 400V, et l'erreur relative de cette comparaison.	77
Figure III. 25: Comparaison de données du fabricant et du modèle étendu à 1200V de la capacité en inverse, et l'erreur relative de cette comparaison.	77
Figure III. 26: Comparaison de données du fabricant et du modèle de la charge en inverse, et l'erreur relative de cette comparaison.	78
Figure III. 27: Modèle de la variation de la charge en inverse lors de la commutation	78
Figure III. 28: Évolution de l'Impédance Thermique Transitoire Z_{th} en fonction du temps.....	79
Figure III. 29: Modèles typiques (Réseau R-C) de la modélisation de l'impédance thermique transitoire (Z_{th}), Réseau de Foster (a), Réseau de Cauer (b).	80
Figure III. 30: Comparaison entre les données du fabricant et le modèle Foster à 6 cellules RC, et l'erreur relative de cette comparaison.	83
Figure III. 31: Comparaison entre les données du fabricant et le modèle Foster à 3 cellules RC, et l'erreur relative de cette comparaison.	83
Figure III. 32: Modèle Thermique représentant les cellules RC ainsi que les sources des puissances dissipées ..	85
Figure III. 33: Modèle SPICE complet proposé pour la diode en SiC	85

Figure III. 34: Comparaison entre les données du fabricant et le modèle Foster à 6 cellules RC (a), et l'erreur relative de cette comparaison (b).....	89
Figure III. 35: Comparaison de données du fabricant et celles étendues à 1200V du modèle de la capacité en inverse, et l'erreur relative de cette comparaison.....	90
Figure III. 36: Les courbes de la chute de tension en polarisation directe des données du fabricant et du modèle proposé (a), l'évaluation de l'erreur relative de cette comparaison.....	87
Figure III. 37: Comparaison des courbes du courant de fuite en polarisation inverse des données du fabricant et du modèle proposé en fonction de la température (a), et l'erreur relative de cette comparaison (b).	88
Figure III. 38: Simulation du comportement dynamique (mise en conduction).....	90
Figure III. 39: Simulation du comportement dynamique (mise au blocage).....	91

Chapitre IV:

Figure IV.1: Comparaison de la variation de $V_{GS}(Q_{GS})$ entre le Si-MOSFET et le SiC-MOSFET.....	95
Figure IV.2: Comparaison de la résistance R_{On} spécifique de la région de drift entre le Si et le SiC	96
Figure IV.3: Structure du transistor SiC-DMOSFET	97
Figure IV.4: Chemin du flux de courant de la structure SiC-DMOSFET	98
Figure IV. 5: Structure DMOSFET blindée	99
Figure IV.6: Structure du transistor UMOSFET	99
Figure IV.7: Chemin du flux de courant de la structure SiC-UMOSFET	100
Figure IV.8: Structure RESURF SiC-LMOSFET avec la répartition du champ électrique	102
Figure IV.9: Évolution de la tension seuil V_{Th} en fonction de la température.....	106
Figure IV.10: Évolution de la tension seuil Normalisée $V_{Th-Norm}$ en fonction de la température.....	107
Figure IV.11: Courbes de caractéristique de transfert des SiC-MOSFET étudiés à $T=25^{\circ}C$	108
Figure IV.12: Caractéristique de transfert du MOSFET montrant la valeur de sa transconductance.....	109
Figure IV.13: Courbes de caractéristique de transfert des SiC-MOSFET étudiés à $T=150^{\circ}C$	108
Figure IV.14: Courbes de caractéristique de transfert des SiC-MOSFET étudiés à $T=25^{\circ}C$ et $T=10^{\circ}C$	110
Figure IV.15: Caractéristiques de sortie des transistors SiC-MOSFET étudiés à $T= 25^{\circ}C$ et $150^{\circ}C$ pour V_{GS} de 10V à 20V.....	111
Figure IV.16: Évolution de la résistance interne R_{On} en fonction de la température.....	112
Figure IV.17: Évolution de la résistance interne Normalisée $R_{On-Norm}$ en fonction de la température.	113
Figure IV.18: Évolution de la résistance R_{On-sp} en fonction de la température.....	115
Figure IV.19: Caractéristiques de la diode de structure des SiC-MOSFET à $T= 25^{\circ}C$	116
Figure IV.20: Caractéristiques de la diode de structure des SiC-MOSFET à $T= 150^{\circ}C$	117

Figure IV.21: Caractéristiques de la diode de structure des SiC-MOSFET à T= 25°C et 150°C	117
Figure IV.22: Évolution de la capacité d'entrée C_{iss} en fonction de V_{DS}	119
Figure IV.23: Évolution de la capacité de sortie C_{oss} en fonction de V_{DS}	120
Figure IV.24: Évolution de la capacité de Miller C_{rss} en fonction de V_{DS}	120
Figure IV.25: Évolution de la capacité spécifique d'entrée C_{iss-Sp} en fonction de V_{DS}	122
Figure IV.26: Évolution de la capacité spécifique de sortie C_{oss-Sp} en fonction de V_{DS}	122
Figure IV.27: Évolution de la capacité spécifique de Miller C_{rss-Sp} en fonction de V_{DS}	123
Figure IV.28: Caractéristique de sortie $I_D (V_{DS})$ pour différentes valeurs de V_{GS}	133
Figure IV.29: Caractéristique de transfert du transistor MOSFET de puissance	134
Figure IV.30: Interpolation polynomiale de la caractéristique de transfert du SiC-MOSFET de puissance (haut), et son erreur relative (bas)	135
Figure IV.31: Dépendance en température de la caractéristique de transfert du SiC-MOSFET	136
Figure IV.32: Résultats de l'interpolation polynomiale de la caractéristique de transfert (transconductance) du SiC-MOSFET (gauche) et son erreur relative (droite)	136
Figure IV.33: Modèle SPICE proposé pour la caractéristique de transfert du SiC-MOSFET	137
Figure IV.34: Courbe de variation de la tension seuil avec la température donnée par le fabricant	137
Figure IV.35: Résultats de l'interpolation polynomiale de la tension seuil du SiC-MOSFET (haut) et son erreur relative (bas).	138
Figure IV.36: Modèle SPICE proposé pour la tension seuil du SiC-MOSFET	138
Figure IV.37: Caractéristiques de sortie des SiC-MOSFET (gauche) et Si-MOSFET (droite).....	139
Figure IV.38: Résultats d'interpolation linéaire de $V_{DS} (I_D)$ pour les tensions V_{GS} (de 10V à 20V)	140
Figure IV.39: Résultats d'interpolation linéaire de $V_{DS} (I_D, V_{GS})$ pour les tensions V_{GS} (de 10V à 20V).....	141
Figure IV.40: Résultats d'interpolation linéaire de $V_{DS} (I_D, V_{GS}, T^\circ)$ pour les tensions V_{GS} (de 10V à 20V).....	142
Figure IV.41: Modèle SPICE proposé pour la caractéristique de sortie du SiC-MOSFET.....	144
Figure IV.42: Caractéristique de la diode de structure pour les températures 25°C et 150°C	145
Figure IV.43: Modèle SPICE proposé pour la diode de structure du SiC-MOSFET	145
Figure IV.44: Modèle SPICE proposé pour le courant de fuite du SiC-MOSFET	146
Figure IV.45: Évolution des capacités interélectrodes d'un SiC-MOSFET	147
Figure IV.46: Caractéristique de la charge de la grille pour le CD0020120D CREE (gauche), et pour le SCT2080KE ROHM (droite).....	147
Figure IV.47: Capacité d'entrée en fonction de V_{GS} pour les SiC-MOSFET; CD0020120D CREE, et SCT2080KE ROHM	148
Figure IV.48: Coupe d'une cellule de MOSFET de puissance montrant les principales capacités internes	149

Figure IV.49: Capacités de la structure grille source du SiC-MOSFET	149
Figure IV.50: Évolution de la capacité C_{GS} du SiC-MOSFET en fonction de la tension de grille V_{GS}	150
Figure IV.51: Trois principales phases de commutation à la mise en conduction d'un SiC-MOSFET.....	153
Figure IV.52: Variation de la capacité C_{GD} en fonction de V_{DS}	152
Figure IV.53: Modèle SPICE proposé pour la capacité C_{DS} du SiC-MOSFET.....	154
Figure IV.54: Modèle SPICE proposé pour la capacité C_{GS} du SiC-MOSFET.....	154
Figure IV.55: Modèle SPICE proposé pour la capacité C_{GD} du SiC-MOSFET	155
Figure IV.56: Évolution de l'Impédance thermique du SiC-MOSFET en fonction du temps.....	156
Figure IV.57: Modèle thermique proposé sous SPICE pour SiC-MOSFET	157
Figure IV.58: Modèle SPICE complet proposé pour le transistor SiC-MOSFET.....	157
Figure IV.59: Feuille du choix de type d'analyse du simulateur OrCAD SPICE.	159
Figure IV.60: Circuit de simulation des caractéristiques statiques du transistor SiC-MOSFET	159
Figure IV.61: Comparaison de la caractéristique de transfert entre le modèle proposé (ligne continue), et les données du fabricant (ligne discontinue) pour $T=-55^{\circ}\text{C}$, $T=25^{\circ}\text{C}$, et $T=150^{\circ}\text{C}$ (gauche), Erreur relative de cette comparaison (droite).....	160
Figure IV.62: Comparaison de la caractéristique de sortie entre le modèle (ligne continue) et le fabricant (ligne discontinue) à $T=-55^{\circ}\text{C}$ pour $V_{GS}=16\text{V}$, $V_{GS}=18\text{V}$, et $V_{GS}=20\text{V}$ (gauche), Erreur relative (droite).	161
Figure IV.63: Comparaison de la caractéristique de sortie entre le modèle (ligne continue) et le fabricant (ligne discontinue) à $T=25^{\circ}\text{C}$ pour $V_{GS}=16\text{V}$, $V_{GS}=18\text{V}$, et $V_{GS}=20\text{V}$ (gauche), Erreur relative (droite).....	162
Figure IV.64: Comparaison de la caractéristique de sortie entre le modèle (ligne continue) et le fabricant (ligne discontinue) à $T=150^{\circ}\text{C}$ pour $V_{GS}=16\text{V}$, $V_{GS}=18\text{V}$, et $V_{GS}=20\text{V}$ (gauche), Erreur relative (droite).....	162
Figure IV.65: Comparaison de l'impédance thermique entre le modèle (rouge) et le fabricant (bleu) (haut), Erreur relative de cette comparaison (bas).	163
Figure IV.66: Comparaison de la caractéristique de la diode de structure entre le modèle (ligne continue) et le fabricant (ligne discontinue) pour $T=-55^{\circ}\text{C}$, $T=25^{\circ}\text{C}$, et $T=150^{\circ}\text{C}$ (haut), Erreur relative (bas).	164

Liste des Tableaux

Chapitre I:

Tableau I. 1 : Comparaison des caractéristiques physiques du Si avec les semiconducteurs à large bande interdite (Gap) [15] [16] [17].....	13
--	----

Chapitre II:

Tableau II. 1 : Logiciels de calcul formel selon le contexte d'utilisation.....	38
---	----

Chapitre III:

Tableau III. 1 Chronologie du développement des diodes en SiC.	52
Tableau III. 2: Valeurs des coefficients des équations du modèle de la diode SiC Schottky (C2D20120D de CREE)	86

Chapitre IV:

Tableau IV.1: Différentes références de différents fabricants des transistors SiC-MOSFET d'étude.....	104
Tableau IV. 2: Courant de fuite des transistors SiC-MOSFET étudiés	105
Tableau IV. 3: Surface de la matrice des transistors SiC-MOSFET étudiés	114
Tableau IV. 4: Valeurs de la résistance de la grille RG des transistors SiC-MOSFET étudiés.....	118
Tableau IV. 5 : Résultats de l'analyse des performances et des caractéristiques de ces transistors.....	126
Tableau IV. 6 : Impact des capacités internes du SiC-MOSFET sur la commutation	127
Tableau IV. 7: Chronologie du développement des transistors SiC-MOSFET	128
Tableau IV. 8 : Valeurs des paramètres des équations du modèle du transistor SiC-MOSFET.....	158

Annexes

Annexe I.....	189
Annexe II.....	190
Annexe III.....	193
Annexe IV.....	194
Annexe V.....	195

INTRODUCTION GENERALE

Introduction Générale

La gestion d'énergie représente un enjeu sociétal primordial d'avenir de notre génération et des futures générations. En effet, nous avons enfin pris au sérieux l'épuisement des sources fossiles, les problématiques environnementales sur la maîtrise des dépenses énergétiques et l'importance d'un développement durable. Dans ce contexte, l'électronique de puissance apporte ses propres contributions avec de nouvelles solutions alternatives qui répondent aux exigences croissantes en énergie utilisant des énergies renouvelables ou propres. Par exemple, dans le domaine en pleine expansion des transports, où l'objectif est de réduire la consommation d'énergie fossile et la production de gaz à effet de serre. C'est dans ce sens que les industriels en partenariat avec les laboratoires de recherches tentent d'utiliser l'énergie électrique avec des systèmes principalement composés d'électronique de puissance.

Les dispositifs d'électronique de puissance ont subi de nombreux développements technologiques permettant d'adapter leur utilisation aux contraintes environnementales. Dans les années 70, les systèmes d'électronique de puissance ont largement bénéficié du grand progrès des composants de puissance en silicium. L'introduction des MOSFET de puissance et des IGBT dans les années 80-90 a permis la conception de systèmes de plus en plus compacts avec un rendement élevé. Cependant, aujourd'hui les performances des composants en silicium ont atteint leurs limites et ce malgré les fortes innovations actuelles. Un saut technologique est nécessaire pour pouvoir répondre aux nouveaux besoins de conversion d'énergie électrique, notamment dans les domaines du transport (aéronautique, ferroviaire, automobile) et de l'énergie (décentralisation des sources d'énergie, le réseau de distribution en Haute Tension DC). Tout en réduisant la taille et le volume des convertisseurs, et en élargissant la gamme de température. Cela a orienté la recherche vers de nouveaux matériaux pouvant offrir des performances supérieures à celles du silicium. Il s'agit des semiconducteurs à large bande interdite (gap).

Parmi ces semiconducteurs à large bande interdite, le carbure de silicium (SiC) reste l'élément le plus respectueux de l'environnement et viable en raison de l'abondance de Si et C sur la terre. Sa large bande interdite, son champ électrique critique et sa vitesse de saturation des porteurs élevée donnent la possibilité de réaliser des composants dans des domaines de fonctionnement jusque-là inaccessibles avec le Si. L'avancement technologique fait du SiC actuellement un produit alternatif au silicium, plus attractif que les autres semiconducteurs à large bande interdite (Diamant, AlN, GaN...).

Le SiC est en effet particulièrement intéressant pour la réalisation des dispositifs de puissance en raison de ses excellentes propriétés électriques et thermiques. Son champ électrique critique est dix fois supérieur à celui du silicium (Si), offrant ainsi la possibilité de réaliser des composants de plus grande tenue en tension. L'accroissement du calibre en tension permet de réduire le nombre de composants mis en série. Ceci a pour conséquence la réduction des pertes et de l'encombrement. La conductivité thermique est trois fois plus importante dans le SiC. De plus, il peut fonctionner à haute température. Il est donc possible de réduire le volume du système de refroidissement. Les composants de puissance en SiC trouvent des applications en électronique haute tension, haute température, ou en réponse à des contraintes de volume, de poids et de rendement.

Depuis l'apparition des ordinateurs à partir des années 60, les outils de simulation ont favorisé le développement scientifique dans tous les domaines technologiques (Industrie, Médecine, Agriculture...). La très grande puissance de calcul, dont disposent aujourd'hui les ingénieurs, permet la simulation rapide de systèmes complexes. Elle joue un rôle crucial dans les étapes successives de la chaîne de développement permettant de traduire les nouvelles lois de contrôle-commande en produits aboutis. Son apport est particulièrement précieux en électronique de puissance, il permet de :

- Prévoir les impacts des nouveaux dispositifs développés sur les circuits, sur les réseaux électriques, sur les producteurs d'énergie, et les autres équipements.
- Étudier les interactions des dispositifs de puissance entre eux.
- Savoir comment les différents niveaux de contrôle/commande vont interagir entre eux à travers les dispositifs contrôlés.
- Savoir comment des perturbations du réseau, nuisent le bon fonctionnement des dispositifs.
- Prévoir les imperfections des circuits afin de les réduire.
- Savoir les sources des perturbations électromagnétiques pour les contourner.
- ...

Pour pleinement exploiter des avantages de cette nouvelle technologie des semiconducteurs en SiC, il est nécessaire d'avoir les modèles des dispositifs à semiconducteurs de puissance dans les simulateurs utilisés. Par conséquent, il est très important d'obtenir des modèles précis, fiables, plus simples, et être facilement intégré et adapté avec le simulateur utilisé [1]. En effet pour réduire la complexité du modèle, seuls les phénomènes physiques les plus importants affectant les caractéristiques du dispositif à semiconducteur doivent être pris en compte dans le processus de formation du modèle. Le plus important est l'autoéchauffement produisant une augmentation significative de la température de jonction interne, contribuant par conséquent à la réduction des performances du composant [2].

Le simulateur de type circuit SPICE [3] (Simulation Program with Integrated Circuit Emphasis) est un outil très populaire et largement utilisé pour l'analyse des circuits électroniques. Malheureusement, les modèles des dispositifs de puissance intégrés dans la plupart des simulateurs de type SPICE (différents niveaux) [4] [5] [6] sont formulés pour les composants de faible puissance, par conséquent l'autoéchauffement n'est pas inclus.

Comme déjà dits, les dispositifs à semiconducteur en SiC sont encore en cours d'amélioration et ne sont commercialisés que par un nombre très limité de sociétés telles que : CREE, ROHM Semiconductor, et ST Micro. Ce qui confirme la récence des modèles des dispositifs en SiC mis à la portée des concepteurs des circuits d'électronique de puissance.

D'autre part, le rôle de l'ingénieur est la construction des systèmes complexes en utilisant des sous-circuits et des composants, tels que les dispositifs de puissance. Du côté système, l'ingénieur est plus intéressé par les grandeurs physiques externes et par les réponses transitoires des dispositifs à semiconducteur dans les simulations du circuit. Par contre, il est loin d'être concerné par les équations de la physique des semiconducteurs sur lesquelles la plupart des modèles sont basés.

Dans le souci de contribuer à la modélisation des dispositifs à semiconducteur de puissance, et d'aider les concepteurs des circuits et les ingénieurs à avoir les modèles des dispositifs voulus on leur propose dans ce travail des modèles électrothermiques comportementaux souples, sont basés sur le modèle niveau 1 de SPICE, et des sources de tension et de courant commandées (E_i , G_i) de la bibliothèque ABM de SPICE.

Les paramètres de ce modèle seront obtenus à partir des courbes caractéristiques fournies par le fabricant dans le databook du composant. En effet, dans un premier temps, on numérise ces courbes pour les rendre sous forme de données numériques, souples à être manipulés. Ensuite, on propose une équation paramétrique de même allure que la courbe. Les paramètres de cette équation sont obtenus à partir d'un scripte Matlab adoptant la méthode d'optimisation: le Recuit Simulé. En plus de la souplesse, ces modèles proposés seront facilement intégrables dans les différents logiciels de simulation de type SPICE.

Ce manuscrit est réparti en quatre chapitres, de la manière suivante:

Le premier chapitre aborde les enjeux et le contexte de cette étude. Ainsi il détermine les nécessités derrière le saut technologique vers les matériaux à large bande interdite (Gap) utilisés dans les dispositifs à semiconducteurs de puissance. Tout en expliquant à travers les propriétés physiques pourquoi le carbure de silicium (SiC) est le semiconducteur adapté pour remplacer le silicium (Si) et ainsi satisfaire les exigences sévères d'électronique de puissance de nos jours. La disponibilité commerciale et le développement technologique des dispositifs à semiconducteurs de puissance à base du SiC seront présentés vers la fin.

Le deuxième chapitre décrit les différents types des modèles existants, tout en présentant les avantages et les inconvénients de chacun. Une variété de plates-formes de simulation utilisée en électronique de puissance est présentée afin de mettre en évidence les raisons derrière le choix du SPICE comme une plate-forme de nos modèles.

Le troisième chapitre présente dans un premier temps les structures des diodes développées en SiC. Ensuite, une analyse des performances est appliquée avec les différents types de modèles des diodes existants en bibliographie afin de mettre en évidence notre contribution. La description du modèle proposé pour la diode, tout en précisant les étapes à suivre pour avoir les paramètres du modèle, sera bien développée. Notre modèle sera validé pour la diode C2D20120D du fabricant CREE Inc.

Dans *le quatrième chapitre*, on présente les principales structures des transistors MOSFET réalisées en SiC afin de déterminer l'intérêt apporté par les fabricants pour la structure DMOSFET. Cela nous amènera à procéder par la suite à une analyse des propriétés physiques des transistors SiC-DMOSFET (1200V) les plus réputés en commerce dans le but de montrer les performances de chaque composant. Ce chapitre traitera aussi les différents modèles existants en bibliographie pour mettre l'accent sur notre modèle proposé. Le modèle proposé pour le transistor SiC-DMOSFET sera décrit tout en précisant la méthode pour avoir les valeurs de ses paramètres. Finalement, ce modèle sera validé pour le transistor C2M0025120D CREE (1200V, 90A) afin de montrer les performances du modèle et sa précision.

On va terminer ce manuscrit par une conclusion, récapitulant les résultats trouvés, ainsi que les perspectives. En effet, cette modélisation des dispositifs à semiconducteur de puissance en SiC ne peut être que le début d'une modélisation globale du convertisseur de puissance intégrant des cellules de commutation.

Chapitre 1

Chapitre 1: Le carbure de silicium (SiC), le matériau de base en électronique de puissance.

I.1. Introduction

I. 2. Les semiconducteurs de puissance à base du silicium (Si).

I.2.1. Développement des semiconducteurs de puissance à base du Si.

I.2.2. État présent des semiconducteurs de puissance à base du Silicium (Si) et ses limitations.

I.2.3. Caractéristiques des semiconducteurs.

I.3. Matériaux à large bande interdite.

I.3.1. Propriétés électriques.

I.3.2. Structure Cristalline.

I.4 Disponibilité commerciale des composants en SiC.

I.5 Développement technologique des semiconducteurs de puissance en SiC.

I.5.1 Développement des dispositifs semiconducteurs de puissance en SiC.

I.5.2 Applications des SiC en Electronique de Puissance.

I.5.3. Structure proposée des semiconducteurs de puissance en SiC

I.6. Conclusion

I.1. Introduction

La consommation mondiale d'électricité a été évaluée à 20,781 milliards de KW/h en 2014, et elle est estimée à 29.56 milliards de kilowattheures en 2030, avec un taux de croissance moyen de 2,7% par an [7].

Avec l'augmentation continue de la demande en énergie électrique, une bonne gestion de cette énergie est fortement recommandée face aux exigences d'efficacité énergétique, d'autre part la charge électrique est en réduction jour après jour grâce au développement technologique des appareils et des machines électriques, par conséquent la contribution d'électronique de puissance à la gestion d'énergie électrique a augmenté à 80% en 2010 [8], et elle continue à croître, puisque le besoin en efficacité est fortement demandé.

Les exigences en électronique de puissance sont également de plus en plus lourdes et minutieuses, en raison de la forte puissance mise en jeu, de l'efficacité, de la fiabilité, de la durabilité, du coût, et du souci de miniaturisation (dans certains cas). Tous ces nouveaux défis sont présents face à la technologie des composants de puissance à base de silicium. Malheureusement, le développement de cette technologie a atteint ses limites. Alors que, le nouveau matériau: le carbure de silicium (SiC) est le plus promoteur par rapport aux autres matériaux à large bande interdite, car il représente un très bon compromis coût, disponibilité, et fiabilité. Les composants de puissance basés sur cette nouvelle technologie (SiC) peuvent se substituer à leurs homologues en Si dans de nombreuses applications industrielles (comme sera expliqué par la suite).

I.2. Les semiconducteurs de puissance à base du silicium (Si).

I.2.1. Développement des semiconducteurs de puissance à base du Si.

Les recherches avancées dans la physique des semiconducteurs de puissance en silicium pour des décennies, ainsi le développement technologique croissant, la compétitivité, et les exigences des clients en matière de qualité ont rapidement poussé les chercheurs à trouver un matériau de rechange.

Historiquement, les semiconducteurs à base du silicium ne sont apparus qu'à partir de décembre 1947 à l'invention du premier transistor à jonction bipolaire (BJT), par les trois chercheurs américains de la compagnie Bell Téléphone: John Bardeen, William Shockley et Walter Brattain. Après cette naissance, le développement des dispositifs semiconducteurs n'a cessé d'augmenter afin de s'approcher des caractéristiques idéales du composant (moins de pertes) essentiellement dans le cas des fortes puissances et des fréquences de plus en plus élevées. La figure I.1 montre les principales ères de développement de ces dispositifs.

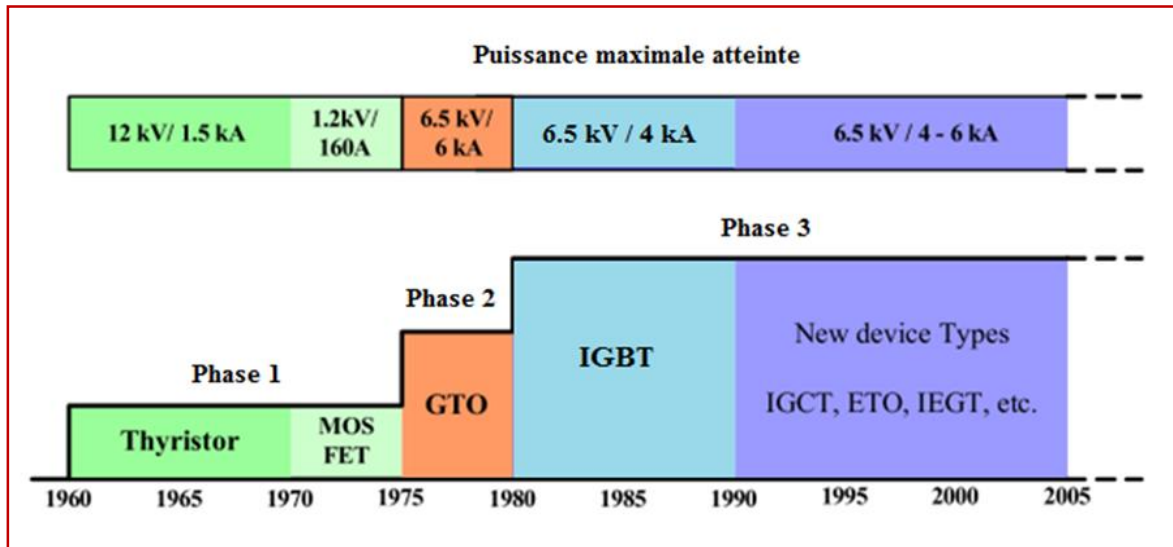


Figure I. 1: Chronologie de développement des semiconducteurs de puissance à base du silicium

La première phase de l'histoire des semiconducteurs de puissance a commencé avec l'apparition du thyristor dans les années 1960. Cet événement ouvre de nombreuses possibilités pour le développement d'électronique de puissance dans son ensemble, particulièrement ce composant a dominé de nombreux champs d'applications. Ils ont été conquis grâce aux performances de ce nouveau dispositif.

À partir de cette phase, et face au besoin industriel en composants de puissance commandés, des dispositifs tels que le transistor bipolaire, le thyristor GTO (GateTurn-Off Thyristor), ont trouvé le jour. Cependant, les chercheurs ont bien concentré leurs efforts sur l'amélioration des performances de ces composants. En effet vers les années 1970 ils ont réussi à concevoir le transistor MOSFET (Metal Oxide Semiconductor Field Effect Transistor). L'apparition de ce dernier a amorcé la deuxième étape de l'évolution des semiconducteurs de puissance. Cependant, le MOSFET de puissance a permis la conception des systèmes plus compacts, et efficaces. En plus, il commute rapidement, particulièrement pour les applications de basse puissance (moins de 200W). Ensuite, différentes conceptions du transistor MOSFET ont été mises en place pour améliorer ses performances et sa fiabilité, telles que les technologies DMOS et UMOS. En effet, ces nouveaux composants sont devenus les options prédominantes pour les fabricants des semiconducteurs de puissance [9].

La troisième phase a débuté en effet à la fin des années 80 par l'intérêt porté aux équations de la physique des semiconducteurs. En effet, les concepteurs des semiconducteurs ont pensé rigoureusement à profiter des avantages présentés par les deux technologies, par la conjonction du MOS à grille, mélangés avec le transistor bipolaire. Le composant retenu de cette fusion évolutive, c'est le transistor bipolaire à grille isolée IGBT (Insulated Gate Bipolar Transistor). Il a prouvé son utilisation pratique comme un élément essentiel et fiable en électronique de puissance. Vu sa conception, la grille isolée de MOSFET assure une commande rapide, et sa bonne conductivité

modulée grâce au BJT lors de sa mise en conduction. Ce composant a montré avec succès sa capacité de s'adapter convenablement dans les systèmes de haute puissance et de hautes fréquences [10]. Ce transistor d'une part a de meilleures performances, en raison de sa commande simple et rapide et moins gourmande en matière de puissance, d'autre part de sa faible résistance à l'état passant.

Cet interrupteur est resté le seul recours pour les concepteurs de convertisseurs de puissance pendant les dernières décennies. Cette stagnation dans la recherche de nouveaux interrupteurs a été remarquable. Par contre, l'amélioration de ces dispositifs a été dans le sens d'une intégration optimale des technologies existantes, comme le thyristor IGCT (Integrated Gate Commutated Turn-off), le thyristor MCT (MOS-Controlled Thyristor), le thyristor ETO (Emitter Turn-Off), et le transistor IEGT (Injection Enhanced Gate Transistor).

Le développement des composants semiconducteurs d'électroniques de puissance basés sur le silicium (Si) est ralenti, au plus tôt s'est arrêté, par la mise sur le marché d'autres semiconducteurs à large bande interdite en SiC. La quatrième phase a commencé en 2001 à la production des premières diodes en SiC par CREE [11].

I.2.2. État présent des semiconducteurs de puissance à base du silicium

Les interrupteurs d'électroniques de puissance en Si ont dominé le marché commercial des semiconducteurs pour des décennies. Ils sont largement utilisés dans les différents domaines, tels que la traction, la transmission et la distribution d'énergie électrique. La figure I.2 représente les champs d'application de ces composants en fonction de la puissance et la fréquence de commutation [12].

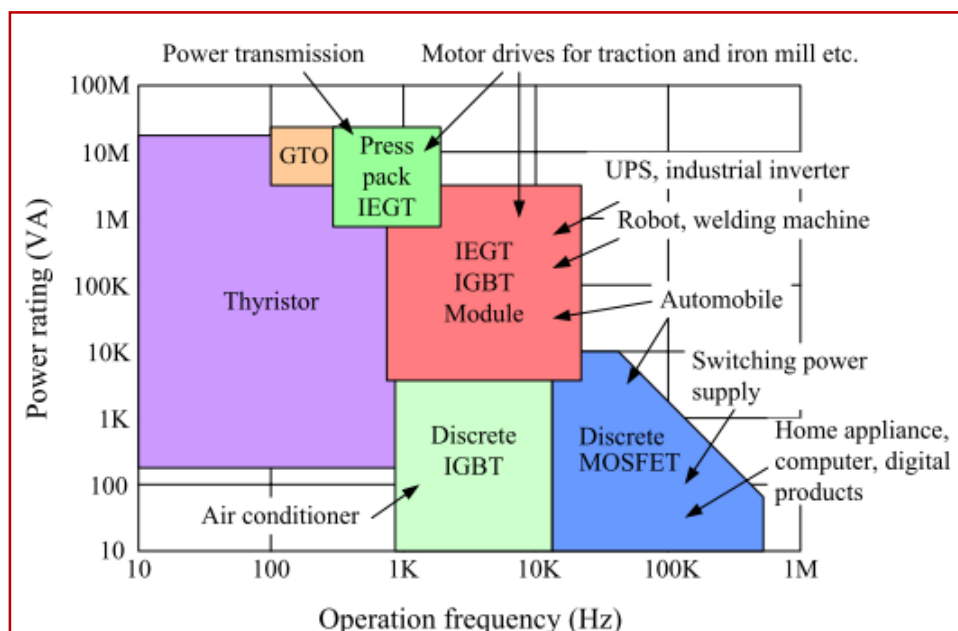


Figure I. 2: Comparaison des champs d'application des semiconducteurs

Les efforts de plus d'un demi-siècle dans le développement de la technologie des dispositifs de puissance à base du Si, ont largement contribué à l'expansion remarquable de l'électronique de puissance. Dernièrement, la tâche principale des chercheurs et des fabricants était l'intégration et le perfectionnement des fonctionnalités et des caractéristiques des interrupteurs existants. Il est difficile de réaliser une avancée importante de toutes les caractéristiques du semiconducteur. En effet, la tenue en puissance d'IGBT a initialement augmenté à une vitesse d'environ 20 fois tous les 5 ans, alors qu'en 2005, le taux de croissance a diminué d'environ 5 fois tous les 5 ans. De même, la tenue en puissance du GTO a initialement augmenté à une vitesse d'environ 4 fois tous les 5 ans, mais à partir des années 2000 cette croissance s'est arrêtée (Figure I.3) [13].

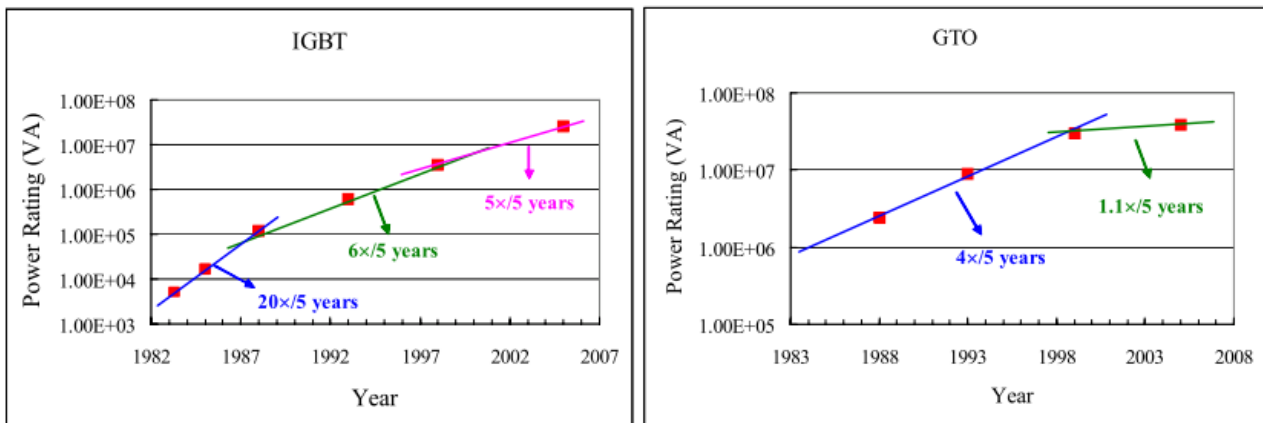


Figure I. 3: Évolution de la capacité de la tenue en puissance des semiconducteurs IGBT et GTO.

Par conséquent, beaucoup d'analyses statistiques montrent qu'il y a de bonnes raisons de croire que les améliorations ont été stoppées et les composants ont atteint leurs limites aujourd'hui [14]. Cependant, la raison primordiale derrière cette saturation est que les semiconducteurs d'électroniques de puissance en Si atteignent les limites fondamentales imposées par ce matériau basique (Si). Plus précisément, cette saturation est incorporée dans les aspects suivants:

I.2.3. Caractéristiques des semiconducteurs

I.2.3.1. Bande interdite étroite (1.1eV) – (Détente intrinsèque)

La bande interdite (Band Gap) est une caractéristique fondamentale des semiconducteurs, influençant les autres principales caractéristiques du semiconducteur dépendant de cette bande. En effet, la petite bande interdite est considérée comme le déclencheur intrinsèque de toutes les limites du matériau semiconducteur, comme sera discuté par la suite.

I.2.3.2. Champ électrique de claquage faible.

La petite bande interdite conduit à un faible champ électrique intrinsèque critique, qui est d'environ 30 kV/cm. De ce fait, le pouvoir de blocage en tension des semiconducteurs à base du Si est inférieur à 12 kV/cm. Pourtant il existe des applications industrielles basées sur le Si supportant

de hautes tensions, cela est le résultat des améliorations de ce genre de système. L'empilement et le regroupement en série de plusieurs semiconducteurs dans un même boîtier sont des techniques recommandées pour subdiviser la forte tension. On peut citer par exemple: l'empilement en série des thyristors utilisés couramment dans les onduleurs des centres de haute tension (HV-DC), ainsi l'empilement des transistors MOS dans les alimentations multiniveaux. En particulier, la technologie (empilement série) est coûteuse au niveau d'emballage, nécessitant une conception assez compliquée pour maintenir le partage de la tension entre les dispositifs semiconducteurs empilés.

Dans ce sens, il y a une forte incitation à développer les semiconducteurs de puissance pour avoir un plus grand pouvoir de blocage de tension, sans augmenter le volume voir le réduire du semiconducteur existant. D'autre part, pour compenser le faible champ de claquage, la couche active doit être épaisse de sorte que la chute de tension à travers cette couche réduit les champs électriques internes associés. Cependant, elle contribue à la génération d'une grande résistance à l'état passant R_{on} , produisant à son tour de grandes pertes en puissance et contribuant à la médiocrité d'efficacité énergétique. Elle a également une influence notable sur la densité de courant et la vitesse de commutation. C'est donc un compromis qu'il faut faire dans la conception des semiconducteurs de puissance par les chercheurs pour avoir de meilleurs résultats. La nouvelle génération des matériaux à large bande interdite est alors la bonne solution.

I.2.3.3. Conductivité thermique faible.

La température normale de fonctionnement supportée par un semiconducteur en Si préparé dans des processus de haute qualité, possédant la meilleure technologie du boîtier, est déterminée par la conductivité thermique du Si, qui est inférieure à 150 °C. Ainsi, la bonne gestion des évacuations thermiques et la conception adéquate du système de refroidissement sont importantes et nécessaires pour la durabilité et la non-fatigue du matériau semiconducteur.

Le refroidissement des semiconducteurs de puissance a pris trois modes standards. Le refroidissement par contact direct avec l'air, le refroidissement forcé par ventilateur et le refroidissement par liquide. Cependant quand la température de l'environnement augmente, l'efficacité du système de refroidissement diminue. Pourtant, la puissance nominale du convertisseur détermine le mode de refroidissement et le type de dissipateur thermique à utiliser.

Pour les convertisseurs de faible puissance, le dissipateur à contact direct avec l'air ambiant est suffisant comme mode de refroidissement. Alors que pour les convertisseurs de forte puissance il sera primordial de placer un système de refroidissement par ventilation ou par liquide. Ce dernier exige une pompe pour faire circuler le liquide ainsi un radiateur et un ventilateur.

Dans beaucoup de cas, le dissipateur thermique occupe typiquement un tiers du volume total du convertisseur de puissance et dans certaines applications il pèse plus que le convertisseur lui-même. Sachant que le poids et le volume d'une réalisation ne doivent pas dépasser les limites allouées à la partie puissance. Ce problème a poussé les chercheurs et les concepteurs de convertisseurs de

puissance d'orienter leurs efforts au développement de matériaux et de technologies résistants aux températures plus élevées de telle façon de diminuer les besoins en refroidissement, et ainsi réduire la taille et le coût du convertisseur. Pour améliorer la tolérance du semiconducteur à la température, la solution consiste à réduire ses pertes en puissance. Cependant, comme mentionné précédemment, le silicium est le matériau de base des dispositifs semiconducteurs de puissance et la marge de contribution dans ce sens est très étroite. L'autre solution consiste à remplacer le Si par d'autres matériaux ayant une conductivité thermique plus grande, c'est dans ce sens que les matériaux à large bande interdite ont prouvé leurs performances par leurs propriétés concurrentielles.

I.2.3.4. Pertes en puissance élevées et Conductivité thermique faible.

La montée en fréquence de commutation des semiconducteurs de puissance est limitée par la chaleur générée au sein des interrupteurs pendant la phase de commutation. Typiquement, dans les applications de faible puissance (de l'ordre de quelques dizaines de kW) les composants à base de Si sont limités à une fréquence de 20 kHz. D'une manière générale, avec moins de pertes en commutation et avec de meilleures caractéristiques thermiques, la vitesse de commutation d'un composant de puissance croît à des valeurs importantes.

Les progrès récents et le développement des appareils très sophistiqués dédiés au laboratoire, conduisent à des processus de fabrication des semiconducteurs très précis et très fiables, permettant l'optimisation concrète des aspects physiques du matériau semiconducteur, cependant la marge d'améliorer la vitesse de commutation est plutôt très étroite. Pourtant, le fonctionnement à des fréquences de commutation plus élevée est toujours souhaité pour plusieurs raisons. En effet, l'amélioration de la qualité des formes d'ondes, le contrôle exact des systèmes de hautes performances, la compacité du système (composants passifs de petite taille), et le confort de l'utilisateur (moins de bruit audible). Dans l'ensemble, l'obstacle important limitant les dispositifs semiconducteurs d'électroniques de puissance pour satisfaire ces exigences c'est les limites du matériau Si. Une solution évidente et réaliste consiste à trouver un remplaçant du Si.

I.3. Matériaux à large bande interdite

L'empêchement du développement des semiconducteurs d'électronique de puissance en raison des limites atteintes par le matériau basique (Si), a suggéré les chercheurs d'orienter leurs efforts vers d'autres matériaux, tels que ceux de large bande interdite. Des progrès techniques importants surviennent pour les processus de développement de ces matériaux en raison de leurs caractéristiques électriques supérieures par rapport à celles du Si.

I.3.1. Propriétés électriques.

Comme montré dans le tableau (Tableau I.1) [15] les matériaux à large bande interdite sont caractérisés par:

- Grande énergie de la bande interdite.
- Champ électrique critique relativement plus élevé.
- Mobilité des électrons est plus élevée.
- Conductivité thermique importante.
- Vitesse de saturation des porteurs très grande.

Grâce à ces propriétés notables des matériaux à large bande interdite, les interrupteurs de puissance à base de ces matériaux ont contribué à des améliorations substantielles des systèmes d'électronique de puissance en raison de leur fonctionnement en forte puissance, avec une efficacité, et fiabilité souhaitée.

Tableau I. 1 : Comparaison des caractéristiques physiques du Si avec les semiconducteurs à large bande interdite (Gap) [15] [16] [17].

Propriété	Si	3C-SiC	6H-SiC	4H-SiC	GaN	C
Énergie de la bande Gap E_g (eV)	1.12	2.3	2.9	2.2	3.39	5.45
Constante diélectrique, ϵ_r	11.7	9.6	9.7	10	8.9	5.5
Champ électrique de claquage E_c (kV/cm)	300	2000	2500	3000	5000	10000
Mobilité des électrons: μ_n (cm ² /V.s)	1450	1000	415	950	1000	2200
Mobilité des porteurs: μ_p (cm ² /V.s)	450	45	90	115	350	850
Conductivité thermique: λ_{Th} (W/cm.K)	1.5	5	5	5	1.3	22
Vitesse de saturation des électrons de Drift: V_{sat} (x10 ⁷ cm/s)	1	2.5	2	2	2	2.7
Température d'utilisation maximale: (Tmax(°C))	125	500	500	500	650	800

D'après le tableau ci-dessus, on constate que parmi ces semiconducteurs à large bande interdite, on trouve le diamant ayant la plus large bande interdite; par conséquent, il a également le champ électrique de claquage le plus élevé. Le prototype 4H-C de SiC et le nitrure de gallium (GaN) ont des valeurs similaires. On remarque que les propriétés de ces matériaux sont significativement plus élevées par rapport à celles du Si.

Les dispositifs semiconducteurs d'électronique de puissance à base de ces matériaux à large bande interdite sont capables de tenir des tensions élevées, cela est dû aux propriétés intrinsèques de leurs matériaux de base (champ électrique élevé). Pour montrer les performances de cette nouvelle technologie, on compare les tensions du claquage pour des diodes de même densité de dopage de

différents matériaux. On remarque que cette tension est beaucoup plus grande. Elle est respectivement de l'ordre de 514 fois, 56 fois, 46 fois, et 34 fois pour les diodes en diamant, 6H-SiC, 4H-SiC et le GaN que celle de la diode en Si [15].

En outre, on peut améliorer encore les performances des interrupteurs de puissance à base de ces nouveaux matériaux par l'augmentation de l'intensité du dopage de matériau ce qui accroîtra encore l'écart entre ses limites en tension de claquage avec celles du Si. Un dopage élevé rend la largeur de la zone de migration des porteurs très réduite [18], dans un ordre croissant, le diamant nécessite la largeur la plus minimale, puis le 6H-SiC, 4H-SiC, et le GaN. Par rapport à ces derniers, le Si nécessite une zone de déplétion environ dix fois plus épaisse que celle du polytype SiC et du GaN. En incidence, la résistance à l'état passant (R_{On}) de la zone de migration des semiconducteurs en Si est aussi de l'ordre de dix fois plus grandes que celle des semiconducteurs en SiC et en GaN.

La température maximale (T_{max}) de fonctionnement supportée par un matériau semiconducteur sans présenter des troubles est déterminée par la largeur de bande interdite. Sachant que la limite en température est atteinte lorsque le nombre des porteurs intrinsèques s'approche du nombre des porteurs ajoutés (extrinsèques). Par conséquent, les semiconducteurs de large bande interdite peuvent fonctionner à des températures plus élevées (au-delà de 400°C) [19] [20]. En outre, un matériau dont sa conductivité thermique est grande évacue facilement la chaleur dans son environnement. Cela signifie que la température interne de jonction augmente plus lentement.

La température maximale de fonctionnement pour chaque semiconducteur à large bande interdite T_{maxM} , peut être estimée en fonction de celle de Si par l'équation suivante [21]:

$$T_{maxM} = \frac{L_{Si}}{L_{Mat}} \cdot T_{maxSi} \quad (I.1)$$

Avec T_{maxSi} : la température maximale de fonctionnement supportée par le silicium

L_{Si} : La largeur de la bande interdite du Si.

L_{Mat} : La largeur de la bande interdite du matériau à large bande interdite.

La vitesse de saturation des porteurs est une autre propriété importante des semiconducteurs à large bande interdite, favorisant la possibilité de fonctionner en hautes fréquences de commutation. En effet, la fréquence est directement proportionnelle à la vitesse de saturation des porteurs. Cette dernière est plus grande de plus de deux fois pour ces matériaux que celle du Si. Par conséquent, les interrupteurs de puissance à base de ces matériaux peuvent commuter à des fréquences plus élevées (d'une dizaine à des centaines de fois que leurs homologues en Si).

Le diamant présente des difficultés au niveau de la préparation des masques qui ne sont pas encore résolus [22], alors les composants à base de ce matériau ne sont pas encore commercialisés. Les fabricants de ces semiconducteurs de puissance ont été orientés vers le SiC et le GaN en raison de leur très bon compromis performance/coût de fabrication.

D'autre part, le GaN présente plusieurs inconvénients par rapport au SiC, comme :

Le GaN ne possède pas d'oxyde natif (oxyde de GaN), qui est nécessaire pour la formation des transistors MOS, alors il est impossible d'avoir des transistors MOSFET à base de ce matériau.

Les lingots de GaN sont difficiles à être déposés. En plus, les substrats épais de GaN pur ne sont pas disponibles dans le commerce. En conséquence, les plaquettes du GaN sont plus chères que celle de SiC. [23] [24].

I.3.2. Structure Cristalline

Même que le SiC monocristallin se compose d'autant d'atomes de silicium que d'atomes de carbone, il se cristallise sous plusieurs structures cristallines suivant la disposition des atomes sur la base de la liaison Si-C. On parle alors de polytype.

Il est d'une synthèse difficile, car le pendant de sa très bonne tenue en température et de sa grande dureté est une température de synthèse très haute (>2200°C). D'autre part, la variété de ses formes cristallines, qui possèdent des propriétés électroniques différentes et basculent facilement d'un type à l'autre, rend critique le contrôle des températures et des pressions de synthèse. Le SiC présente trois types de symétries possibles: Hexagonale, Cubique ou Rhomboédrique. Pour passer d'un plan cristallin à un autre, trois configurations suivant l'axe perpendiculaire au plan (axe c) existent, notées A, B et C, définies par des arrangements tétraogonaux entre un atome de carbone et quatre atomes de silicium (Figure I.4).

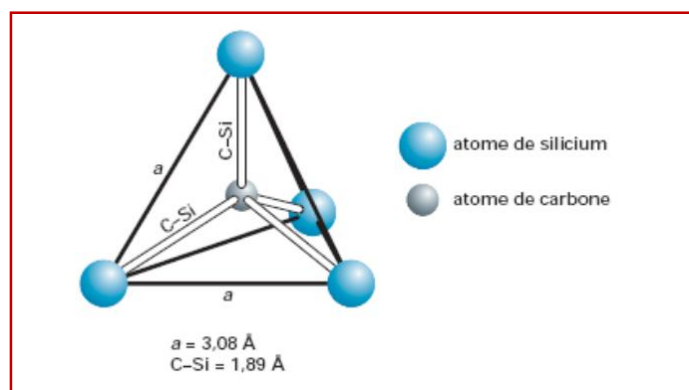


Figure I. 4: Arrangement tétraogonal entre un atome de carbone et quatre atomes de silicium.

La combinaison des enchaînements de plans détermine le polytype (Figure I.5). La structure cristalline du polytype SiC-4H. (ACAB-ACAB ...), qui possède à la fois un site de type hexagonal et un site de type cubique. Sur le polytype SiC-6H, la maille élémentaire comprend cette fois 6 plans cristallins (ABCACB-ABCACB ...). Sur le polytype SiC de type 3C on ne rencontre que la configuration cubique, tandis que sur le polytype SiC-2H (AB-AB ...) il n'y a que des sites hexagonaux. Mais ces deux polytypes sont soit moins intéressants (3C) soit difficiles à obtenir et instables (2H) que le SiC-4H et le SiC-6H [25] [26].

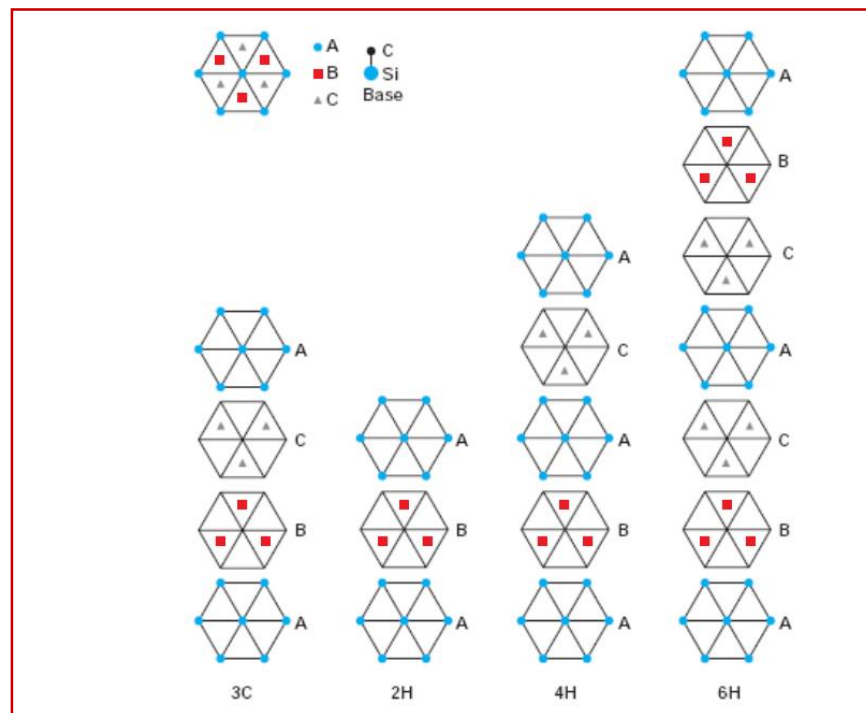


Figure I. 5: Séquence d'empilement des principaux polytypes de SiC.

I.4. Disponibilité commerciale des composants en SiC

En raison des avantages portés par la technologie SiC, cette dernière a été largement développée durant les dernières années. Pour profiter pleinement de ces avantages, un grand effort a été déployé dans le développement, la démonstration et la commercialisation des semiconducteurs en SiC pour les applications d'électronique de puissance. Avec la recherche et le développement continu, l'industrie des dispositifs à semiconducteur de puissance en SiC en pleine expansion.

Le carbure de silicium (SiC) est devenu un matériau de production massive formant une matière première pour les fabricants des dispositifs semiconducteurs de puissance, des opto-semiconducteurs, des modules de puissance et des circuits intégrés [27].

Le marché des semiconducteurs de puissance en SiC occupe déjà environ 1% du marché global des semiconducteurs de puissance en moins de 15 ans de développement. Même avec le ralentissement marqué de l'électronique de puissance (chute de presque -20%) marqué vers la fin de 2011. Le marché des semiconducteurs en SiC garde sa croissance avec un taux d'augmentation de 38% chaque année. En revanche, ce nouveau matériau a conquis le marché des semiconducteurs au détriment du silicium [28]. Le rapport de Yole Development "SiC marché 2013" a indiqué la tendance croissante des 5 prochaines années (Figures I.6, I.7 et I.8)

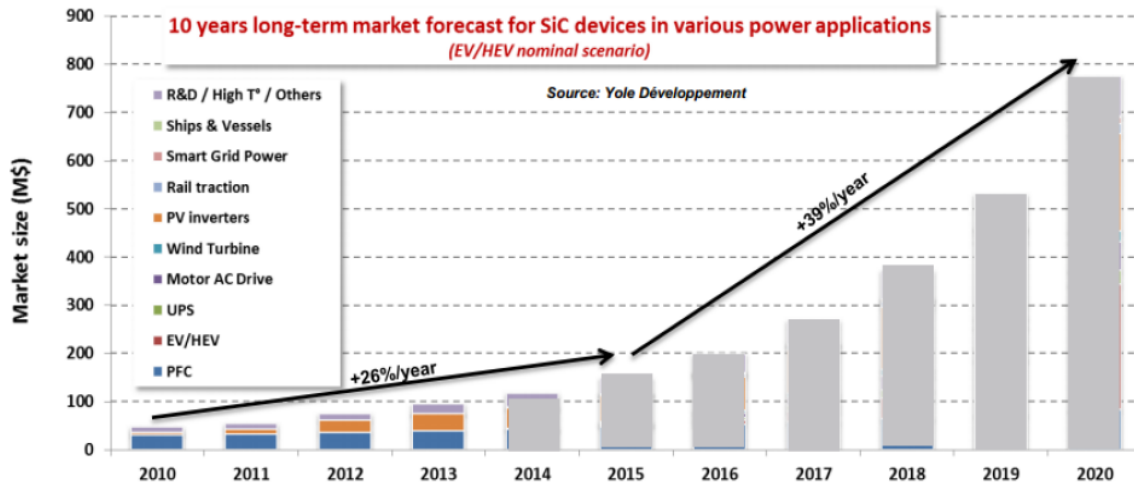


Figure I. 6: Analyses prévisionnelles du marché des semiconducteurs de puissance en SiC selon Yole.

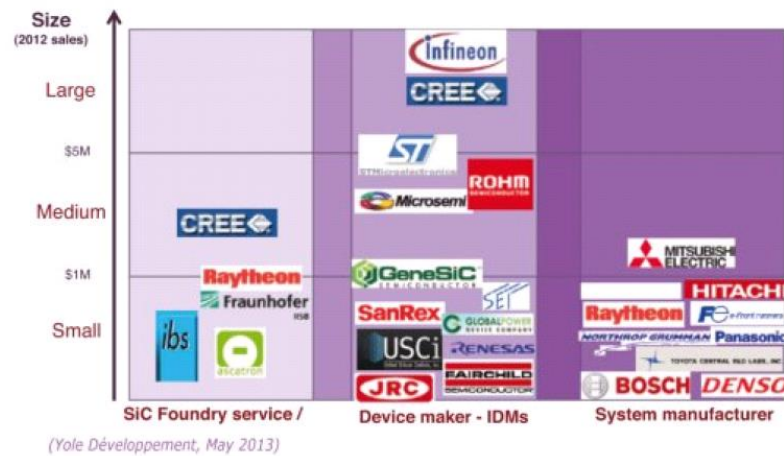


Figure I. 7: Taille et répartition des sociétés productrices des semiconducteurs de puissance en SiC.

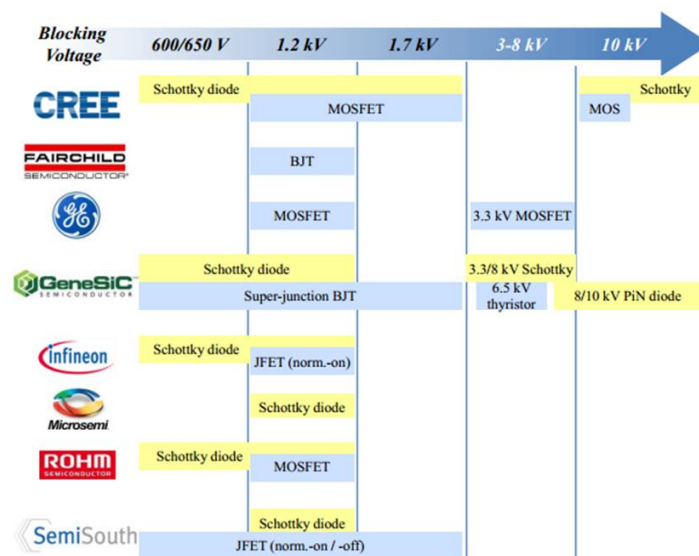


Figure I. 8: Classement des producteurs des dispositifs de puissance en SiC (2013).

Parmi les nombreux polytypes en SiC, seules le 6H-SiC et le 4H-SiC sont les plus attractifs. Ces deux types de tranches ont été disponibles dans le commerce respectivement depuis 1989 et 1993. D'autre part la technique 6H-SiC est légèrement plus développée et moins chère. En revanche, en raison de sa mobilité plus élevée des porteurs de charges, le polytype 4H-SiC semble le plus adapté aux interrupteurs verticaux, ce qui le rend le plus prometteur. Actuellement, les fournisseurs des tranches en SiC sont devenus nombreux. Depuis 2001 la société CREE a dominé le marché des SiC par sa production des tranches de SiC, d'environ 85% de ce marché 250000 tranches ont été produites en 2003, plus de 600 000 unités en 2007 [29].

I.5. Développement technologique des semiconducteurs de puissance en SiC

L'étude bibliographique nous a montré trois branches de développement technologique des semiconducteurs de puissance en SiC, comprenant:

I.5.1. Développement des dispositifs semiconducteurs de puissance en SiC

Le développement des dispositifs semiconducteurs de puissance en SiC s'est intéressé par l'amélioration des niveaux de puissance en tension et en courant supportés par l'interrupteur (le courant de conduction et la tension de blocage), surtout avec de grandes fréquences élevées. Dans ce sens, il s'est focalisé sur l'amélioration des performances des composants semiconducteurs de différentes familles existantes ou de nouvelles familles qui sont en cours de réalisation, appuyée par la recherche et le développement comme les SiC planar power MOSFET, le Baliga SiC transistor....

Seulement quelques familles des transistors de puissance en SiC sont lancées dans le commerce. Alors que de nombreux différents types de transistors en SiC de haute fréquence de commutation et de différentes capacités de puissance sont encore sous test d'échantillonnage et d'essai.

Dans [30]: l'auteur a mis le point sur des interrupteurs en SiC plus performants ayant la capacité de gérer une puissance de l'ordre des mégawatts avec une densité de puissance extrêmement élevée. Ils sont capables de tenir des températures élevées. Ces interrupteurs sont encore sous-développement dans les laboratoires de recherche, faisant l'objectif des produits d'avenir.

I.5.2. Applications des SiC en Électronique de Puissance

La nouvelle technologie des composants en SiC avec le développement des boîtiers de haute fiabilité en température a été plus attractive. Cependant, la conception et le développement des circuits intégrés (IC) sont bien évolués, assurant de multiples avantages en gestion des puissances très élevées, avec des fréquences de commutation rapides, une grande efficacité et une large fiabilité des systèmes. En outre, une robustesse à la tenue des températures de fonctionnement élevées est garantie.

En décembre 2013, Mitsubishi Electric a annoncé officiellement au monde le premier système de variateur de vitesse pour la traction des wagons caténares de 1.5kV DC, intégrant des modules de puissance tout en SiC effectués avec des transistors et des diodes de cette technologie [31]. Par rapport aux modules de puissance basés sur des transistors IGBT classiques en Si, ce système comportant des onduleurs tout en SiC réduisant considérablement les pertes en puissance de 55%. La taille et le poids sont également réduits d'environ 65% par rapport aux systèmes d'onduleurs classiques en Si et d'environ 30% par rapport aux systèmes d'onduleur hybride existant à diodes SiC (Figure I.9).

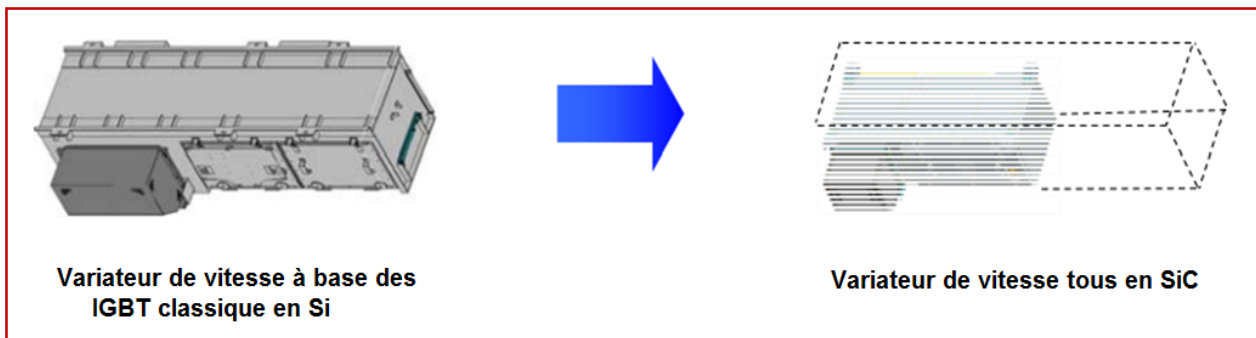


Figure I. 9: Comparaison Taille de Si IGBT et All-SiC Traction Onduleurs

La société CREE a lancé aussi un hacheur élévateur de haute performance, sa fréquence de commutation est évoluée à 100 kHz, et sa puissance à 10 kW, il est basé sur un transistor MOSFET de 1,2 kV et d'une diode Schottky tout en SiC [32]. Ce convertisseur peut atteindre un rendement maximal de 99,1% [33].

Un autre module de puissance de CREE basé sur des MOSFET en SiC de 1200V a montré de grandes performances dans une source de tension ondulée par rapport au module classique en Si IGBT [34].

Il a été aussi exploité cette technologie SiC dans l'électronique de puissance de haute température (HTPE), à travers les convertisseurs de puissance dédiée au forage de fond, aux applications automobiles et aéronautiques. La température ambiante cible de fonctionnement est dans la plage de 200 à 250°C [35].

1.5.3. Structure proposée des semiconducteurs de puissance en SiC dans la littérature

Une grande variété des semiconducteurs de puissance en SiC ont été proposés, y compris les diodes, les BJT, les GTO, les MCT, les MOSFET et les IGBT. Généralement, ces interrupteurs sont de deux types, unipolaires et bipolaires, ou on peut les classer selon leurs bornes, ils sont de deux bornes ou de trois bornes comme montrées sur la figure I.10.

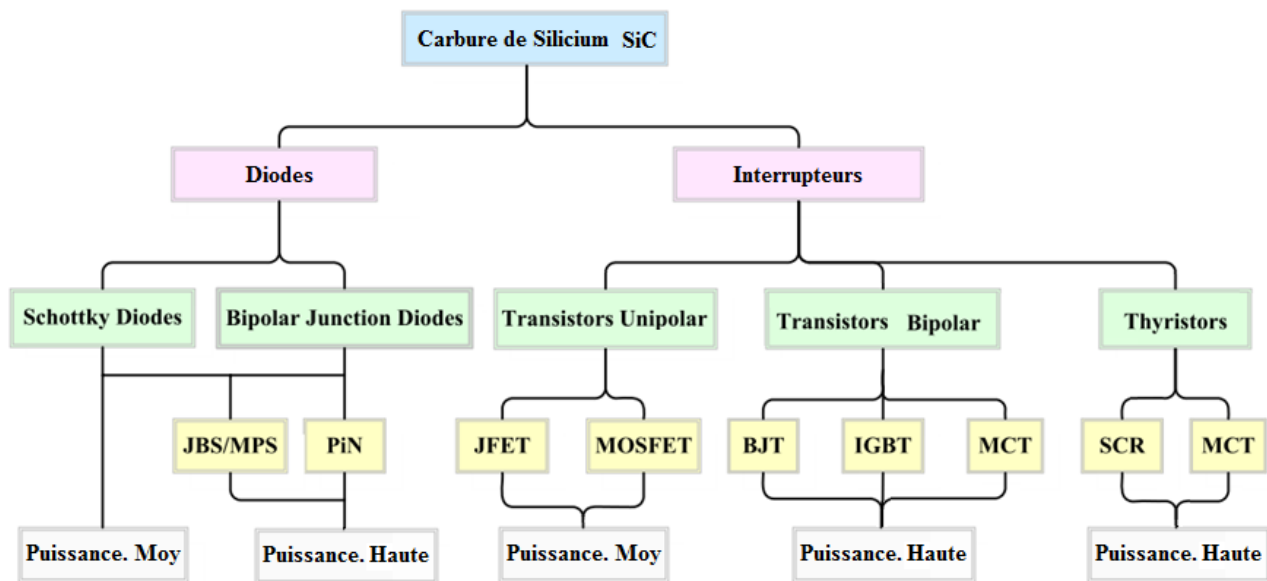


Figure I. 10: Classement des semiconducteurs de puissance en SiC

I.6. Conclusion

Pour conclure, voir les précieux avantages de ce nouveau matériau au niveau des semiconducteurs de puissance, et voir la forte demande industrielle (convertisseur, module...) de cette technologie, un grand nombre d'universités et d'organismes de recherche ont orienté leur compétence et leurs investissements vers cette technologie SiC. D'autre part, les gouvernements aussi ont commencé à financer cette technologie SiC. Par conséquent, toutes ces activités ont augmenté de manière significative la vitesse de développement de la technologie SiC qui est devenue de plus en plus mature.

Alors qu'à l'heure actuelle, le SiC reste le meilleur choix pour les dispositifs à semiconducteur d'électroniques de puissance en raison de sa technologie relativement avancée, et de son bon compromis performances/coût de fabrication, durant les deux dernières décennies, beaucoup de recherches ont été menées sur les polytypes de SiC, et sur les composants à semiconducteur à base de ce matériau. En effet en 2001 et en 2011, CREE a commercialisé successivement la première diode Schottky et le premier MOSFET en SiC. Après ces dates, plusieurs sociétés ont pris leurs parts dans le marché des semiconducteurs en SiC [11].

Pour pouvoir contribuer à toutes ces études, les concepteurs de ces circuits sont appelés à réaliser des simulations avant de lancer leurs circuits. Pour le faire, un bon choix du simulateur approprié avec les modèles compatibles est primordial dans ce domaine. Ceci fera l'objet du chapitre suivant.

Chapitre 2

Chapitre 2: Modèles et Méthodes de modélisation des semiconducteurs d'électronique de puissance

II.1. Introduction

II.2. Modèles existants et leurs limites.

II.2.1. Modèles Physiques.

II.2.2. Modèles Numériques.

II.2.3. Modèles Semi-Numériques (ou Modèles Analytiques).

II.2.3.1 Résolution de EDA par la transformée de Laplace.

II.2.3.2 Résolution de EDA par les courbes asymptotiques.

II.2.3.3 Résolution de EDA par les séries de Fourier.

II.2.4. Modèles basés sur l'expérimentation.

II.2.5. Modèles semi-physique.

II.2.5.1 Modèles électrothermiques.

II.2.5.2 Modèles intégrés (Originaires) dans SPICE.

II.2.5.3 Micromodèles.

II.2.6. Modèles comportementaux.

II.2.7. Macromodèles.

II.3. Plates formes de simulation.

II.3.1 Simulateurs de type Géométrique.

II.3.2 Simulateurs et langages de simulation numériques et formels.

II.3.3 Simulateurs et les langages de simulation multiphysiques.

II.3.4 Simulateurs de type circuit.

II.3.4.1 Saber®.

II.3.4.2 SPICE.

II.4 Méthode d'optimisation.

II.4.1. Introduction

II.4.2. Définition de Recuit Simulé.

II.4.3. Algorithme du Recuit Simulé.

II.5 Conclusion

II.1. Introduction

La modélisation et la simulation sont des tâches primordiales dans les processus de la réalisation des circuits et des systèmes d'électronique de puissance. Le dimensionnement des composants et les démarches de réalisation technologique se font avant la simulation complète du circuit. Cette dernière permet de corriger plus facilement les erreurs éventuelles, de contourner les imperfections du circuit, d'optimiser le coût de développement et d'industrialisation, et d'éviter les retards à la réalisation. Par ailleurs, elle permet aussi d'envisager des scénarios non mesurables sur des composants réels sans les détruire.

Les progrès ont été faits ces dernières années pour concevoir des dispositifs semiconducteurs de puissance de meilleures performances pour que l'électronique de puissance soit plus attractive. Ceci a demandé un effort préalable plus important de modélisation en tenant compte de la majorité des imperfections du circuit. Actuellement, les concepteurs et les développeurs des logiciels de simulation des systèmes d'électronique de puissance doivent répondre aux quatre fortes contraintes industrielles suivantes:

- La modélisation du système doit être fonctionnelle, exécutable et paramétrique, pour être vérifié par simulation la conformité au cahier des charges et aussi pour améliorer les performances du système, tout au long du processus de conception.
- La plate-forme de simulation doit être adéquate et moins coûteuse.
- Les modèles développés doivent être formalisable et capitalisables [36], pour être facilement stockés dans la bibliothèque du simulateur, en raison d'économie des temps de simulation et de développement des nouveaux systèmes.
- Engagement des concepteurs polydisciplinaires afin de mieux tenir compte de tous les phénomènes intercircuit pour mieux résoudre en collaboration les problèmes des systèmes complexes.

Dans le but de garantir un niveau de confiance élevé dans le flot de conception, tout en assurant un coût réduit, nous avons besoin de modéliser et simuler le système de puissance complet dans un environnement de simulation adapté en tenant compte au maximum des imperfections des composants du circuit.

II.2. Modèles existants et leurs limites.

L'objectif de base de la modélisation des semiconducteurs de puissance est la prédiction de l'écoulement de courant à travers le dispositif semiconducteur en fonction des tensions et des courants appliqués. En effet, il faut tenir compte des conditions environnementales comme la température et le rayonnement, des caractéristiques physiques telles que les dimensions géométriques et le dopage.

La première étape c'est de s'assurer que la formulation mathématique du modèle doit être compatible avec les algorithmes numériques utilisés par le simulateur adopté. En effet, pour accepter un modèle, il faut au moins une bonne approximation des relations réelles décrivant les phénomènes physiques du composant à modéliser. En effet, le concepteur du modèle doit tenir compte du temps de calcul sans oublier la précision du modèle. Ces deux facteurs sont essentiels lors de la formulation du modèle. Néanmoins, un bon compromis entre eux est essentiel, sachant qu'un modèle simple du dispositif semiconducteur de puissance fournit généralement une vitesse de simulation rapide, mais perd en précision. En revanche, un modèle qui est proche du comportement du composant est généralement préféré pour une simulation précise, mais il est inapproprié en temps de simulation. En effet, l'utilisation prévue du dispositif semiconducteur de puissance détermine la nature de son modèle (rapide ou précis).

La procédure basique de sélection du modèle des semiconducteurs de puissance est représentée sur la figure (Figure II.1) suivante:

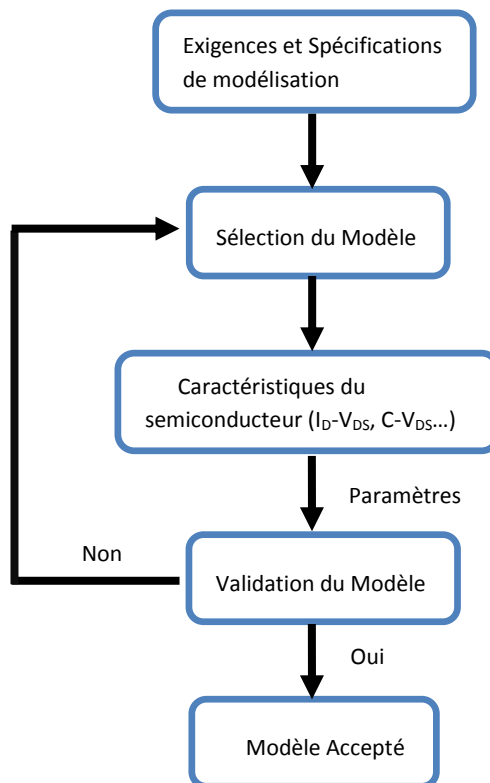


Figure II. 1: Procédure de sélection du modèle des semiconducteurs de puissance

Dans un premier temps, les exigences des concepteurs sont déterminées en fonction du compromis précision et temps de simulation. Après avoir sélectionné le modèle, on détermine ses paramètres à partir des caractéristiques du semiconducteur. Ensuite, on procède à sa validation par comparaison des résultats obtenus avec les mesures effectuées sur ce semiconducteur afin de vérifier

son efficacité. Le modèle est acceptable en fonction de la précision des résultats, sinon on sélectionne un autre modèle et le même processus de validation s'applique.

Lors de l'élaboration de ces modèles, il est essentiel que certaines de ses fonctionnalités importantes (caractéristiques statiques ou dynamiques) du dispositif semiconducteur de puissance soient bien représentées: par exemple, les capacités interélectrodes du MOS ont un impact significatif sur le comportement dynamique des semiconducteurs à grille isolée (MOSFET, IGBT, et thyristor MOS-contrôlée). Ces capacités inhérentes pour décrire le comportement dynamique du composant varient fortement avec des tensions aux bornes du semiconducteur. Dans le cas des forts courants de commutation, les composants de puissance s'échauffent pendant leur fonctionnement. En effet, leurs caractéristiques sont fortement fonction de la température de jonction, de sorte qu'un modèle précis doit bien présenter cette dépendance (Modèle Electrothermiques). En outre, le claquage des semiconducteurs de puissance pourrait se produire, par effet d'avalanche, généralement dans des conditions transitoires extrêmes [37] [38].

La recherche bibliographique sur le thème des modèles de simulation informatiques pour la diode Schottky et le MOSFET de puissance, nous a donné un très grand nombre de documents et des livres de multiples auteurs de différents laboratoires de recherche du monde entier.

Ces recherches peuvent encore être classées selon le sujet traité, on trouve des auteurs intéressés par l'analyse de la précision des modèles [39] [40]. Certains d'autres, ont présenté des recommandations sur les méthodes de modélisation [41] [42]. Alors que d'autres sont intéressés par le type de différents modèles existants [43] [44] et les plates-formes compatibles de simulation [45] [46].

Des chercheurs se sont intéressés à la modélisation électrothermique [47], en essayant de contourner certains effets. On trouve aussi des autres qui mettent l'accent sur le calcul des pertes en puissance sans donner des modèles concrets pour les dispositifs à semiconducteur [48] [49]. Certains ont concentré leurs efforts, juste sur la modélisation des systèmes thermiques [50] [51]. Alors que les autres ont proposé des modèles couvrant les pertes en puissance du dispositif à semiconducteur [52] [53] [54], ou les pertes en puissance et les effets thermiques [55] [56]. Seuls quelques auteurs tentent d'inclure toutes les imperfections du composant, mais ne parviennent pas à inclure suffisamment de détails [57], ou leurs modèles ont été très simples [58].

La plupart des modèles électrothermiques des dispositifs utilisés dans les systèmes d'électroniques de puissance exploités dans la recherche sont des modèles basés sur l'expérimentation. Ces modèles sont simples et montrent bien l'impact de la température sur le fonctionnement [59] [56] [60] [61]. Il y a aussi des modèles intégrés dans certains simulateurs, dont la dépendance en température n'est pas incluse ou mal présentée [53] [58].

Les méthodes de modélisation des dispositifs semiconducteurs de puissance sont assez nombreuses [62] [63]. On tente par la suite de montrer l'efficacité et la faiblesse de différents types des modèles les plus largement utilisés pour la simulation des semiconducteurs de puissance.

II.2.1. Modèles Physiques

Ce type de modèle est généralement développé dans le but de tester les performances des dispositifs à semiconducteur. Alors on utilise les équations physiques du semiconducteur pour décrire la distribution potentielle, la concentration des porteurs et la densité du courant (Équation de Poisson, les équations de continuité pour les électrons et les trous, les équations de dérive et de diffusion) [64] [Annexe I].

Ces équations aux dérivées partielles sont non linéaires et n'ont pas des solutions mathématiques exactes. Par conséquent, différentes approches sont proposées pour les résoudre, sous forme de solution approchée. Les premiers modèles ont été basés sur l'approche du contrôle de charge qui n'est pas efficace pour la modélisation des diodes PiN de puissance. En effet, on ne tient pas compte de recouvrement inverse présenté par ces diodes [65]. Cette approche a été modifiée par la méthode des charges localisées [62] [66] [67] [41] afin d'inclure le recouvrement inverse, la mise en conduction de la diode et l'effet de recombinaisons dans les émetteurs des transistors [65] [67].

Bien que tous ces modèles aient une bonne signification physique, pourtant leur inconvénient, comme tous les modèles basés sur la physique, introduisant généralement un grand nombre de paramètres. Le processus de résolution est trop compliqué et prend du temps. Généralement, ces paramètres sont : des paramètres structurels (liés à la conception de l'appareil), des paramètres physiques (niveaux du dopage, caractéristiques du matériau, phénomènes physiques), des paramètres électriques (conductivité, densité du courant), des paramètres thermiques (conductivité et résistivité thermiques). Ainsi, leur extraction est aussi une difficulté. Quelques documents bibliographiques ont motionné les paramètres requis et leur extraction [68] [69]. D'autres modèles traitent uniquement l'extraction de leurs paramètres [70] [71].

Généralement, les paramètres physiques ne sont parfois pas mesurables d'un composant sous boîtier; ceci nécessite alors de lourdes méthodes d'identification, sinon des essais spécifiques sont nécessaires dans des laboratoires spécialisés dans le domaine du semiconducteur. On pourrait dire que, d'un point de vue de l'ingénierie, ces modèles sont le plus difficile à appliquer.

II.2.2. Modèles Numériques

La modélisation numérique des dispositifs semiconducteurs de puissance nécessite la résolution numérique des équations fondamentales du composant aux conditions aux limites, utilisant une des méthodes de discrétisation spatiale, suivante :

- La méthode des éléments finis (Finite Element Method).
- La méthode des volumes finis (Finite Volume Method).
- La méthode des différences finies (Finite Difference Method).
- La méthode des moments (Moments Method).
- La méthode des équations intégrales de frontières (Boundary Integral Equation Method).
- La méthode des lignes de transmission (Transmission Line Method).

Les modèles numériques sont obtenus à partir des outils de simulation numérique (SILVACO, DESSIS-ISE, SENTAURUS TCAD, MEDICI, ATLAS, etc.) en 2D ou 3D. La résolution numérique par ces logiciels consiste dans une première étape à décrire la structure (1D, 2D, 3D) du dispositif, et de définir sa géométrie ainsi que le profil de dopage de manière analytique (Uniforme et/ou Gaussienne).

Une étape de maillage est importante et demande une bonne connaissance des conditions aux limites pour garder la convergence du programme. La deuxième étape de la simulation consiste à la résolution numérique des équations aux dérivées partielles de la physique des composants (Annexe I). Ces équations sont résolues par une méthode itérative (de Newton) à chaque point de maillage où la convergence dépend essentiellement de ce dernier, de la précision et du pas du calcul.

La modélisation numérique fournit des résultats très précis, mais elle est compliquée, ayant des calculs intensifs, et nécessite des connaissances bien détaillées en ce qui concerne les propriétés des matériaux et de la géométrie du dispositif semiconducteur à modéliser.

II.2.3. Modèles Semi-Numériques:

Ces modèles sont entre les modèles basés sur la physique et les modèles numériques. Ils utilisent un ensemble d'expressions mathématiques pour décrire le comportement du semiconducteur. Généralement, ils simplifient les équations physiques fondamentales du semiconducteur sous des hypothèses spécifiques [72] [73] [31] [74]. Le format et la complexité de ces modèles varient considérablement en fonction du nombre de paramètres caractérisant les imperfections du semiconducteur de puissance. De plus, ces modèles incluent la plupart des caractéristiques statiques et dynamiques du semiconducteur.

Par exemple, pour certains semiconducteurs de puissance, en particulier les bipolaires, la distribution des porteurs dans les différentes régions du semiconducteur est déterminée par l'équation de diffusion ambipolaire (EDA) en vertu du niveau d'injection des porteurs (Figure II.2).

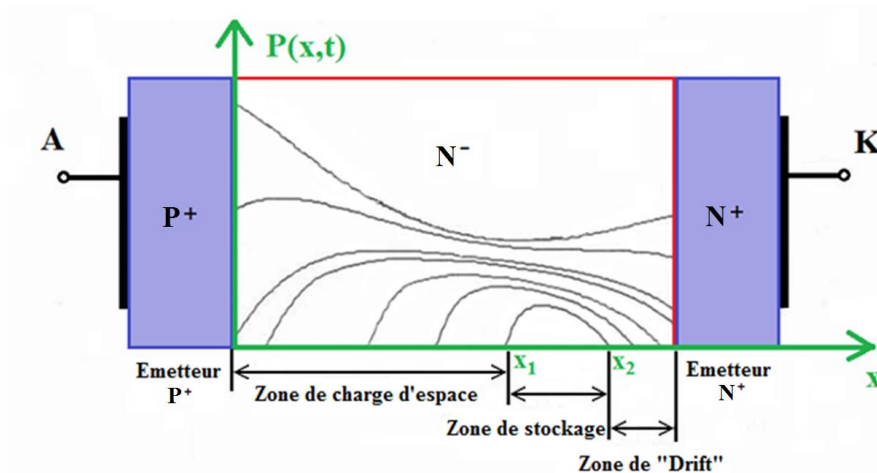


Figure II. 2: Distribution de la densité des porteurs de charge, en recouvrement inverse de la diode PiN.

La résolution de l'équation (II.1) pour une diode PiN de puissance dans certaines conditions [75] prend différentes approches.

$$D_a \cdot \frac{\partial^2 P(x,t)}{\partial x^2} = \frac{P(x,t)}{\tau} + \frac{\partial P(x,t)}{\partial t} \quad (\text{II.1})$$

$P(x,t)$: la distribution instantanée des porteurs (trous ou électrons).

D_a : la constante de diffusion ambipolaire.

τ : la durée de vie des porteurs.

Les principales approches de résolution sont :

- La résolution de EDA par la transformée de Laplace
- La résolution de EDA par les courbes asymptotiques
- La résolution de EDA par les séries de Fourier

II.2.3.1. Résolution de EDA par la transformée de Laplace

Cette approche a été appliquée par Strollo pour la modélisation de la diode PiN de puissance, il utilise une approximation par fraction rationnelle pour l'équation de diffusion ambipolaire (EDA), traitée dans le domaine de Laplace [76] [77]. La conversion de EAD est faite par l'équation suivante :

$$D_a \frac{\partial^2 P(x,s)}{\partial x^2} = \left(\frac{1}{\tau} + s \right) \cdot P(x,s) \quad (\text{II.2})$$

À partir de la solution générale de l'équation. 2.3 et en substituant $P(0, s)$ et $P(W, s)$. En effet, les équations résultantes peuvent être interprétées comme les équations d'un réseau à deux ports (figure II.3) auquel les tensions de nœuds correspondent à la concentration de porteurs, et les courants d'entrée et de sortie correspondent au dérivé des concentrations des porteurs par rapport à x .

Les conditions aux limites non linéaires de l'EAD [75] sont représentées par deux générateurs de courant non linéaires (G_L et G_R) commandés successivement par le courant de la diode au niveau de $P(0)$ et de $P(W)$.

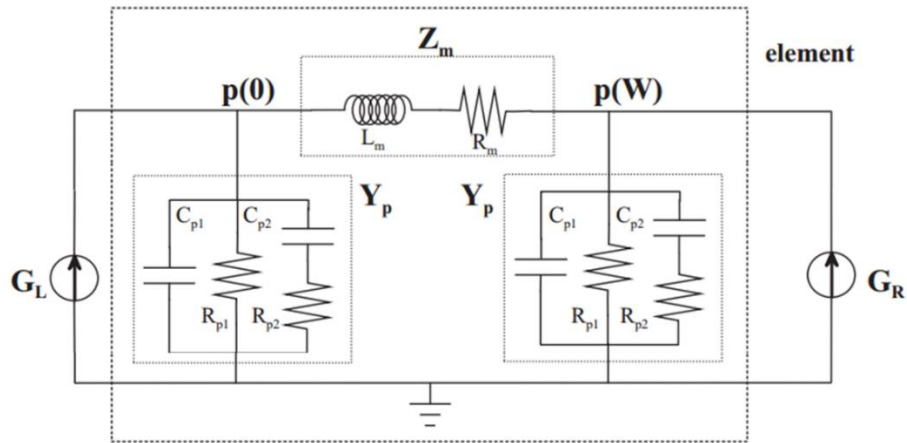


Figure II. 3: Schéma du modèle de la diode PiN

Les paramètres Z_m et Y_p du modèle de circuits équivalents localisés, sont en fonction de "s", et sont approchés avec des expressions rationnelles, évaluées par les termes de la série de Taylor (R_m et L_m) et par l'approximation de Padé (Y_p) [75].

II.2.3.2. Résolution de EDA par les courbes asymptotiques

Cette approche a également été appliquée par Strollo [78] [79], c'est une extension du modèle précédent. Cependant, la résolution de l'EDA à travers la transformation de Laplace avec de nouvelles conditions aux limites [75] conduit à une nouvelle expression du courant par rapport à la charge (II.3):

$$I(s) = Q_0(s) \frac{1}{\tau} \cdot \frac{L_a}{x_m} \cdot \sqrt{1+s\tau} \cdot \tanh\left(\frac{x_m}{L_a} \cdot \sqrt{1+s\tau}\right) \quad (\text{II.3})$$

L'expression de la distribution des porteurs (II.3) dans la couche épitaxiale sous forme des fractions continues dans le domaine de Laplace (s) est obtenue par la théorie des courbes asymptotiques [80] (II.4).

$$\frac{I_1(s)}{Q_0(s)} = \frac{1}{Z_0 + \frac{3}{T_0 + \frac{1}{5Z_0 + \frac{1}{7 + \frac{1}{T_0 + 9Z_0 + \dots}}}}} \quad \text{avec} \quad Z_0 = \frac{\tau}{1+s\tau} \quad \text{et} \quad T_0 = \frac{x_m^2}{D_a} \quad (\text{II.4})$$

Où x_m est une abscisse constante, I_1 est la composante du courant total due à l'injection des porteurs dans la couche épitaxiale et Q_0 est la quantité des charges en excès à droite de jonction PN. La précision des résultats obtenus en utilisant ces méthodes est directement liée au nombre de cellules utilisées dans le modèle. Il est présenté par (Figure II.4) :

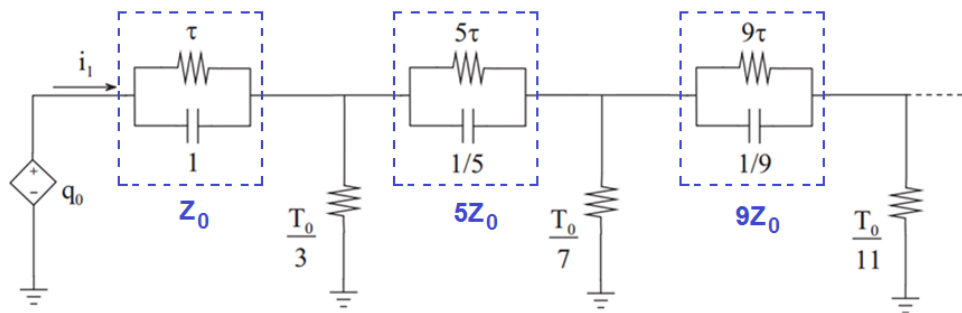


Figure II. 4: Réseau électrique représentant le modèle de la diode PiN.

II.2.3.3. Résolution de EDA par les séries de Fourier

La résolution de EDA comme a été démontré dans [81] [82], consiste à représenter la répartition des porteurs $P(x,t)$ sous forme d'une série périodique discrète de Fourier avec une période de $2[x_2(t)-x_1(t)]$, où x_1 est la zone de stockage et x_2 est la zone de drift, avec:

$$P(x,t) = V_0(t) + \sum_{k=1}^{\infty} V_k(t) \cos\left[\frac{k\pi(x-x_1)}{x_2-x_1}\right] \quad (\text{II.5})$$

Beaucoup de chercheurs ont adopté ce type de solution pour résoudre le EDA, y compris la dépendance à la température dans leurs modèles [83] [84]. La solution trouvée a été représentée par une analogie électrique simple, sous la forme de deux lignes RC correspondant aux valeurs paires et impaires de k (Figure II.5).

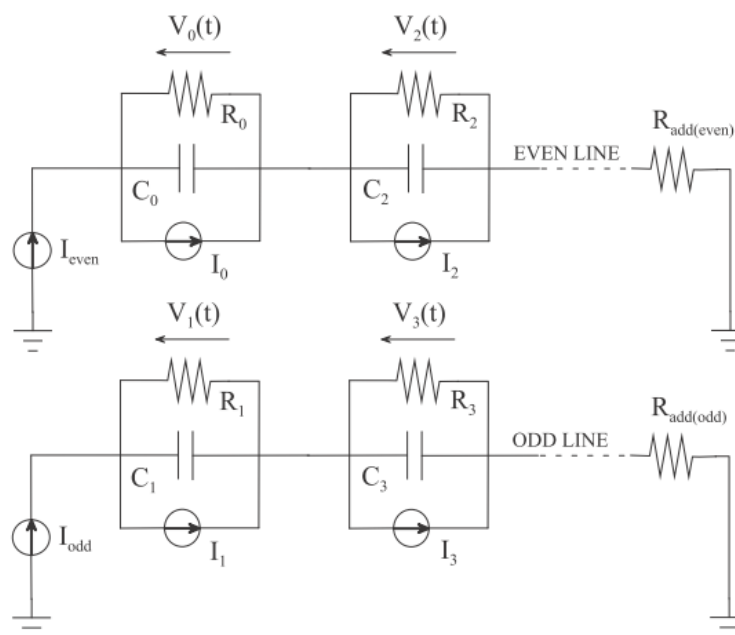


Figure II. 5: Modèle de la diode PiN par deux lignes RC; Résolution de EDA par les séries de Fourier

Les valeurs des éléments R et C du circuit sont en fonction de l'épaisseur de la zone (x_2-x_1) de stockage des porteurs libres (Figure II.2).

$$\text{pour } k = 0, \begin{cases} C_0 = x_2 - x_1 \\ R_0 = \frac{\tau}{x_2 - x_1} \end{cases} \quad (\text{II.6})$$

$$\text{pour } k \neq 0, \begin{cases} C_k = \frac{x_2 - x_1}{2} \\ R_k = \frac{2}{x_2 - x_1} \cdot \frac{1}{\frac{1}{\tau} + \frac{k^2 \cdot \pi^2 \cdot D_a}{(x_2 - x_1)^2}} \end{cases}$$

II.2.4. Modèles basés sur l'expérimentation

Cette méthode se base sur l'ensemble des équations physiques des semiconducteurs dont leurs paramètres physiques sont déterminés par des processus expérimentaux bien décrits [75].

La précision de ces modèles est limitée par le nombre de tests, le banc de test, le mode opératoire et les conditions de ce test. Ils peuvent varier d'un cas à un autre, et ne sont pas universellement applicables. Même pour le même cas, ces modèles ne peuvent pas prédire les comportements du dispositif modélisé au-delà du champ d'essai. Si le nombre d'échantillons et de tests augmente, les modèles ne peuvent plus être représentatifs. Cependant, de nombreuses expériences exigent une grande compétence pour les manipuler correctement. Cette compétence on la trouve juste chez quelques laboratoires de recherche et chez les grandes sociétés de fabrication des composants semiconducteurs de puissance.

II.2.5. Modèles semi-physiques

II.2.5.1. Modèles électrothermiques

De nombreux chercheurs ont utilisé différentes approches pour élaborer leurs modèles électrothermiques. La plupart d'entre eux ont utilisé un circuit thermique équivalent pour modéliser les changements de température dans les systèmes d'électroniques de puissance [50] [51]. Cependant, la différence réside au niveau de la façon d'obtenir les paramètres et les solutions des équations thermiques. Dans la bibliographie, on trouve que la plupart ont utilisé la méthode d'ajustement des courbes pour relever ces paramètres thermiques [85]. Certains ont procédé à la résolution des équations des circuits dans le domaine temporel [86], ou dans le domaine fréquentiel [87].

La majorité des équations physiques des semiconducteurs sont directement ou indirectement dépendantes de la température. À titre d'exemple, l'équation fondamentale du courant de la diode est explicitement dépendante de la température (II.7).

$$I_D = I_s \left(\exp \left(\frac{q \cdot V_D}{n \cdot k \cdot T} - 1 \right) \right) \quad (\text{II.7})$$

Les principaux paramètres des équations physiques du semiconducteur dépendent de la température, comme le montrent les équations suivantes :

Le courant de saturation de la diode est donné par: [40].

$$I_s(T) = I_s(T_{amb}) \left(\frac{T}{T_{amb}} \right)^{\frac{XTI}{n}} \times \exp \left(\frac{q \cdot E_g}{n \cdot k \cdot T} \times \left(\frac{T}{T_{amb}} - 1 \right) \right) \quad (\text{II.8})$$

La résistance (interne de la diode) en série (Rs) [40].

$$R_s(T) = R_s(T_{amb}) \cdot \left[\left(\frac{T}{T_{amb}} \right)^\gamma + TR_{S1} (T - T_{amb}) + TR_{S2} (T - T_{amb})^2 \right] \quad (\text{II.9})$$

Le temps de transition direct TT est estimé par la relation suivante [40].

$$TT(T) = TT(T_{amb}) \left(\frac{T}{T_{amb}} \right)^\beta \quad (\text{II.10})$$

Avec :

T_{amb} = la température ambiante qui est égale à 27°C

T = la température de consigne

E_g = l'énergie de la bande interdite à la température T=300°K

XTI, γ , β , TR_{S1} , TR_{S2} sont des coefficients donnés par défaut par SPICE, et sont modifiables.

Ces équations et d'autres sont utilisées par SPICE pour représenter les effets de la température durant la simulation. Mais, cette représentation pose certains problèmes:

Dans le cas où le modèle utilisé ne fournirait pas les paramètres des équations comme XTI et n, ces paramètres seraient pris par défaut par SPICE, de ce fait, la simulation se déroulerait avec ces valeurs prises par défaut, par conséquent les résultats obtenus pourraient être erronés, ainsi que le programme de simulation peut se diverger.

D'autre part l'effet de la température interne (échauffement) décrit par ces équations est basique, car la variation de la température n'est pas prise en compte, et sera stable durant la simulation. Ce problème ne se pose pas avec un dispositif semiconducteur de bas niveau de puissance, car son échauffement est souvent très faible dans le court terme ainsi qu'uniforme dans sa petite surface de la matrice semiconductrice. Mais avec des semiconducteurs d'électronique de puissance, le problème survient puisque la température de jonction du semiconducteur varie instantanément en raison du fort

niveau de puissance instantanée, de l'impédance thermique de la jonction-boîtier ($R\theta_{JC}$) et du système de dissipation thermique. Les semiconducteurs de puissance sont également soumis à des modifications transitoires remarquables de la température de jonction lors de chaque événement de commutation et surtout lors d'un défaut (court-circuit, courant de fuite...) [88].

II.2.5.2. Modèles intégrés (originaux) dans SPICE

Ces modèles sont attachés à un type de simulateurs, comme SPICE, et Saber. Ces modèles sont compacts, spéciaux et sont disponibles dans les bibliothèques internes du simulateur sous forme d'un code Netlist. Ils sont généralement définis comme une forme compilée de modèles basés sur la physique. L'analyse des systèmes et des circuits d'électronique de puissance fait appel à ces modèles de la bibliothèque interne du simulateur. Dans la plupart des recherches, on trouve ces modèles [89] [90]. Pourtant ils ont été initialement conçus pour les composants de la microélectronique. Cependant, ils représentent mal le comportement dynamique et statique des composants de puissance du côté de la variation de la température interne [62].

Pour résoudre ces problèmes, des modèles dits sous circuit ont été construits, en utilisant des modèles intégrés dans les simulateurs (SPICE) et en introduisant des composants passifs, des commutateurs, et des sources de courant ou de tension commandées, afin de mieux représenter les phénomènes intercomposants de puissance [89]. L'avantage de ces modèles est que leur code déjà élaboré et intégré dans le simulateur contient des paramètres définis par défaut comme le Berkeley Short Channel IGFET Model (BSIM). Ce dernier utilise environ deux pages de paramètres pour modéliser un MOSFET de la version 3.2 du BSIM3 [91] [3]. Ces modèles se basent souvent sur les équations de la physique discutée précédemment, et que l'utilisateur n'a la possibilité qu'à un nombre limité de ces paramètres pour les modifier. Étant donné que ces modèles sont spécifiques au programme de simulation, les performances de la simulation (rapidité, précision) sont très liées aux erreurs de compilation. Cependant, il est primordial de les résoudre en assurant un minimum de problèmes, pour avoir la convergence lors de la simulation.

Certains modèles de ce type ne sont adaptés que pour leur programme de simulation particulier et pour leur plate-forme informatique. En outre, l'inconvénient majeur est que ces modèles ne seront pas probablement adaptés pour les autres simulateurs.

II.2.5.3. Micromodèles

Un micromodèle est basé sur les équations physiques du semiconducteur telles que l'équation de diffusion, l'équation de continuité du courant, etc. les paramètres du modèle sont les paramètres par lesquels sont déterminés les phénomènes au sein du semiconducteur comme les niveaux de dopage dans les différentes zones et les dimensions géométriques. Puisque les micromodèles sont constitués à partir des équations mathématiques, notamment dérivées de la physique des semiconducteurs, ils présentent certaines performances comme la précision et l'étendue de la plage de validité au détriment du temps de simulation, et du problème de convergence.

Les nouvelles versions des logiciels de simulation offrent la possibilité d'incorporer de nouveaux modèles, en implémentant directement les équations du modèle dans le code source du simulateur. Le PSPICE, version commerciale de SPICE, permet d'insérer les équations mathématiques sous forme de sources contrôlées par son option de Analog Behavioural; ainsi SABER possède un langage de description appelé MAST à ce propos.

II.2.6. Modèles comportementaux

Un modèle comportemental peut être décrit comme une représentation fournissant la réponse d'un système soumis à des forces extérieures sans avoir une connaissance réelle de ces paramètres internes. Ce type de modélisation est souvent utilisé dans le but de réduire la complexité du modèle, d'augmenter la vitesse de simulation, ou quand on a un manque de données concernant le contenu du système. En plus ce dernier est considéré comme une "boîte noire". Les paramètres pertinents de ce modèle n'ont aucune signification physique directe. Un grand nombre de documents bibliographiques, utilisant le terme "Behavioural Modèle" pour mettre l'accent sur l'utilisation des modèles comportementaux analogiques (ABM) de la bibliothèque (.abm) du SPICE. Ce modèle contenant essentiellement des sources de tension et de courant commandées par une tension ou par un courant prenant diverses formes mathématiques (équations, polynômes, tableaux de données, Laplacienne,...) basées sur la physique [92] [93].

II.2.7. Macromodèles

Un Macromodèle reproduit le comportement d'un composant semiconducteur vu de l'extérieur. Dans ce type de modèles, on utilise les techniques empiriques sans prendre en compte les dimensions géométriques et les processus physiques internes du dispositif. Le comportement du semiconducteur est modélisé par un circuit combinant les modèles des composants propres du simulateur comme les résistances, les capacités, les sources commandées [94] [45]. La précision et la fiabilité de ces modèles sont relatives, selon les phénomènes physiques inclus, et la marge de validité de leurs paramètres. En effet, si l'identification des paramètres de tels modèles est faite juste pour un point de fonctionnement (pour une seule température), alors elle n'est valide avec précision que pour ce point (juste pour cette température). En outre, si les équations qui régissent les Macromodèles sont découplées des phénomènes physiques qui se produisent au sein du semiconducteur, ces modèles ne sont souvent pas utilisables lorsque les conditions de l'environnement des circuits changent.

Cette approche fonctionne bien pour les semiconducteurs composés tels que les opto-coupleurs, ainsi elle a été utilisée pour le développement des modèles de IGBT [45] [95]. Un Macromodèle du MOSFET a été développé en ajoutant des diodes, des condensateurs, une résistance commandée représentant la capacité non linéaire de la grille. La dépendance en température a été représentée par une résistance drain source R_{DS} [94]. La mise en œuvre effective d'un modèle comportemental est devenue très spécifique à une plate-forme, on a le langage MAST pour le simulateur Saber, et SPICE pour les Simulateurs de type SPICE (PSPICE, HSPICE....).

Les modèles proposés dans ce travail sont des modèles comportementaux basés sur SPICE. Ils sont formés à partir des modèles analogiques de la bibliothèque ABM de SPICE. Ils sont utilisés pour représenter la réponse des composants de puissance, afin d'étudier les caractéristiques externes du circuit. L'avantage est que ces modèles ne requièrent pas de plates-formes spécifiques puisqu'ils ne sont qu'un moyen de définir le semiconducteur, sans entrer dans beaucoup de détail physique, pour éviter la complexité des modèles.

II.3. Plats formes de simulation

Le type du modèle qui sera utilisé dépend également de la plate-forme informatique disponible. Il existe une multitude de plates-formes de simulation informatiques disponibles pour le concepteur des circuits d'électronique de puissance, mais elles ne sont pas toutes appropriées pour certaines simulations. Les différentes familles de ces simulateurs seront décrites par la suite.

II.3.1. Simulateurs de type Géométrique

Ce type de simulateur nécessite une très bonne connaissance géométrique de la structure du semiconducteur, ainsi que certains paramètres physiques caractérisant son matériau. Dans l'ensemble, ces simulateurs résolvent numériquement les cinq équations physiques du semiconducteur à savoir : l'équation de Poisson appliquée sur la densité des charges dans la zone de charge d'espace, les deux équations de la continuité des électrons et des trous, enfin les équations de la densité des électrons et des trous. [Annexe I].

Ces simulateurs sont puissants et sont bien adaptés pour les fabricants des semiconducteurs de puissance (travaux de laboratoire). Ils donnent l'accès direct à la manipulation des caractéristiques purement physiques de fabrication tels que: les dimensions du masque, les densités des porteurs, la densité et le type des impuretés, etc. Pourtant ces caractéristiques ne sont plus à la portée des ingénieurs d'application et des concepteurs des circuits de l'électronique de puissance qui sont plus intéressés que par les détails du circuit et des systèmes à un niveau bien déterminé.

Ce type de simulateurs des semiconducteurs sont développés par des universités et des industries, les plus populaires sont: SEDAN (1984), BIPOLE (1993), BAMBI (Franz et all, 1989), MINIMOS (Fischer et all, 1994), PISCES (1989), MEDICI (1993), DAVINCI (1993), ATLAS (1996), et FIELDY (Buturla et all, 1988).

SEDAN: (SEmiconductor Device ANalysis) a été développé par l'Université de Stanford Californie USA en 1984, c'est un logiciel de simulation unidimensionnel, capable d'analyser un semiconducteur de cinq jonctions métallurgiques. Il effectue une analyse du semiconducteur par la résolution de l'équation de Poisson ou par la résolution simultanée de l'équation de Poisson, et de l'équation transitoire de la continuité du courant pour obtenir les distributions des concentrations des potentiels et des porteurs.

BIPOLE: C'est un simulateur quasi bidimensionnel des semiconducteurs. Il a été développé à l'Université de Waterloo, Canada en 1993, fournissant un moyen pratique et rapide pour la prévision des caractéristiques électriques des transistors bipolaires à partir des données spécifiques fournies par le fabricant telles que les dimensions du masque, les profils des impuretés et la recombinaison des porteurs. Le calcul est basé sur l'approche des limites régionales variables en utilisant les équations de transport unidimensionnelles. Les effets de bord bidimensionnels et quasi cylindriques sont traités en combinant une analyse unidimensionnelle verticale couplée avec une analyse unidimensionnelle horizontale des équations de transport de la région de base.

BAMBI (Basic Analyzer of MOS and BIpolar devices): C'est un simulateur des semiconducteurs à deux dimensions développé à l'Université Technique de Vienne, Autriche en 1989. Ce simulateur résout simultanément les équations de Poisson et de la continuité de courant. Cependant, seules les géométries de formes arbitraires peuvent être simulées avec ce logiciel. Le processus de génération et de la manipulation des points de différentes densités est autonome. Ainsi ce programme comprend un algorithme de contrôle du pas de temps automatique. Mais malheureusement, il ne comprend pas des modèles pour relever certains paramètres physiques tels que les mobilités des porteurs des charges (μ_p et μ_n). Pourtant pour faire la simulation avec ce logiciel ces paramètres doivent être définis par des fonctions externes, permettant un usage général du package.

MINIMOS: Ce logiciel a été aussi développé à l'Université technique de Vienne, Autriche en 1994, c'est un simulateur numérique à deux et trois dimensions, comme indique son nom il est dédié pour les simulations des transistors à effet de champ. Ce logiciel résout les équations physiques fondamentales du semiconducteur, comprenant l'équation de Poisson et deux équations de continuité des porteurs d'une manière numérique. Ainsi il présente une solution cohérente de ces équations de semiconducteurs d'une manière hiérarchique, à partir d'un modèle relativement simple dans un premier temps, ensuite cette solution devient de plus en plus exacte en prenant en compte les mécanismes physiques plus en plus complexes. Les schémas numériques de ce simulateur sont conçus pour traiter les structures planaires et non planaires des semiconducteurs en deux et trois dimensions.

PISCES: Ce logiciel aussi a été développé à l'Université de Stanford en 1989. Il a été amélioré par Technology Modeling Associates (TMA). C'est un simulateur bidimensionnel des semiconducteurs, il est puissant pour le développement des circuits intégrés des transistors MOS et bipolaires, les modèles des distributions bidimensionnelles des concentrations des porteurs et des potentielles d'un semiconducteur sont fournis pour prédire les caractéristiques électriques de ce dernier à n'importe quelle condition de polarisation.

MEDICI: C'est une version améliorée de PISCES. Ce programme a été développé par TMA, en permettant aux utilisateurs la modification des paramètres du modèle région par région, ainsi que la modification des paramètres matériels qui sont accessibles par l'utilisateur. Avec la méthode de simulation par grille triangulaire non uniforme, MEDICI peut modéliser des géométries des composants arbitraires avec des topologies planaires ou non-planaires.

DAVINCI: C'est un simulateur des semiconducteurs tridimensionnels permettant la résolution des équations des concentrations des potentiels et des porteurs de charges d'un semiconducteur en trois dimensions, et permet aussi la prédiction de ses caractéristiques électriques selon les conditions de polarisation.

ATLAS: C'est un logiciel de simulation des semiconducteurs qui a été développé par la société SILVACO: internationale. Il est puissant capable de simuler les semiconducteurs avec précision en utilisant une méthode numérique pour la résolution des équations physiques du semiconducteur, en deux et trois dimensions. Il permet aussi une très bonne prédiction du comportement électrique des structures semi-conductrices spécifiques et donne un aperçu des mécanismes physiques internes liés à l'exploitation du composant.

II.3.2. Simulateurs et langages de simulation numériques et formels

Pendant longtemps, le calcul numérique était principalement réalisé à l'aide du langage FORTRAN ou du langage C. Par ailleurs, aujourd'hui il existe de nombreux outils, plus ou moins spécialisés, et notamment ce qu'on appelle les logiciels de calculs formels ou numériques basés sur des langages très développés orientés objet comme C++, Java, Python.

Les logiciels basés sur ces langages sont beaucoup développés ces dernières années, se dotant régulièrement de nouvelles fonctionnalités, pour répondre aux divers besoins des utilisateurs, notamment en matière de simulation et de prototypage. Parmi les plus connus, on citera MATLAB, Scilab, Octave et R pour le calcul numérique et Mathematica, Maple, Maxima, et Sage pour le calcul formel.

Un logiciel de calcul numérique manipule des expressions numériques ou encore des nombres. C'est un outil de calcul scientifique très fiable puisqu'il permet d'obtenir des résultats très approchés (de grande précision). Pourtant on peut se servir pour résoudre numériquement des équations différentielles compliquées. Il sera très utile pour l'analyse numérique, ou pour tout ce qui est analyse physique des données.

Un logiciel de calcul formel (ou symbolique) manipule des expressions symboliques, avec inconnues ou paramètres, autrement dit des "formules", cependant il permet d'étudier et d'analyser les systèmes et les problèmes mathématiques. À la différence d'un logiciel de calcul numérique, ce type favorise la compréhension globale (et non locale) du problème traité, et manipulera des résultats exacts (pas d'approximation numérique). Il est principalement utilisé en mathématique ou dans des domaines proches.

Aujourd'hui, la plupart des logiciels de calculs formels permettent également de faire du calcul numérique, quoique moins adaptés que les premiers. Il est ainsi possible d'effectuer des calculs numériques sous Maple, mais l'expérience montre que MATLAB ou Scilab sont plus adaptés. Le tableau suivant classe ces logiciels selon le contexte d'utilisation.

Tableau II. 1 : Logiciels de calcul formel selon le contexte d'utilisation.

	Commercial	Libre
Probabilités/statistiques	MATLAB	R
Physique, sciences de l'ingénieur	MATLAB (Simulink)	Scilab (Xcos)
Mathématiques	Maple, Mathematica	Maxima, Sage
Industrie, simulation, prototypage	MATLAB	Scilab

On trouve d'autres langages de modélisation numérique qui sont des langages de description matérielle de haut niveau connue sous le nom HDL (Hardware Description Language). Un langage HDL est une instance d'une classe de langage informatique ayant pour but la description formelle d'un système électronique. [96].

Le langage HDL peut généralement :

- Décrire le fonctionnement du circuit.
- Décrire sa structure.
- Assurer la documentation.
- Preuve formelle.
- Vérification de Netlist (LVS).
- Tester le circuit et le vérifier par simulation.

Il existe un grand nombre de langages HDL, les plus connus de ces langages sont: le VHDL et le Verilog. Malgré la diversité de ce type de logiciels et de langages, la modélisation par ces langages demande une grande compétence, à savoir les fonctions définies par chaque simulateur, ainsi ils sont très lourds pour la simulation en électronique de puissance. En effet, il faut définir à chaque fois tous les constituants du circuit, et les conditions de simulation avec exactitude pour éviter les erreurs et la divergence du programme.

II.3.3. Simulateurs et les langages de simulation multiphysiques

À l'aide de ces langages de modélisation (multiphysique) de haut niveau, les différentes phases de conception peuvent être optimisées. Ces langages permettent de traiter indifféremment les modélisations logiques, analogiques ou mixtes au sein de même composant ou système.

Par ailleurs, la philosophie de conception de ces langages et leurs jeux d'instructions mènent à des langages intrinsèques multidomains, qui gèrent les équations implicites liées au fonctionnement d'un circuit. Mais, ils ont des limitations, explicitées plus loin. Un certain nombre de ces langages de modélisation ont été développés avec succès, comme les langages : VHDL-AMS, Verilog-AMS, MAST, Modelica et Bond Graph.

II.3.4. Simulateurs de type circuit

Les simulateurs de type circuit sont les plus appropriés pour la simulation des systèmes d'électroniques de puissance, par la suite on traite Saber et SPICE (et ses dérivées).

II.3.4.1. Saber®

Les différents modèles décrits précédemment pour les dispositifs semiconducteurs de puissance ont été développés pour être utilisés sous le logiciel Saber®. Historiquement, Saber® [97] a été compatible avec le système d'exploitation Unix. Il a été limité à la simulation multiphysique pour le développement des systèmes, et pour la recherche scientifique dans le milieu universitaire. En 1986, la société Analog a commercialisé ce logiciel après avoir supprimé son inconvénient majeur qui est l'inaccessibilité à la description des modèles. Autrement dit, pas de possibilité à l'utilisateur de définir son propre modèle ou modifier les modèles existants à la bibliothèque du logiciel. Cette société a proposé une version commercialisée de Saber® conviviale, efficace avec une accessibilité à la modification et à la création de modèles (l'utilisateur peut définir ses propres modèles avec le langage de description de modèle MAST) [98]. Aujourd'hui, Saber® est disponible pour les systèmes d'exploitation Unix, Linux et Windows contenant des programmes d'analyses classés selon la complexité du système à simuler.

En 2010, Synopsis a lancé une version très puissante de ce logiciel, le Saber RD [99], c'est un environnement de bureau pour les concepteurs des circuits d'électronique de puissance sous Windows ©. Saber RD est capable de gérer des problèmes électriques complexes actuels, permettant aux ingénieurs d'explorer une large possibilité de conception, d'optimisation et d'assurer la fiabilité des systèmes pour un large éventail des applications électriques. Il a aussi une véritable capacité de modélisation et d'analyse physiques multidomaine, fournissant aux ingénieurs la possibilité d'avoir une conception complète du système, et surtout pour les systèmes de forte puissance, dont on a le grand besoin de tenir compte de la variation de la température. Saber® a cependant un inconvénient pour les concepteurs des circuits et pour les chercheurs en électronique de puissance, c'est au niveau de sa disponibilité à cause de son coût très élevé.

II.3.4.2. SPICE

L'histoire du simulateur SPICE a commencé vers les années 1960 à l'université de Californie, Berkeley USA, par le programme CANCER (Computer Analysis of Nonlinear Circuits, Excluding Radiation), qui avait l'objectif d'étudier les rayonnements des circuits [100]. Par la suite, ce programme a été amélioré pour être mis au public sans restriction et prendre le nom de SPICE1. [101].

SPICE1 a été écrit aussi en Fortran et il a utilisé l'analyse nodale pour construire ses équations de circuit. Cette méthode a été très limitée à la représentation des composants. En plus, SPICE1 a contenu relativement peu d'éléments de circuits et son pas d'analyse transitoire était à temps fixe. La réelle popularité de SPICE a commencé avec SPICE2 [65].

SPICE2, également codé en Fortran, a amélioré l'analyse transitoire avec un pas trapézoïdale (second ordre de la méthode Adams-Moulton). Les équations du circuit sont reformulées par l'analyse nodale modifiée (en évitant les limites de l'analyse nodale) [102], permettant l'ajout de plusieurs éléments de circuit à la bibliothèque des composants. L'amélioration a touché aussi le système d'allocation de mémoire dynamique qui a été nécessaire pour accueillir les tailles croissantes éléments des circuits intégrés.

SPICE3 [103] a été introduit en 1989, il a été développé en langage C et il a ajouté des modèles plus sophistiqués des semiconducteurs comme le MOSFET et les modèles BSIM (Berkeley Short-Channel IGFET Model).

Comme un programme code ouvert, SPICE a été largement diffusé et utilisé [104]. Aujourd'hui, SPICE est disponible à partir d'un certain nombre de sources [65] [102], qui ont des caractéristiques très importantes, telles que la saisie schématique, la visualisation des courbes de sortie, la modification, l'exploitation, et l'ajout de modèles des semiconducteurs et des autres composants [3] [105].

SPICE a la capacité de modéliser les imperfections des composants en fonction de la température, pourtant la température de l'ensemble du circuit est préfixée par l'utilisateur ou par défaut pour la durée de simulation. Les composants seront affectés par cette température de base de la simulation. Cela ne pose pas des problèmes et reste réaliste pour un circuit intégré de faible puissance d'une surface de quelques millimètres carrés, néanmoins, il n'est plus le cas pour un transistor de puissance (100A, 1 kV).

En effet, le transistor dissipe une puissance de 100 kW en commutation, dans un circuit inductif de commutation dure. Cependant, la majeure partie de cette chaleur est absorbée par l'impédance thermique transitoire de jonction (Z_{th}). En conséquence, la température interne de jonction croît instantanément et corrompt l'aspect physique de tout le système et la simulation prend un sens loin de la réalité du circuit.

Malheureusement, il existe peu de modèles de semiconducteurs avec des capacités et des aspects électrothermiques compatibles avec SPICE. Non seulement ces modèles sont rares, mais quelques-uns qui peuvent être trouvés sont compatibles seulement avec quelques programmes dérivés de SPICE.

II.4. Méthode d'optimisation

II.4.1. Introduction :

Les problèmes NP-complets d'optimisation combinatoire sont caractérisés par une complexité exponentielle ou factorielle, par conséquent; il est impossible d'énumérer toutes les solutions possibles car cela dépasse la capacité de calcul de n'importe quel ordinateur. Il est donc très difficile de trouver la solution optimale.

Pour pallier à ces problèmes, les chercheurs ont introduit des méthodes approchées appelées heuristiques, elles présentent l'avantage d'un temps de calcul réduit mais ne donnent aucune information sur la qualité de la solution trouvée, de plus elles ne sont en général applicables qu'à un seul type de problèmes [106].

Par exemple la méthode de la descente consiste à partir d'une solution S à choisir une solution S' dans un voisinage de S , telle que S' améliore la solution. La recherche s'arrête donc au premier minimum (ou maximum) local rencontré, c'est là son principal défaut. Pour améliorer les résultats, on peut relancer plusieurs fois l'algorithme mais la performance de cette technique décroît rapidement.

Ce qui a poussé les chercheurs à proposer de nouvelles méthodes générales (applicables à la plupart des problèmes d'optimisation) appelées Métaheuristiques, dont la méthode du recuit simulé; conçu pour rechercher un optimum global parmi plusieurs minima (ou maxima) locaux.

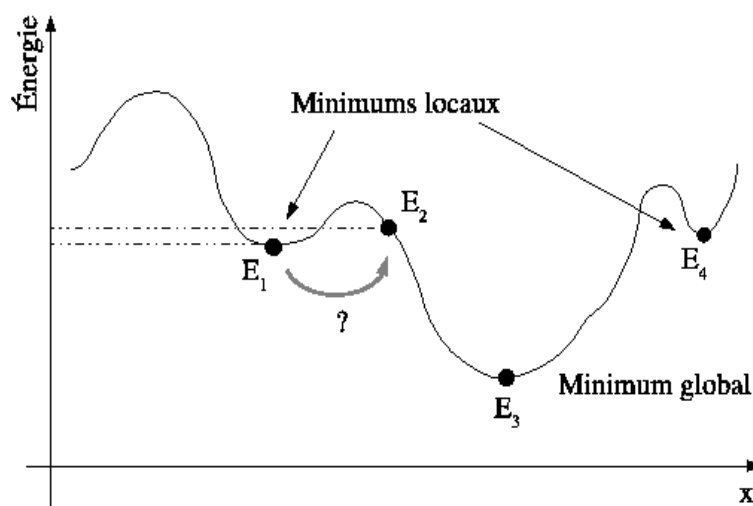


Figure II. 6: Schéma du principe du Recuit Simulé

II.4.2. Définition du recuit simulé:

La méthode du recuit simulé (Annexe II) est conçue pour chercher un optimum global parmi plusieurs minima locaux (Figure II.6). Il est possible, contrairement à un algorithme de recherche locale, d'accepter une dégradation de la fonction objectif avec une certaine probabilité, sachant que cette dégradation pourra entraîner une amélioration ultérieurement.

Cette méthode d'optimisation s'appuie sur les travaux de Metropolis en 1953 [107], qui permettent de décrire l'évolution de l'équilibre thermodynamique d'un système.

II.4.3. L'algorithme du Recuit Simulé :

Le recuit simulé applique itérativement l'algorithme de Metropolis [106], pour engendrer une séquence de configurations qui tendent vers l'équilibre thermodynamique. En effet, l'énergie du système est représentée par un réel arbitraire T . Les étapes d'application de cette méthode sont [108]:

- 1- Choisir une température de départ T , et une solution initiale $S=S_0$.
- 2- Générer une solution aléatoire dans le voisinage de la solution actuelle $S_0 \rightarrow S'$, $S' \in V(S)$, au lieu de chercher la meilleure ou la première solution voisine améliorante comme dans une recherche locale classique.
- 3- On calcule de la variation de coût $\Delta f = f(S') - f(S_0)$.
- 4- Si $\Delta f \leq 0$, le coût diminue et on effectue la transformation améliorante comme dans une recherche locale ($S_0 = S'$).
- 5- Si $\Delta f > 0$, le coût remonte, c'est un rebond qu'on va pénaliser, d'autre part plus que la température se baisse plus que Δf se grandit. Une fonction exponentielle a les propriétés désirées. On calcule une probabilité d'acceptation $a = \exp(-\Delta f/T)$ (critère de Metropolis), puis on tire au sort p dans $[0,1]$. Si $p \leq a$, la transformation est acceptée, bien qu'elle dégrade le coût, et on fait $S_0 = S'$. Sinon, la transformation est rejetée : on garde S pour l'itération suivante.
- 6- Pour assurer la convergence (analogie de la balle qui rebondit de moins en moins), T se diminue lentement à chaque itération, par exemple $T = k.T$, avec $k=0.999$. On peut aussi décroître T par paliers. Pour être efficace, un recuit doit diminuer T assez lentement, en plusieurs milliers ou dizaines de milliers d'itérations. Il dure en tout cas beaucoup plus longtemps qu'une recherche locale, puisque les transformations améliorantes de cette dernière sont diluées parmi de nombreux rebonds.
- 7- On s'arrête quand T atteint un seuil fixe ε , très proche de 0.

La solution initiale peut être prise au hasard dans l'espace des solutions possibles. À cette solution correspond une énergie initiale $E=E_0$. Cette énergie est calculée en fonction du critère que l'on cherche à optimiser. Une température initiale $T=T_0$ élevée est également choisie. Ce choix est alors totalement arbitraire et va dépendre de la loi de décroissance utilisée.

Le principe est d'effectuer un mouvement selon une distribution de probabilité ($p \leq e^{-\Delta f/T}$) qui dépend de la qualité des différents voisins. En effet, les meilleurs voisins ont une probabilité plus élevée. En outre, les moins bons ont une probabilité plus faible. Le paramètre T varie au cours de la recherche de la solution optimale. Au départ, T est élevée, tous les voisins de la solution ont à peu près la même probabilité d'être acceptés. Après comme T devient de plus en plus faible un mouvement qui dégrade la fonction $f(T)$ aura une faible probabilité d'être choisi. Et quand T

s'approche de plus en plus de 0 jusqu'à ce qu'aucune dégradation de la fonction ne soit acceptée, dans ce cas on est devant la solution optimale.

Avantages et Inconvénients

Cette méthode possède les avantages suivant :

- Facilité d'implémentation.
- Donne généralement de bonnes solutions par rapport aux algorithmes de recherche classiques
- Peut être utilisé dans la plupart des problèmes d'optimisation.
- Il converge vers un optimum global, avec l'augmentation du nombre d'itérations.

Les inconvénients de cette méthode se résume dans :

- Difficulté de définition de la solution initiale (si elle est trop basse ou trop haute, le temps de calcul sera élevé).
- Dégradation des performances pour les problèmes où il y a peu de minimas locaux.

Malgré le temps de calcul parfois long de cette méthode, elle est très adaptée à la plupart des problèmes d'optimisation. Son principal avantage est de pouvoir sortir d'un minimum local (Figure II.6), en fonction d'une probabilité d'acceptation liée à une fonction exponentielle, appelée transformation de Gibbs-Boltzmann. Elle donne généralement de bonnes solutions par rapport aux algorithmes de recherche classiques. Cette méthode est très utilisée est adaptée pour les problèmes d'optimisation suivant :

- Conception des circuits intégrés (Kirpatrick and all) (Problème de déplacement et de répartition).
- Routage des paquets dans les réseaux.
- Segmentation d'image.
- Problème du voyageur de commerce.
- Problème du sac à dos.
-

Un exemple d'application de cette méthode est bien détaillé dans l'annexe ([Annexe II](#))

II.5. Conclusion

Dans ce chapitre on a présenté les principaux modèles et méthodes de modélisation des semiconducteurs de puissance existants en bibliographie, avec la présentation des avantages et des inconvénients de chaque type de ces modèles.

Faisant recours à cette analyse bibliographique, on a conclu que la modélisation électrothermique comportementale est la plus adaptée à notre situation de modélisation (technique de modélisation

proposée), à savoir la seule information disponible est le databook du composant à semiconducteur en SiC, et que le simulateur de type circuit (SPICE) est le plus adapté en raison de sa grande disponibilité (free), et du fait de pouvoir intégrer des modèles dans sa bibliothèque. D'autre part, la méthode d'optimisation choisie est le Recuit Simulé en raison de ses avantages pour ce type de modélisation.

La technique de modélisation proposée consiste à partir des courbes des caractéristiques du composant fourni par le constructeur dans le databook du composant, on peut remonter pour avoir un modèle électrothermique comportemental sous SPICE, l'application de cette technique sera portée sur la diode de Schottky dans le chapitre suivant (Chapitre 3), et sur le transistor MOSFET dans le chapitre 4.

Chapitre 3

Chapitre 3: Modélisation électrothermique comportementale de la diode de puissance en SiC

- III. 1. Introduction.**
- III. 2. Diodes de puissance en carbure de silicium (SiC).**
 - III.2.1. Diodes Schottky en SiC.**
 - III.2.2. Diodes PiN en SiC.**
 - III.2.3. Diodes JBS / MPS en SiC.**
- III.3. Modèles existants des diodes en SiC.**
 - III.3.1. Modèles Physiques.**
 - III.3.2. Modèles Semi-Physiques.**
 - III.3.3. Modèles Numériques.**
 - III.3.4. Modèles Semi-Numériques.**
 - III.3.5. Modèles comportementaux.**
- III.4. Modèle proposé.**
 - III.4.1. Modélisation de la caractéristique statique.**
 - III.4.2. Modélisation de la caractéristique Dynamique.**
 - III.4.3. Modélisation de l'Impédance Thermique Transitoire.**
- III.5. Modèle complet.**
- III.6. Validation du modèle proposé.**
 - III.6.1. Chute de tension en polarisation directe.**
 - III.6.2. Courant de fuite en polarisation inverse.**
 - III.6.3. Impédance thermique transitoire.**
 - III.6.4. Charge en polarisation inverse.**
 - III.6.5. Caractéristiques Dynamiques (Commutation).**
- III.7. Conclusion**

III.1. Introduction

La technologie SiC a dominé toutes les structures des diodes de puissance. Dans ce chapitre, on va voir comment à partir de 2001, la diode Schottky reste la seule structure disponible en commerce, en raison de ses avantages très particuliers par rapport aux autres structures (PiN et MPS). Ensuite, on va procéder à une analyse bibliographique des modèles existants des diodes en SiC. Tout en marquant le type du modèle utilisé, les contributions apportées et le simulateur utilisé, cette analyse nous a aidés à remonter un modèle électrothermique comportemental de la diode Schottky représentant les principales caractéristiques statiques, dynamiques et thermique.

Le modèle proposé est basé sur le modèle (diode niveau 0) de SPICE, autour du quelle on ajoute des éléments passifs (R, L, C), et des sources de tension et de courant commandées (E_i et G_i) de la bibliothèque ABM de SPICE. Les équations de commande de ces sources sont en fonction de la température de jonction sous forme de polynômes. Les paramètres de ces dernières sont relevés à partir des courbes caractéristiques fournies par le constructeur dans le databook du composant avec l'utilisation des programmes MATLAB adoptant la méthode d'optimisation: Recuit Simulé.

La validation du modèle proposé sera effectuée en confrontant les résultats du modèle obtenus par la simulation sous SPICE avec les données du constructeur fournies dans le databook.

III.2. Diodes de puissance en carbure de silicium (SiC).

En raison de leur structure, les diodes sont les semiconducteurs les plus simples (Figure I.10). Ceci s'explique par le fait qu'elles sont toujours les premières concernées par toutes innovations technologiques adoptées dans le domaine des semiconducteurs, d'autre part elles sont l'élément clé dans les applications d'électronique de puissance. Généralement dans les convertisseurs de l'électronique de puissance on utilise deux types de diodes: les diodes bipolaires (PiN) et les diodes Schottky.

III.2.1. Diodes Schottky en SiC

Les diodes Schottky dominent les applications de faible puissance puisqu'elles sont plus rapides que leurs homologues PiN et leur courant de fuite en polarisation inverse est relativement faible. En plus, elles possèdent une chute de tension à l'état passant plus faible et elles génèrent des pertes en commutation négligeables. En revanche pour les applications de plus forte puissance, les diodes Schottky en silicium sont déconseillées en raison de l'importance de leurs courants de fuites.

Les premières diodes Schottky SiC commercialisées (première génération) possédaient une tenue en tension V_{inv} de 600V et un courant direct I_D de 1A [11]. Puis avec le développement et la maturation de la technologie SiC, la troisième génération vient de se commercialiser, ce sont des diodes Schottky de ($V_{inv}= 1200V$, $I_D=50A$) permettant de remplacer avec excellence les diodes PiN en silicium du même calibre de tension [11].

La diode Schottky est un composant unipolaire très attrayant (la première diode fabriquée en technologie SiC), c'est le plus simple des composants à semiconducteur. Elle est formée par un contact entre une plus grande partie du semiconducteur et du métal, comme le montre la figure III.1. Bien que la forme la plus commune des diodes Schottky soit formée par la jonction métal-semiconducteur de type N. D'autres sont constituées par une jonction métal-semiconducteur de type P, sont également employées.

La différence de concentration en porteurs des deux matériaux (métal, semiconducteur N-) crée une barrière de potentiel dans la jonction. Puisque le semiconducteur et le métal sont de type N, le courant de conduction implique seulement les porteurs majoritaires (électrons) sans l'injection des porteurs minoritaires (trous), donc il n'y a pas de recouvrement ou recombinaison des charges.

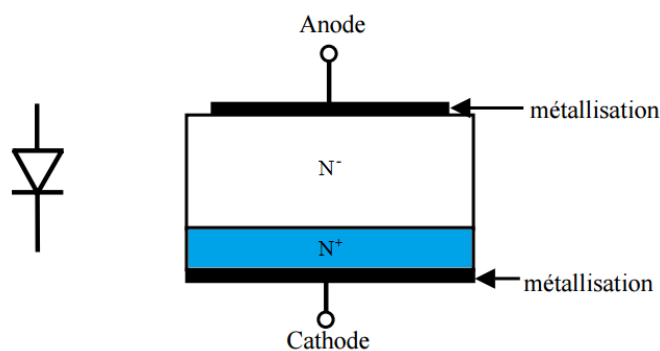


Figure III. 1: Structure d'une diode Schottky de puissance

Comme les électrons du semiconducteur de type N entrent du côté du métal, où les électrons sont en abondance, qu'ils deviennent une partie intégrante du métal. Par conséquent, il n'y a aucun stockage de charges dans la jonction. Puisqu'il n'y a aucune conduction de porteurs minoritaires dans une diode Schottky, il n'y a pas de recouvrement en polarisation inverse (blocage).

Ainsi le temps de mise en conduction est presque nul, et le temps de blocage implique seulement le temps de transition qui dépend de la capacité parasite, et non plus du temps de recombinaison des porteurs minoritaires. Pour cette raison que les diodes Schottky sont parfaitement adaptées aux applications de commutation en haute fréquence et sont très rapides par rapport aux diodes PiN. Ainsi la hauteur de la barrière Schottky est inférieure à la hauteur de la barrière d'une jonction PN, cela se traduit par une tension seuil plus faible, et un comportement au blocage également attrayant en raison de ses faibles pertes en commutation.

En raison des avantages présentés par les diodes Schottky par rapport aux diodes PiN, elles sont dédiées pour les applications de puissance, mais à cause de leur plus faible gamme de tension (diodes Schottky en Si), elles sont surtout utilisées dans les applications de basse tension. Pourtant en haute tension et en fonction de la température leur courant de fuite devient très important et peut dépasser celui des diodes PiN, ce qui augmente les pertes au blocage, et limite la tenue en tension à quelques dizaines de volts. Actuellement, ce problème a été vraiment dépassé avec le développement et la commercialisation des diodes Schottky en SiC de plus fort niveau de tension (de 600V à 1700V). Il

existe plusieurs modèles qui diffèrent par leur calibre en tension et en courant, à titre d'exemple nous proposons des diodes de 1200V dans le tableau (Annexe III).

III.2.2. Diodes PiN en SiC.

Les diodes PiN de puissance en SiC sont constituées d'un substrat semiconducteur de type N (ions donneurs) fortement dopé (N^+) du côté cathode, d'une couche épitaxiale de type N légèrement dopée (N^-) appelée "base" ou "région centrale", ayant une épaisseur spécifiée, et d'une zone de type P fortement dopée (P^+) du côté anode comme le montre la figure III.2.

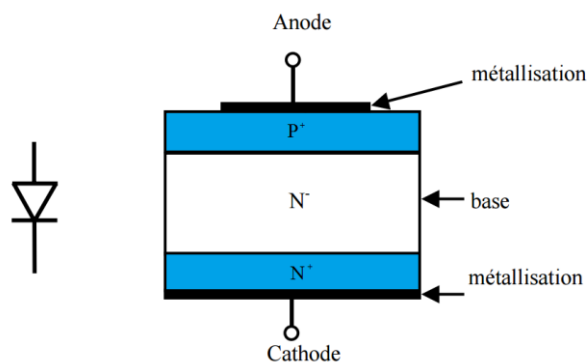


Figure III. 2: Structure d'une diode bipolaire (PiN) de puissance

Lorsque la diode PiN est polarisée en direct, les ions de la région fortement dopée P^+ vont fournir des trous et ceux de la région fortement dopée N^+ des électrons. Au niveau de la jonction des régions P^+ et N^- les électrons vont se recombiner avec les trous qui se sont déplacés de P^+ par diffusion. Par conséquent, la forte diffusion supprime la neutralité électrique de chacune des régions. Par rapport à la jonction $P^+ N^-$, la région située immédiatement en dessous (région N^-), se dégage en électrons libres et se charge positivement, tandis que celle située juste au-dessus (région P^+), et qui est appauvrie en trous, elle se charge négativement par la présence des ions accepteurs fixes. Le phénomène de diffusion entraîne donc l'apparition d'une ZCE (Zone de Charge d'Espace). Le champ électrique interne créé par les atomes ionisés s'oppose à l'extension du phénomène de diffusion : il a tendance à repousser vers la région P^+ les trous en provenance de la région N^- , et inversement pour les électrons libres.

Il résulte du mouvement des porteurs majoritaires un courant de diffusion, regroupant les courants des électrons libres et des trous. Tous les électrons libres qui se trouvent diffusés dans la région P^+ ne pouvant pas s'y recombiner instantanément, il y a au voisinage de la ZCE dans la région P^+ un excès de charges négatives qu'on les appelle les charges de diffusion, ou les charges stockées. Ces charges résultent directement de l'injection du courant de diffusion des électrons libres à travers la jonction. Ce phénomène est identique pour les trous dans la région N^- . Il y a donc simultanément des charges stockées dans la région N^- , et dans la région P^+ . Ces charges stockées ont un impact considérable en régime transitoire sur les convertisseurs d'électronique de puissance en fonctionnement haute fréquence. En effet, une diode ne peut pas passer instantanément de l'état conducteur à l'état bloqué sans avoir un certain temps pour la restitution complète des charges

stockées. Durant cette phase, la jonction PN peut conduire en inverse.

Quand une tension inverse est appliquée, les trous de la région P⁺ et les électrons libres de la région N⁻ vont s'écarter de la jonction pour empêcher l'écoulement du courant. À l'état d'équilibre et à une température peu élevée, le courant de fuite est causé principalement par la génération thermique.

Lorsque le champ électrique devient suffisamment important, les porteurs s'accélèrent dans la ZCE et s'acquièrent de l'énergie pour ioniser les atomes du réseau et ainsi créer des paires électron-trou, qui sont accélérés à leur tour et qui peuvent provoquer l'ionisation des atomes voisins. Le nombre de porteurs libres augmente et le phénomène se reproduit avec le porteur initial et les porteurs créés par le choc ionisant. Ce phénomène est appelé la génération par ionisation. Il apparaît un énorme effet multiplicateur (caractérisé par un coefficient de multiplication M). Le claquage par avalanche survient lorsque le phénomène de multiplication s'emballe, tendant théoriquement le courant de fuite vers l'infini. La tension de claquage est déterminée pour une valeur de courant de fuite donnée. La tension de claquage dépend de l'épaisseur de la base, ainsi que de la valeur de son dopage. Il est nécessaire d'effectuer un compromis entre la tenue en tension et la faible chute de tension à l'état passant (R_{On}). Dans la pratique, l'épaisseur de la base et son dopage sont situés dans la région du coude (Figure III.3). Cette région représente le compromis entre la tension de claquage (V_{BR}) élevée et la résistance R_{On} faible.

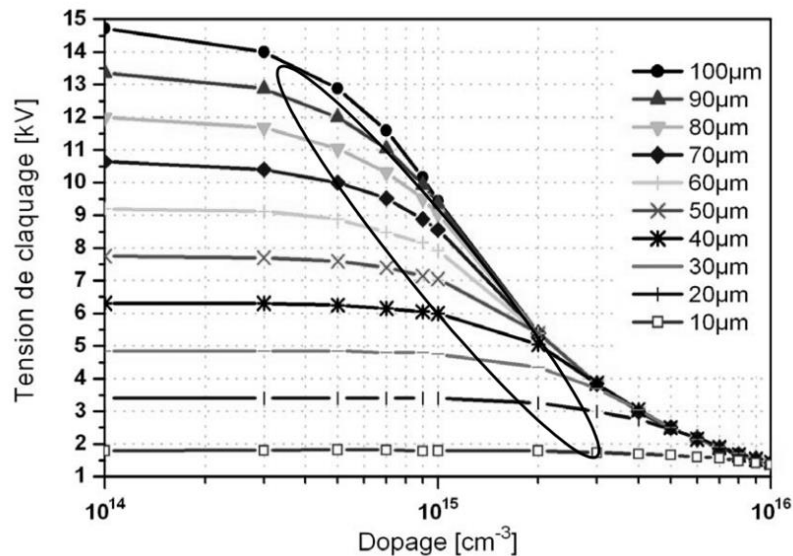


Figure III. 3: Tension de claquage en fonction de la concentration des porteurs pour différentes valeurs d'épaisseur de la zone centrale de la diode PiN.

En raison de leur nature bipolaire, les pertes en conduction d'une diode PiN diminuent quand la température augmente [37] [38]. Il n'existe pas encore des diodes bipolaires en SiC commercialisée, par contre il y a des prototypes de laboratoires à titre d'exemple: une diode bipolaire réalisée à un calibre en courant de 50 A, avec une tension de claquage de 10 kV [109]. La tenue en tension la plus importante d'une diode PiN SiC réalisée est de 19 kV [110].

III.2.3. Diodes JBS / MPS en SiC

Avec les progrès technologiques des semiconducteurs de puissance en SiC, les chercheurs ont pensé à exploiter les avantages des deux types de diodes: la diode Schottky en direct (faible tension de seuil à l'état passant et peu de charges stockées) et la diode bipolaire (PiN) en inverse (très bonne tenue en tension et faible courant de fuite). Cet assemblage a donné le troisième type de diodes de puissances en SiC, c'est la diode JBS (Junction Bipolar Schottky) ou la diode MPS (Merged PiN Schottky). Ce type est en cours de développement, et il n'est pas encore commercialisé.

Cette diode consiste à implanter des zones dopées P⁺ dans une diode Schottky. Une section transversale de cette diode est montrée sur la figure III.4.

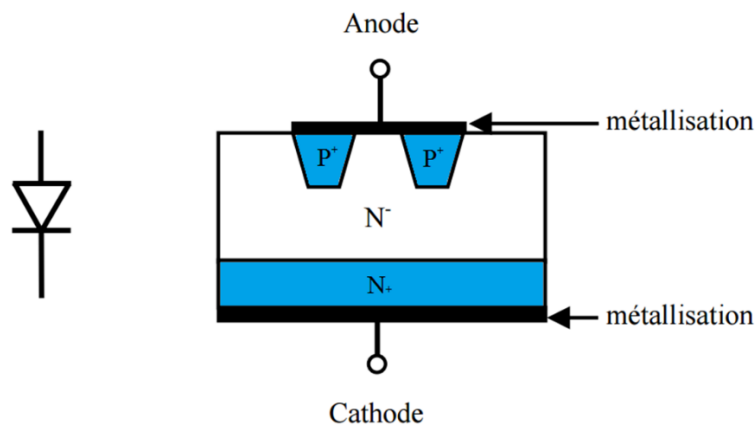


Figure III. 4: Structure d'une diode JBS de puissance

La zone hachurée (Figure III.5a) représente le courant traversant la diode JBS à l'état passant, tandis que les pointillés (Figure III.5b) délimitent les zones de désertion de la diode à l'état bloqué.

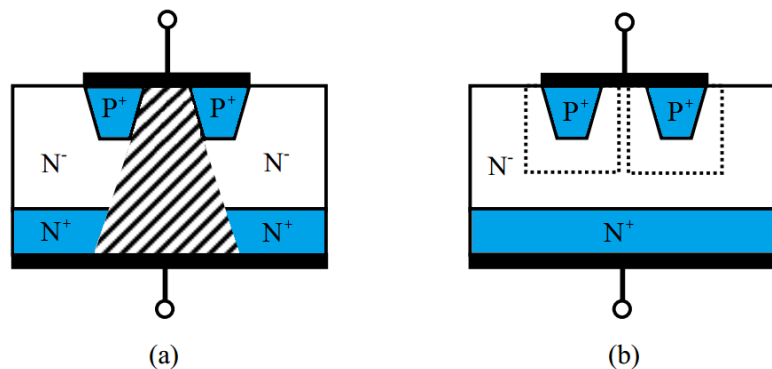


Figure III. 5: Courant à l'état passant (a) et zone de déplétion à l'état bloqué (b) d'une diode JBS.

Pour une tension directe inférieure à 3V seulement les régions Schottky de la diode JBS SiC conduisent. La chute de tension à l'état passant du composant est déterminée par la résistance de la région N⁻, la hauteur de barrière du métal Schottky et l'aire relative entre la région Schottky et les régions implantées P⁺. La hauteur de barrière du métal Schottky doit être assez basse pour obtenir une faible chute de tension à l'état passant. À mesure que la polarisation inverse augmente, les régions

de désertion adjacentes aux régions implantées P^+ pincent le courant de fuite provenant des contacts Schottky du composant. Le courant de fuite dans les régions Schottky se produit en raison de l'abaissement de la barrière Schottky à la jonction métal- N^- . La présence des régions implantées P^+ réduit le champ électrique à la jonction métal- N^- . La diode JBS est soumise à un compromis entre la valeur de la tension à l'état passant et le courant de fuite. Les paramètres de conception qui affectent ce compromis sont :

- L'aire relative de la région implantée P^+ .
- La géométrie et la disposition (en bordure ou réparties le long de la région Schottky) des régions implantées P^+ .

Une importante aire implantée P^+ a comme conséquence l'augmentation de V_D en raison d'une plus petite aire conductrice, mais réduit le courant de fuite due à un pincement plus efficace de la région Schottky. Un bon compromis correspond à une surface de région Schottky, représentant la moitié de la surface totale implantée P^+ [111].

La courbe caractéristique en inverse de la diode JBS est beaucoup plus semblable aux diodes PiN qu'aux diodes Schottky. La diode JBS montre une grande rapidité de commutation au blocage et un faible recouvrement résultant de la capacité de jonction des régions de déplétion [112]. Les diodes JBS possèdent un coefficient de température positif, ce qui fait croître les pertes en conduction avec l'augmentation de température, alors que les pertes en commutation diminuent. Actuellement, il n'existe plus des diodes JBS SiC commercialisées. Les prototypes les plus performants réalisés en laboratoire ont un calibre de 1500V-4A [111] et 1200V-15A [112].

III.3. Modèles existants des diodes en SiC

La diode est un composant utilisé dans la plupart des systèmes électroniques, alors pour les concevoir et évaluer leur comportement en puissance, les modèles précis des diodes de puissance sont nécessaires pour les concepteurs des convertisseurs de l'électronique de puissance. Par conséquent, des modèles précis et fiables sont nécessaires. La plupart de ces modèles publiés ont été analysés, et sont présentés chronologiquement dans le tableau suivant.

Tableau III. 1 Chronologie du développement des diodes en SiC.

Auteur	Année	Type	Contributions	Simulateur
Kneifel [113]	1996	Semi-physique	Modèle modifié de la diode Schottky	SABER
Mantooth [114]	1997	Physique	Modèle modifié de la diode capable de décrire les diodes PiN, JBS et Schottky	SABER
McNutt [115], [116], [117], [118]	2001, 2002, 2004, 2006	Physique	Modèle unifié de Mantooth pour les diodes de puissance en SiC	SABER

Kolessar [119]	2001	Physique	Méthode de charge localisée pour la diode PiNenSiC	SABER
Zubert [120] [121]	2002 2011	Comportemental	Description des caractéristiques directe et inverse du courant en fonction de la tension de la diode JBS utilisant les équations	SPICE
Ozpineci [122]	2003	Comportemental	Utilisation des équations linéaires utilisées pour estimer les effets de la température sur la chute de tension directe en statique et la résistance série de la diode Schottky en SiC.	Pas indiqué
Giesselmann [123]	2004	Semi-physique	Modèle du contrôle de charge du recouvrement inverse de la diode JBS	SPICE
Ouennoughi [124]	2004	Semi-physique	Modélisation du courant de fuite en inverse de la diode Schottky par une conductance en parallèle.	Pas indiqué
Thomas [125]	2004	Numérique	Simulation par les Éléments Finies pour une diode PiN de 10KV en SiC.	SILVACO
Zarebski [126] [127] [128]	2005 2006 2008	Semi-physique	Modèle modifié de la diode Schottky	SPICE
Zhang [129]	2006	Semi-physique	Équation standard de la diode Schottky, et l'effet de la température sur la mobilité des porteurs.	Pas indiqué
Zhu [130]	2008	Physique	Estimation de la résistance directe R-On de la diode JBS avec plus de précision, compte tenu du courant de diffusion.	MEDICI
Ozpineci [131]	2009	Comportemental	Modèle linéaire de la diode Schottky en SiC	SABER
Wang [132]	2009	Semi-physique	Modélisation physique de l'équation du courant de jonction PN pour la diode JBS en SiC.	PSPICE
Bryant [133]	2009	Semi-numérique	Résolution de l'équation de diffusion ambipolaire (EDA) par les séries de Fourier.	MATLAB
Bellone [134]	2011	Semi-numérique	Contribution du courant des porteurs minoritaires dans les différentes régions de la diode.	Pas indiqué
Ahmed [135]	2013	Semi-physique	Inclusion des effets de la force d'abaissement de la barrière, et de tunnel sur le courant de fuite en inverse.	Pas indiqué
Starzak [136]	2013	Comportemental	Modèle Électro-thermal comportemental pour la diode MPS en SiC.	HSPICE
Fu [137]	2013	Semi-physique	Procédure d'extraction des paramètres de la diode JBS en SiC.	PSPICE

III.3.1. Modèles physiques

Les modèles physiques des diodes de puissance sont basés sur les équations fondamentales de semiconducteur [37] [38] [46] [105]. Le calcul physique réel de ces modèles est au-delà de la portée de ce travail. Cependant, on cite quelques exemples bibliographiques:

Dans [114] [115] [116] [117] [118], les auteurs ont proposé un modèle unifié capable de décrire toutes les caractéristiques statiques et dynamiques, ainsi l'effet de la température de tous les types de diodes en SiC (PiN, Schottky et JBS) sous différentes conditions de simulation. Ce modèle a été élaboré sous le simulateur Saber de Synopsys permettant un grand succès pour ce logiciel.

Dans [119], la méthode de charge localisée a été utilisée pour modéliser les diodes PiN en SiC. L'idée principale de cette approche est que la région centrale faiblement dopée (N^-) est divisée en un certain nombre de petites sous-régions sur lesquelles l'équation de contrôle de charge est appliquée.

Dans [130], un modèle basé sur la physique a été développé pour la modélisation de la diode JBS en haute tension, les auteurs ont utilisé une nouvelle approche pour la modélisation du courant de fuite à partir d'une bonne approximation du champ électrique à contact de Schottky et les courants d'effet tunnel, ainsi la résistance ohmique en polarisation directe R_{On} a été plus précisément estimée. Ce modèle a montré une bonne concordance avec les résultats expérimentaux.

III.3.2. Modèles Semi-physiques

Les modèles semi-physiques utilisent des expressions analytiques basées sur les propriétés physiques du semiconducteur pour la modélisation de ses caractéristiques fondamentales, ces expressions sont présentées sous une forme empirique. Des exemples des modèles semi-physiques de la diode de puissance trouvés dans la bibliographie sont décrits par la suite.

Dans [132], les auteurs ont utilisé l'équation classique de Shockley de la jonction PN (III.1) pour la modélisation des courants de conduction directe et de fuite en inverse pour la diode JBS en SiC. La dépendance en température a été modélisée par une résistance série, cette dernière est sous forme d'une équation paramétrique de second ordre en fonction de la différence de température entre la température de jonction de la diode et la température ambiante. Par ailleurs, le recouvrement inverse n'était pas inclus dans ce modèle.

$$I = I_0 \left(\exp \left(\frac{q \cdot V_D}{n \cdot k \cdot T} - 1 \right) \right) \quad (\text{III.1})$$

- V_D : la tension aux bornes de la diode
- kT/q est la tension thermique avec k : constante de Boltzmann, T : température absolue de la jonction, et q : charge d'un électron.
- n : le facteur de qualité de la diode, généralement compris entre 1 et 2.
- I_0 : constante spécifique au type de diode considéré (I_0 a la dimension du courant).

Dans [123] les auteurs ont utilisé le modèle du contrôle de charge pour modéliser avec précision les effets dynamiques de la capacité parasite de la diode JBS en SiC. Ce modèle prend en compte la variation de la température sous forme d'une résistance d'une équation de second ordre. Il est adapté pour les diodes en Si et en SiC, ainsi il a été mis en œuvre dans le simulateur SPICE de OrCAD utilisant la modélisation comportementale analogique.

Dans [135] l'équation de Shockley a été également appliquée pour modéliser la diode JBS en SiC. Les effets influençant le courant de fuite en inverse ont été pris en considération. La description physique complète du comportement statique (DC) et l'évolution de la capacité interjonction avec la tension C_j -V ont été mises en place. Ce modèle prend aussi en compte l'effet de la température sur la gamme étendue (de 25 °C à 175 °C). Le travail a été validé en utilisant une diode SiC JBS 1200V, 3A de GeneSiC, montrant un bon accord entre les mesures et la simulation pour tous les régimes de fonctionnement.

Dans [124]: les caractéristiques directes (courant, tension) d'une diode Schottky en SiC ont été modélisées en utilisant des équations standards de la diode Schottky basées sur la théorie d'émission thermo-ionique. Les paramètres utilisés, tels que la hauteur de la barrière et la constante de Richardson, ont été déterminés en utilisant un algorithme d'optimisation de moindre carré non linéaire. Alors que le courant de fuite en inverse a été modélisé avec une conductance mise en parallèle.

Dans [129] les auteurs se sont basés sur les théories de base de semiconducteurs et de la synthèse de certains modèles dans la littérature. La caractérisation théorique et expérimentale de la diode Schottky de puissance en SiC intervient aussi. Ce modèle décrit les comportements statiques et dynamiques. L'effet thermique est considéré comme une évaluation des pertes en puissance contribuant à la conception du système de refroidissement adéquat. Ce modèle a été également utilisé pour estimer l'efficacité d'un onduleur hybride comportant des transistors IGBT Si et des diodes Schottky en SiC.

Dans [137]: les auteurs ont proposé une procédure détaillée pour l'extraction des paramètres du modèle de la diode Schottky en SiC de puissance. Cependant, ce modèle n'était pas complet, car les effets de la température et de la tension sur le courant de fuite en inverse n'ont pas été inclus. La validation de cette procédure a été faite sur quatre diodes SiC Schottky de deux fabricants différents.

Dans [126] [128]: les auteurs ont proposé des modèles de la diode SiC Schottky montrant la contribution et l'effet du courant de fuite en inverse sur le champ électrique, et sur la température.

III.3.3. Modèles numériques

Dans [125]: les auteurs ont utilisé le simulateur structurel SILVACO basée sur la résolution numérique par éléments finis, pour la modélisation et la simulation d'une diode PiN en SiC de 10kV, les résultats de simulation ont été validés par les essais de mesures obtenus par des tests sur le composant réel élaboré au laboratoire.

III.3.4. Modèles Semi-Numérique

Dans [134]: les auteurs ont étudié les caractéristiques directes de la diode PiN en 4H-SiC en utilisant un modèle analytique décrivant les distributions des porteurs minoritaires dans les différentes régions de la diode (N^+ , N^- , et P^+). Dans ce modèle, la résolution de EDA dans la région de drift faiblement dopée (N^-) est obtenue dans la condition de forte injection des porteurs. Les différents phénomènes influant le dopage ont été considérés. La précision de ce modèle a été vérifiée par la comparaison avec la simulation numérique et les mesures expérimentales sous différentes températures et différents courants de conduction. Cependant, ce modèle n'est pas pratique pour la mise en œuvre dans des simulateurs de type circuit, à cause de son mode de résolution complexe de la distribution des porteurs.

Dans [133] et [138]: les auteurs ont procédé à la résolution de l'EDA par les séries de Fourier pour l'élaboration du modèle de la diode PiN. Les équations différentielles partielles de diffusion de second ordre ont été transformées en un nombre infini d'équations différentielles linéaires de premier ordre, les coefficients des séries sont représentés par des composants R-C. Le modèle est obtenu par la troncature de la série de Fourier obtenue.

III.3.5. Modèles comportementaux

Dans [131]: les auteurs ont proposé un modèle de la diode SiC Schottky, comportant les caractéristiques statiques (la chute de tension directe, et la résistance série). Ce modèle est dit linéaire, car il est basé sur des équations linéaires pour estimer les effets de la température sur les caractéristiques statiques. La modélisation de la diode présentée dans ces travaux de recherche a été dédiée à l'étude d'un onduleur hybride de 55KW par simulation de type circuit.

Dans [122]: les auteurs ont suivi la même démarche précédente (les équations linéaires) afin d'estimer et de calculer les pertes en conduction et en commutation des diodes PiN en Si et Schottky en SiC, pour une comparaison de la technologie adoptée.

Dans [120] et [121]: les auteurs ont proposé un nouveau modèle comportemental sous SPICE, la diode JBS (MPS) en SiC pour la modélisation des caractéristiques statiques et dynamiques. Les paramètres du modèle représentant les polarisations directes et inverses (I-V) sont décrits à l'aide des équations exponentielles, à partir des ajustements des courbes représentant les différentes caractéristiques de la diode en fonction de la température. L'apport de ce modèle est qu'il est plus adapté à n'importe quel simulateur de type SPICE.

Un autre modèle comportemental électrothermique de la diode JBS (MPS) en SiC a été présenté dans [136]. Les auteurs ont présenté des équations mathématiques sans signification physique directe, ainsi plusieurs paramètres d'ajustement des courbes ont été utilisés pour décrire le comportement statique en polarisation directe et inverse. La modélisation de réseau thermique a été basée sur l'analyse de la courbe de la constante thermique (Z_{th}) en fonction du temps.

L'étude bibliographique nous a montré une diversité de modèles et de méthodes de modélisation des diodes (PiN, Schottky). Les modèles de types: physique, semi-physique, numérique, ou semi-numérique sont caractérisés par leur complexité. En effet, ils exigent beaucoup de compétence mathématique et de paramètres que leurs valeurs ne sont pas disponibles et demandent des expériences de mode opératoire très précis. Par conséquent, les modèles comportementaux représentent les meilleurs choix en raison de la non-disponibilité de mode opératoire et de l'exploitation des données du fabricant des dispositifs à semiconducteur, fournies dans leurs databooks.

III.4. Modèle proposé

Comme déjà mentionné la méthode de modélisation adoptée est la modélisation électrothermique comportementale. En effet, le modèle proposé est conçu à partir des données fournies dans le databook du fabricant du dispositif, dans lequel les caractéristiques statiques, dynamiques et thermiques sont représentées par des équations.

Dans cette partie, on présente en détail notre démarche de conception du modèle électrothermique comportementale pour la diode Schottky en SiC sous SPICE. Ce modèle est basé sur le modèle de la Diode niveau 0 de SPICE autour duquel on ajoute des blocs ABM (Analog Behavioral Modeling) contenant des équations représentant les caractéristiques statiques, dynamiques et le comportement thermique.

III.4.1. Modélisation de la caractéristique statique

La caractéristique statique de la diode reflète son comportement en état stable du courant/ tension en polarisation directe et inverse. Dans notre démarche de modélisation, le comportement statique à modéliser comprend : la chute de tension en polarisation directe et le courant de fuite en polarisation inverse.

III.4.1.1. Chute de tension en polarisation directe

Afin de bien différencier entre la polarisation directe et inverse, le modèle de la chute de tension directe comporte une diode (diode niveau0 de SPICE) fixe en série avec une source ABM de tension contrôlée. L'équation physique du courant de diffusion (III.2) à travers la jonction de la diode est utilisée sous sa forme logarithmique (III.3). Pour représenter la variation de la tension V_D en fonction du courant I_D aux bornes de la diode en polarisation directe.

$$I_D = I_S \left(\exp\left(\frac{q \cdot V_D}{n \cdot k \cdot T}\right) - 1 \right) \quad (\text{III.2})$$

$$V_D = \frac{n \cdot k \cdot T}{q} \cdot \ln\left(\frac{I_D}{I_S} + 1\right) \quad (\text{III.3})$$

Cette formulation ne caractérise pas les conditions du fort signal, là où la résistance interne de structure contribue en grande partie à la chute de tension directe pour une diode fonctionnant au voisinage de son courant nominale [139] [105]. Par conséquent, il faut ajouter la contribution de la résistance interne (III.4).

$$V_D = \frac{n.k.T}{q} \cdot \ln\left(\frac{I_D}{I_S} + 1\right) + I_D \cdot R_S \tag{III.4}$$

La chute de tension supplémentaire se résume dans l'équation (III.5) où R_S est appelée la résistance série de la diode (Figure III.6). Elle représente la somme de trois résistances équivalentes en série: la résistance de drift R_D , la résistance de substrat R_{Sub} et la résistance de contact R_C [127] [128] [129] [140].

$$R_S = R_D + R_{Sub} + R_C \tag{III.5}$$

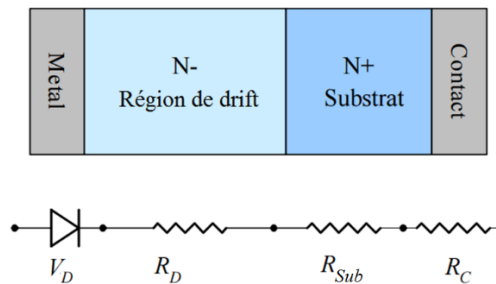


Figure III. 6: Structure de base et circuit équivalent d'une diode Schottky de puissance

Un exemple montrant l'importance de la contribution de R_S dans la chute de tension directe de la diode (Figure III.7) où l'équation de base (III.3) du faible signal de la diode est comparée avec l'équation du fort signal (III.4), cette dernière sera appelée par la suite le modèle logarithmique.

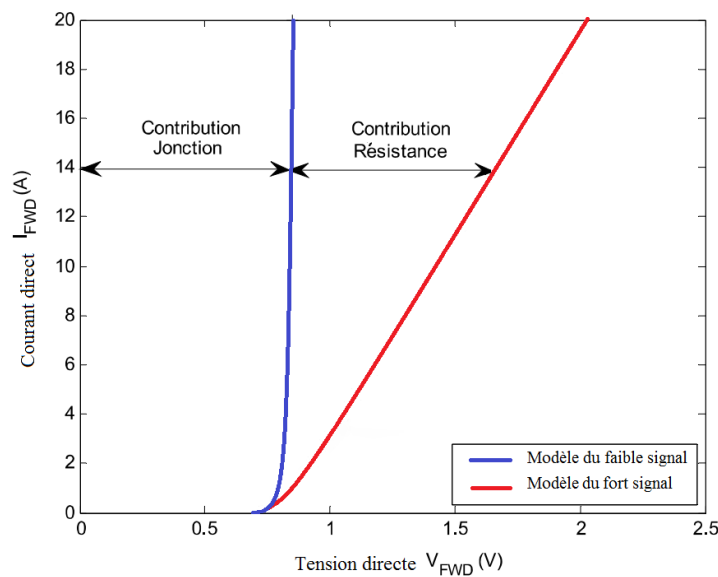


Figure III. 7: Contribution des composantes de la diode à la chute de tension directe en faible et fort signal

D'après cette figure, on remarque bien, même pour les faibles valeurs du courant d'un signal de puissance (fort signal), la résistance interne de la structure de la diode, contribue en grande partie à la chute de tension totale de la diode.

Dans la bibliographie [139] [141], les simplifications portées dans ce sens consistent souvent à considérer la chute de tension directe de la diode soit comme idéal (contribution de la jonction) (III.3), ou bien égale à une simple addition de la chute de tension directe fixe (contribution de la jonction) et la chute de tension résistive ($I_D.R_S$) (contribution de la résistance) (III.4). Le modèle doit caractériser la forme logarithmique de la chute de tension (contribution de la jonction), cependant plus la contribution de la résistance interne $I_D.R_S$. Lors de l'analyse des systèmes de forte puissance, le concept de la diode idéale n'est pas approprié puisque l'efficacité et la dissipation de la puissance sont des considérations basiques du système. Donc la première considération est infirmée, on garde la deuxième expression (III.4).

Le problème qui se pose pour cette modélisation est que l'équation (III.4) est à une température fixe. La figure III.8 montre que la chute de tension directe de la diode varie en fonction du courant et de la température de jonction. Il est primordial donc de prendre en compte la variation de la température interne de jonction dans les deux parties de l'équation (III.4).

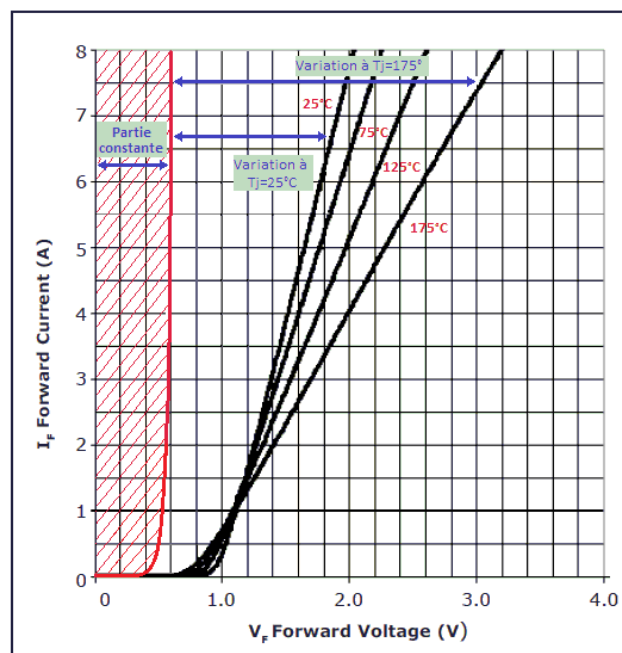


Figure III. 8: Modèle de la chute de tension en polarisation directe.

Plusieurs approches ont été utilisées dans la documentation pour représenter la chute de tension en polarisation directe (V_D) à titre d'exemple:

Dans [142]: les auteurs ont amélioré les caractéristiques de la chute de tension directe par l'addition d'une résistance en série, cette résistance a été modélisée à l'aide des coefficients de température pour contenir avec précision les caractéristiques du semiconducteur en mesure. Le modèle a été encore limité par la caractéristique de température fixe de SPICE.

Dans [143]: les auteurs ont proposé de mettre une source de tension booléenne contrôlée, en série avec une résistance fixe. Dans le cas où la diode serait polarisée en direct la source de tension est mise à zéro, et en polarisation inverse, la source de tension est fixée à une valeur négative qui est plus grande de 10^{17} fois que la chute de tension aux bornes de la résistance. Ce modèle est inapproprié, car il ne caractérise pas la dépendance en température.

D'après l'étude bibliographique, sur les différents modèles existants, on a eu recours à une démarche plus simple pour modéliser la chute de tension directe de la diode. En effet, on propose d'utiliser une source de tension contrôlée par une tension (STCT) de la bibliothèque ABM de SPICE, s'avérant une solution meilleure. L'équation de commande de cette source STCT est en fonction de la température de jonction.

Comme le montre la figure III.8, cette démarche consiste à décomposer en deux parties la courbe de la caractéristique de la chute de tension directe (fourni par le databook du fabricant). La première hachurée en rouge représente la chute de tension presque constante et faible en fonction du courant, c'est la contribution de la jonction de la diode sans résistance interne, cette partie est commune pour toutes les courbes (de chaque température). D'autre part, la deuxième partie représente la variation de la chute de tension indiquée par l'équation (III.4). Pour tenir compte de la variation de la température interne de jonction, on transforme l'équation (III.4) en équation (III.6) avec $P_1(T_j)$ et $P_2(T_j)$ sont des polynômes en fonction de la température interne de jonction de la diode.

$$V_D(T_j) = P_1(T_j) \cdot \frac{k \cdot T}{q} \cdot \ln\left(\frac{I_D}{I_S} + 1\right) + I_D \cdot P_2(T_j) \quad (\text{III.6})$$

T_j : température de jonction

Les fonctions $P_1(T_j)$ et $P_2(T_j)$ sont des polynômes de second ordre comme le montrent les équations (III.7, III.8).

$$P_1(T_j) = DD_{10} + DD_{11} \cdot (T_j) + DD_{12} \cdot (T_j)^2 \quad (\text{III.7})$$

$$P_2(T_j) = DD_{20} + DD_{21} \cdot (T_j) + DD_{22} \cdot (T_j)^2 \quad (\text{III.8})$$

Les paramètres DD_{10} , DD_{11} , DD_{12} , DD_{20} , DD_{21} , et DD_{22} sont les coefficients des polynômes $P_1(T_j)$ et $P_2(T_j)$ en fonction de la température de jonction. Ils sont déterminés à partir des courbes ($I_D(V_D)$) données par le fabricant, comme sera expliqué par la suite.

La première partie du modèle comprend une diode SPICE Niveau 0, qui ne dépend pas de la variation de la température, elle est mise ici essentiellement pour différencier la polarisation directe de la polarisation inverse. Le modèle niveau 0 de la diode comprend 3 paramètres [144] [105], la résistance interne R , le coefficient d'émission n (généralement entre 0 et 1), et le paramètre $Temp$ qui représente la température interne de fonctionnement, fixée par SPICE ($Temp$ est égale à la température ambiante 27°C).

D'autre part, la deuxième partie est modélisée par une source STCT (E1) contrôlée par l'équation (III.9). De sorte qu'elle produit la différence de tension entre la chute de tension produite par la diode niveau 0, et la courbe de la chute de tension directe (V_D vs I_D), fournie par le databook pour chaque température.

L'équation (III.6) devient alors:

$$V_D(T_j) = \left(DD_{10} + DD_{11} \cdot (T_j) + DD_{12} \cdot (T_j)^2 \right) \cdot \ln \left(\frac{I_D}{10^{-14}} + 1 \right) \cdot 0.0259 + I_D \cdot \left(DD_{20} + DD_{21} \cdot (T_j) + DD_{22} \cdot (T_j)^2 \right) \quad (III.9)$$

avec $\frac{k \cdot T}{q} = 25,9 \cdot 10^{-3} V$ à $T = 300^\circ K$

Pour avoir les valeurs des coefficients des deux polynômes (DD_{10} , DD_{11} , DD_{12} , DD_{20} , DD_{21} , et DD_{22}), on suit les étapes suivantes :

1- Avec le logiciel Get Data Digitizer [145], on numérise les courbes de la chute de tension directe pour chaque température, fournis par le fabricant du composant (Databook), pour avoir des données numériques sous forme des fichiers Excel (Figure III.9), afin de les manipuler et de les écrire sous forme d'équation logarithmique.

2- Un Script MATLAB lit les données des fichiers Excel pour chaque profil de température. Comme indiqué précédemment (équation 3.5). La chute de tension directe d'une diode est modélisée comme une fonction logarithmique du courant direct, plus la chute de tension $I_D \cdot R_S$.

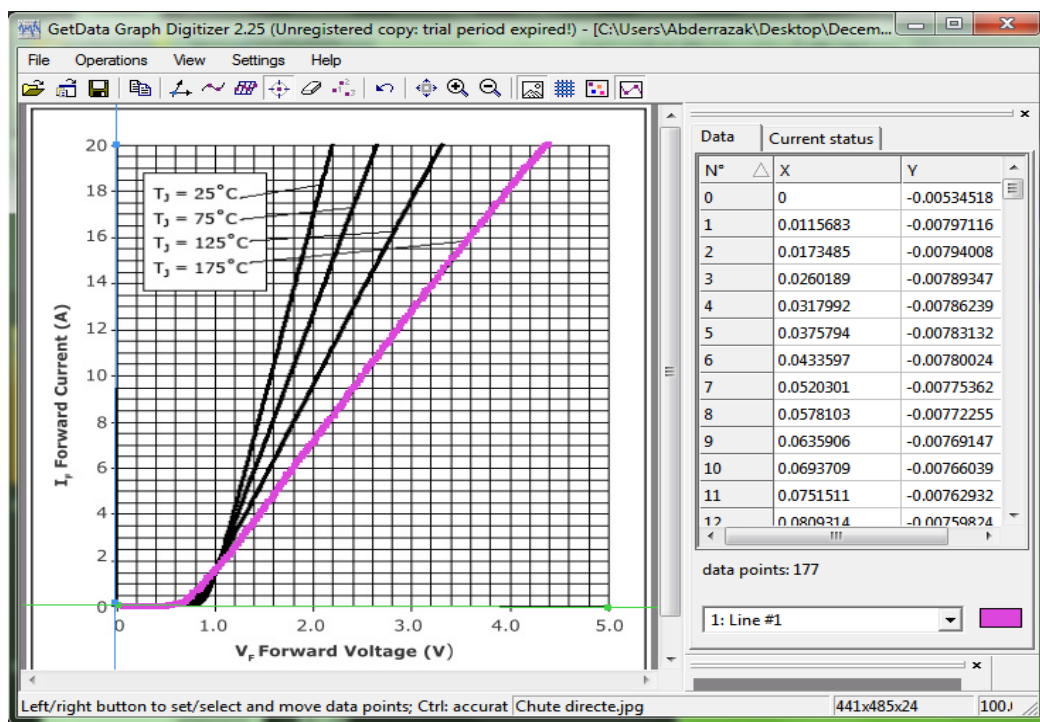


Figure III. 9: Numérisation des courbes avec le logiciel Get-Data-Digitizer.

3- On estime les coefficients des polynômes par des valeurs comme point de départ, et on fixe l'erreur permise et le nombre d'itérations du programme aux valeurs voulues. Le scripte utilise la méthode du recuit simulé pour chercher l'optimum des coefficients au voisinage de cette erreur. L'erreur de départ est très grande et à chaque itération elle se réduit, et ainsi de suite jusqu'à ce que la valeur de l'erreur voulue soit atteinte ou bien le nombre des itérations est achevé. Le scripte s'arrête alors dans le dernier cas. On relance le programme, mais cette fois on augmente le nombre des itérations, jusqu'à l'obtention de la valeur d'erreur voulue. Dans le cas où le premier ordre des polynômes ne donnerait pas de bons résultats (Figure III.10) alors on augmente l'ordre des polynômes, jusqu'à avoir des résultats satisfaisants (Figure III.11).

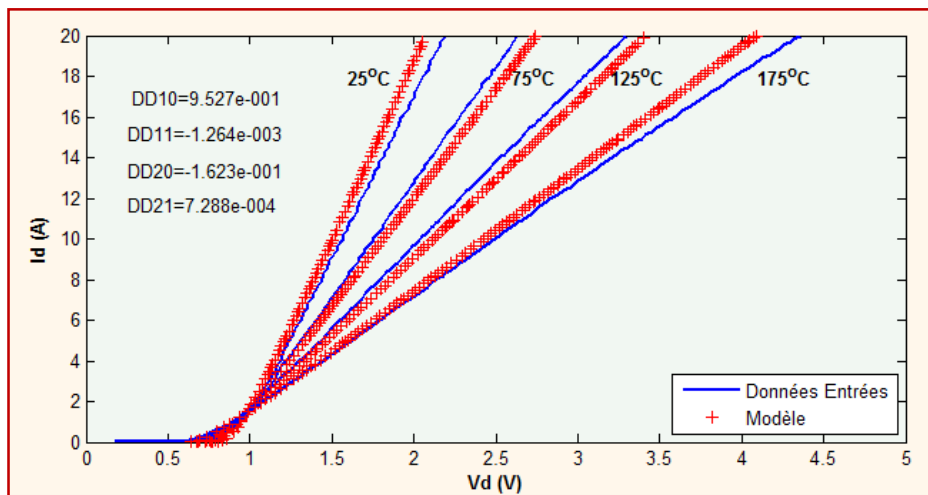


Figure III. 10: Comparaison de la chute de tension en polarisation directe des données du fabricant, et du modèle proposé (Polynômes de 1^{er} ordre), pour les 4 températures.

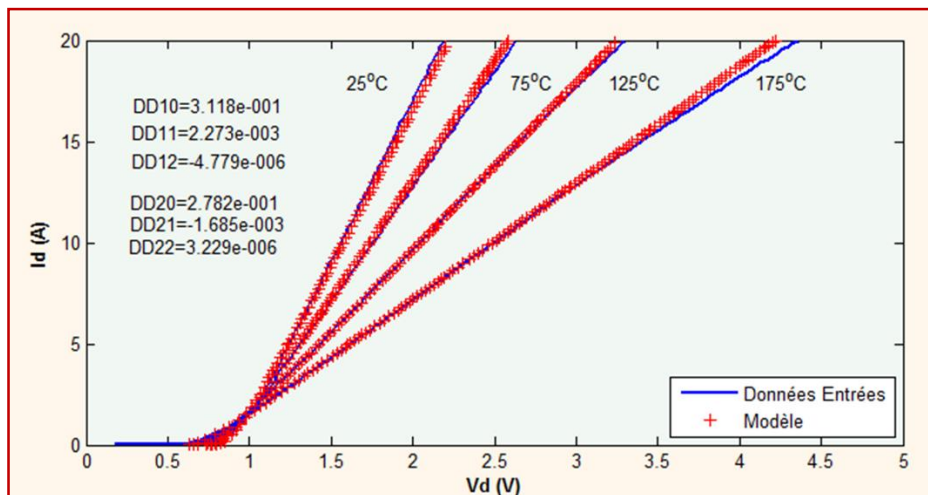


Figure III. 11: Comparaison du courant de fuite en polarisation inverse des données du fabricant, et du modèle proposé (Polynômes de 2nd ordre), pour les 4 températures.

Le modèle proposé pour cette caractéristique est une source de tension STCT E4 commandée par une tension (III.9) est le suivant (Figure III.12) :

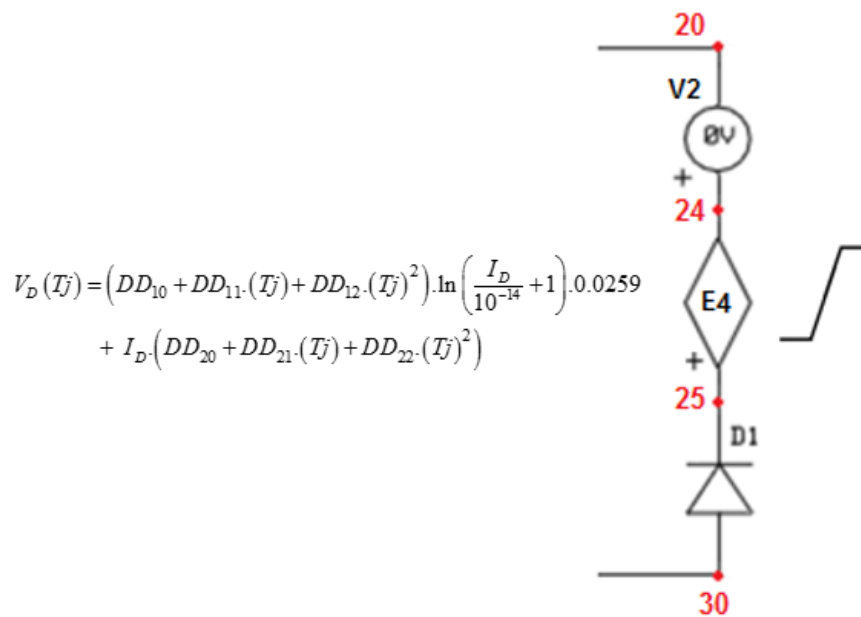


Figure III. 12: Modèle de la chute de tension en polarisation directe

III.4.1.2. Tension de claquage et courant de fuite en polarisation inverse

Le claquage par avalanche est un mécanisme important qui pourrait conduire à la rupture de la jonction [38] [114] imposant une limite supérieure à la polarisation inverse de tous les semiconducteurs. Une fois, cette limite est atteinte, ce claquage peut se produire en attendant que le semiconducteur sera détruit. Il y a des formules disponibles pour estimer la tension produisant la rupture, cependant, il existe de nombreuses techniques de fabrication propres aux fabricants, qui ont un impact sur le potentiel ultime de la tension de claquage. Les fabricants des dispositifs à semiconducteurs précisent le niveau maximal de la fatigue pour tous les semiconducteurs. Pour avoir un bon fonctionnement du convertisseur de puissance, il est nécessaire que les valeurs critiques de tous les composants restent très inférieures aux valeurs nominales maximales. Pour les dispositifs de puissance fonctionnant à des puissances réduites, on prend généralement la limite à 60% ou 70% de la tension maximale inverse estimée [146]. Lorsqu'il y a une nécessité de modéliser la tension de claquage d'un dispositif semiconducteur de puissance, le meilleur choix est de le classer correctement dans sa zone de fonctionnement sécuritaire (SOA) donnée dans le databook du fabricant, de bien concevoir le circuit respectant ses valeurs limites, et que la polarisation inverse soit inférieure au seuil défini par le fabricant.

La tension de claquage a également été l'objectif de certains travaux de modélisation dans la bibliographie [147] [39] [4]. La modélisation précise la tension de claquage du semiconducteur de puissance implique aussi de nombreux facteurs physiques fondamentaux, caractérisant les aspects physiques du semiconducteur comme les anneaux de garde, le profil de dopage et la température. Tous ces facteurs rendent la modélisation difficile et demande un savoir particulier. En effet dans la plupart des cas cette tâche est faite par les fabricants de ces dispositifs en raison de la disponibilité des moyens chez eux comme, les programmes de simulation numérique multidimensionnels [46].

D'autre part, le courant de fuite en polarisation inverse est une caractéristique importante pour les semiconducteurs de puissance (diodes Schottky, IGBT et MOSFET). Dans le cas où l'objectif de la modélisation serait de calculer la dissipation de la puissance, cette caractéristique peut être ignorée en raison de sa faible contribution devant la dissipation générée en polarisation directe. À titre d'exemple pour la diode Schottky (19A, 1200V à 25°C), la puissance dissipée en polarisation directe est de 40W (Figure III.13a) et la dissipation en inverse est de 24mW (Figure III.13b). Le rapport entre ces deux grandeurs est d'environ 1/2000, qui est évidemment assez faible ce que confirme l'omission du courant de fuite du modèle.

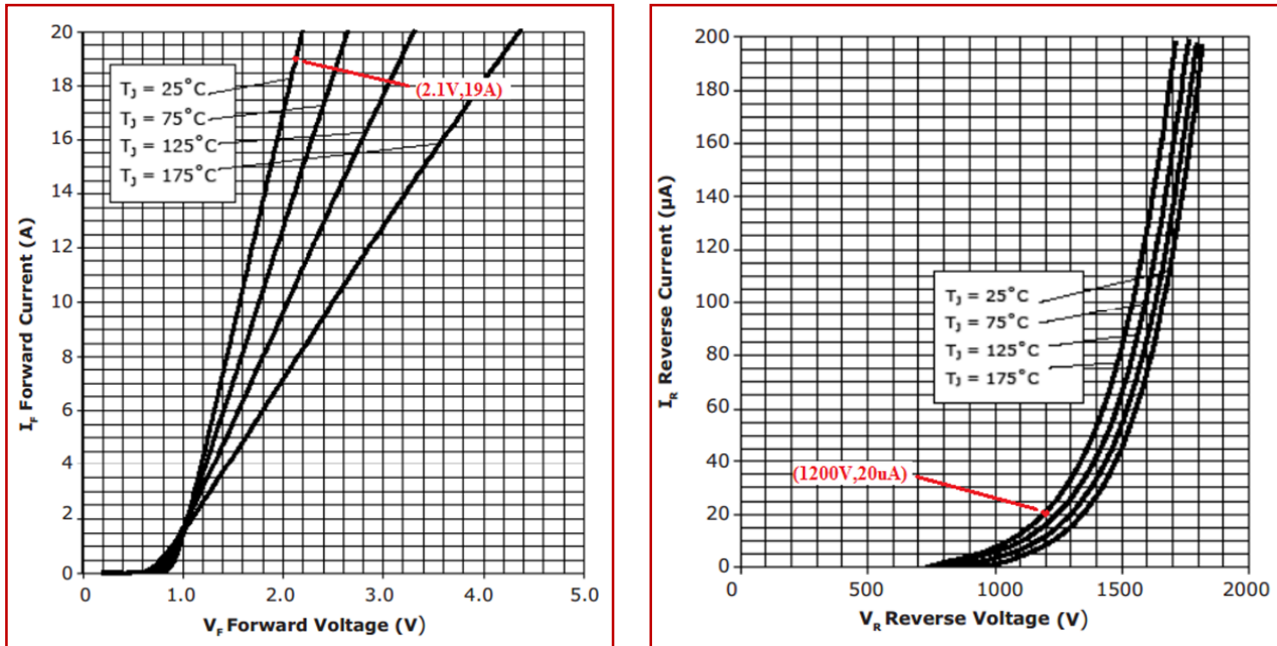


Figure III. 13: Courbes du fabricant : Chute de tension directe (gauche). Courant de fuite en inverse (droite).

En fonction de la tension et de la puissance du convertisseur, les effets du courant de fuite et même la tension de claquage peuvent être soit importants ou négligeables. De toute évidence, si l'une de ces caractéristiques est insignifiante le modèle peut être simplifié avec une réduction marquante de la complexité et du temps de simulation.

Malgré sa faible contribution, la modélisation de ce courant a eu beaucoup d'intérêt dans la bibliographie par la modélisation physique impliquant de nombreux facteurs que la plupart d'entre eux sont fondamentaux à des équations physiques en dehors du domaine de connaissance de l'ingénieur d'application. Par exemple:

Dans [114]: les auteurs ont été intéressés à cinq effets supplémentaires de la polarisation inverse, ajoutés au courant de saturation pour un modèle de plate-forme de diode sous Saber.

Dans [4]: un modèle physique a été proposé comportant le courant de fuite en polarisation inverse et les effets de claquage par avalanche, ce modèle a été basé sur les blocs ABM de la bibliothèque de SPICE [39].

Dans [39] et [105]: les modèles des semiconducteurs ont été classés dans des niveaux selon les caractéristiques du semiconducteur prises en compte, y compris le courant de fuite en polarisation inverse. À titre d'exemple, le modèle niveau 2 comporte le claquage par avalanche non destructive qui a été caractérisée comme "précis pour tous les états du fonctionnement nominal en courant et tension (au sein de SOA (Safe Operating Area))".

L'analyse de ces courbes (Figure III.13b) nous a montré qu'on peut les transformer en équations de la forme suivante :

$$I_F(T_j) = A(T_j) \cdot \left(\frac{V_{AK}}{B(T_j)} \right)^{C(T_j)} \quad (\text{III.10})$$

Avec A, B, et C sont des constantes.

Pour tenir compte de la température, on transforme ces constantes en polynômes dépendants de la température comme suit:

$$\begin{aligned} A(T_j) &= DI_{10} + DI_{11} \cdot (T_j) + DI_{12} \cdot (T_j)^2 \\ B(T_j) &= DI_{20} + DI_{21} \cdot (T_j) + DI_{22} \cdot (T_j)^2 \\ C(T_j) &= DI_{30} + DI_{31} \cdot (T_j) + DI_{32} \cdot (T_j)^2 \end{aligned} \quad (\text{III.11})$$

Le courant de fuite en fonction de la tension inverse et en fonction de la température de jonction s'écrira de la manière suivante:

$$I_F(T_j) = \left(DI_{10} + DI_{11} \cdot (T_j) + DI_{12} \cdot (T_j)^2 \right) \cdot \left(\frac{V_{AK}}{\left(DI_{20} + DI_{21} \cdot (T_j) + DI_{22} \cdot (T_j)^2 \right)} \right)^{\left(DI_{30} + DI_{31} \cdot (T_j) + DI_{32} \cdot (T_j)^2 \right)} \quad (\text{III.12})$$

Le modèle proposé pour cette caractéristique est une source ABM de courant contrôlée par une tension (SCCT), cette source de courant (G₂) est contrôlée par l'équation (III.12). Puisque le semiconducteur ne doit jamais être utilisé au-delà de sa tension de claquage, la sortie de la source G₂ est limitée à 90 % de sa tension de claquage (données du fabricant).

Comme décrit précédemment, les paramètres DI₁₀, DI₁₁, ... DI₃₂, sont relevés à partir des données numérisées en utilisant un scripte Matlab adoptant le Recuit Simulé, pour avoir les valeurs optimales de ces coefficients avec une marge d'erreur fixée par l'utilisateur. La précision du modèle dépend étroitement de la marge d'erreur fixée. Cependant, il faut choisir un compromis entre le nombre d'itérations et la marge d'erreur (fixée par l'utilisateur). Afin de valider le modèle proposé, les figures III.14 et III.15 montrent une comparaison entre les données numérisées du databook et les résultats des modèles proposés pour chaque température.

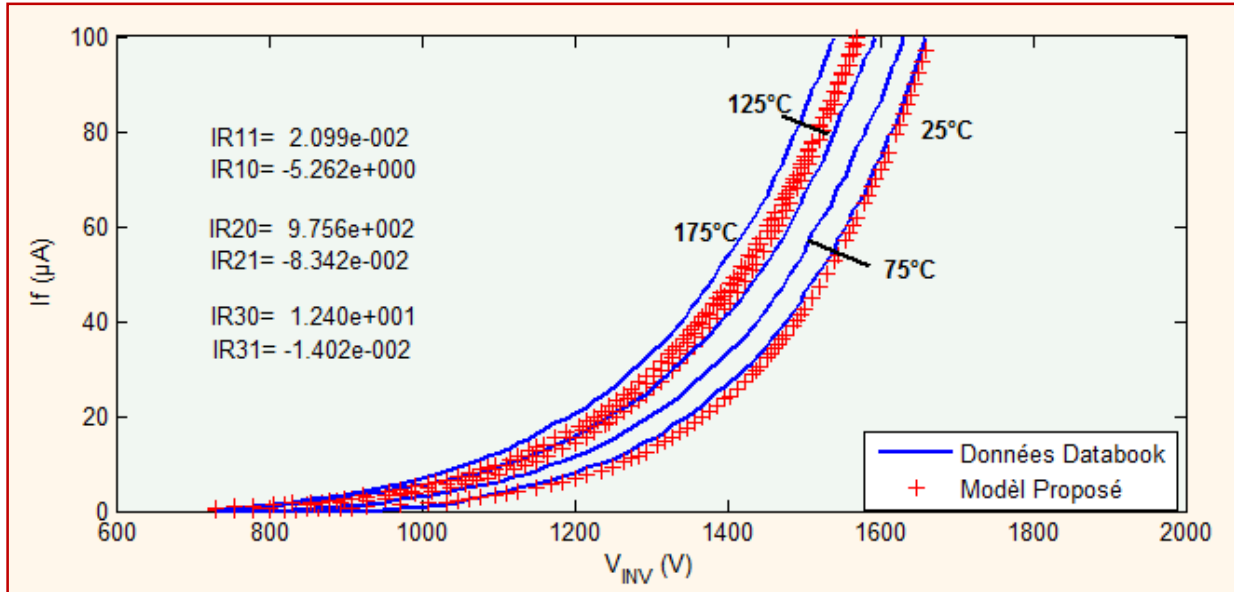


Figure III. 14: Comparaison des données du fabricant et du modèle proposé (Polynômes de 1^{er} ordre) du courant de fuite en polarisation inverse pour les 4 températures

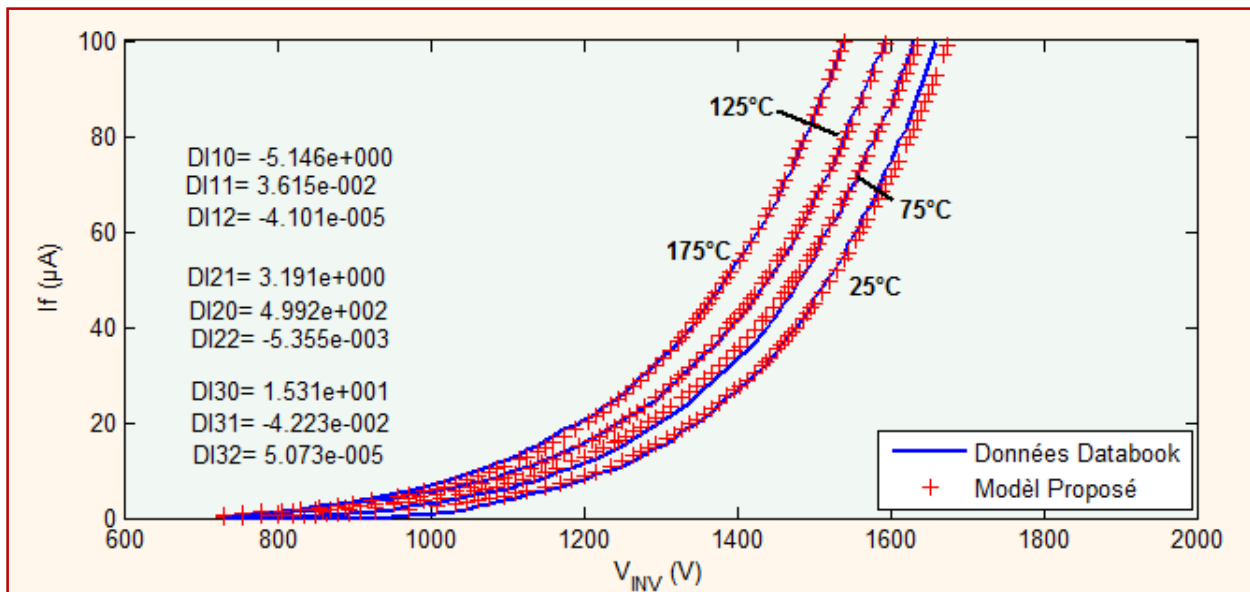


Figure III. 15: Comparaison des données du fabricant et du modèle proposé (Polynômes de 2^d ordre) du courant de fuite en polarisation inverse pour les 4 températures.

Le modèle avec des polynômes de 2nd ordre présente des résultats très satisfaisants par rapport au modèle avec des polynômes du 1^{er} ordre, donc on s'arrête à l'ordre 2. Le modèle proposé est le suivant:

$$I_F(T_j) = \left(DI_{10} + DI_{11} \cdot (T_j) + DI_{12} \cdot (T_j)^2 \right) \cdot \left(\frac{V_{AK}}{\left(DI_{20} + DI_{21} \cdot (T_j) + DI_{22} \cdot (T_j)^2 \right)} \right)^{\left(DI_{30} + DI_{31} \cdot (T_j) + DI_{32} \cdot (T_j)^2 \right)}$$

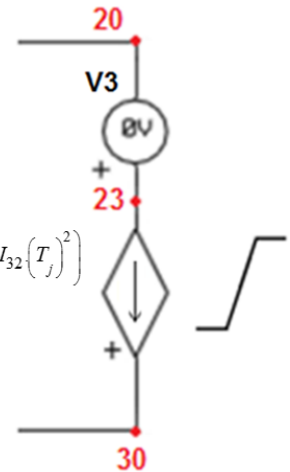


Figure III. 16: Modèle du courant de fuite en polarisation inverse.

III.4.2. Modélisation de la caractéristique dynamique.

III.4.2.1. Charge en polarisation inverse.

Cette partie décrit le comportement de la diode Schottky pendant la commutation, c'est-à-dire son passage de l'état passant à l'état bloqué, et réciproquement. La diode étant un composant non commandé, la variation des signaux du circuit extérieur permettent à la diode de passer de l'état passant à l'état bloqué ou réciproquement.

D'autre part, la diode Schottky est rapide, elle possède un recouvrement inverse relativement très faible. En effet, pour montrer les performances de cette diode en SiC on la compare avec une diode PiN en Si plus rapide, lors de la commutation [148]. La figure II.17 représente les résultats de cette comparaison pour différentes valeurs de courant et sous une tension de 400V.

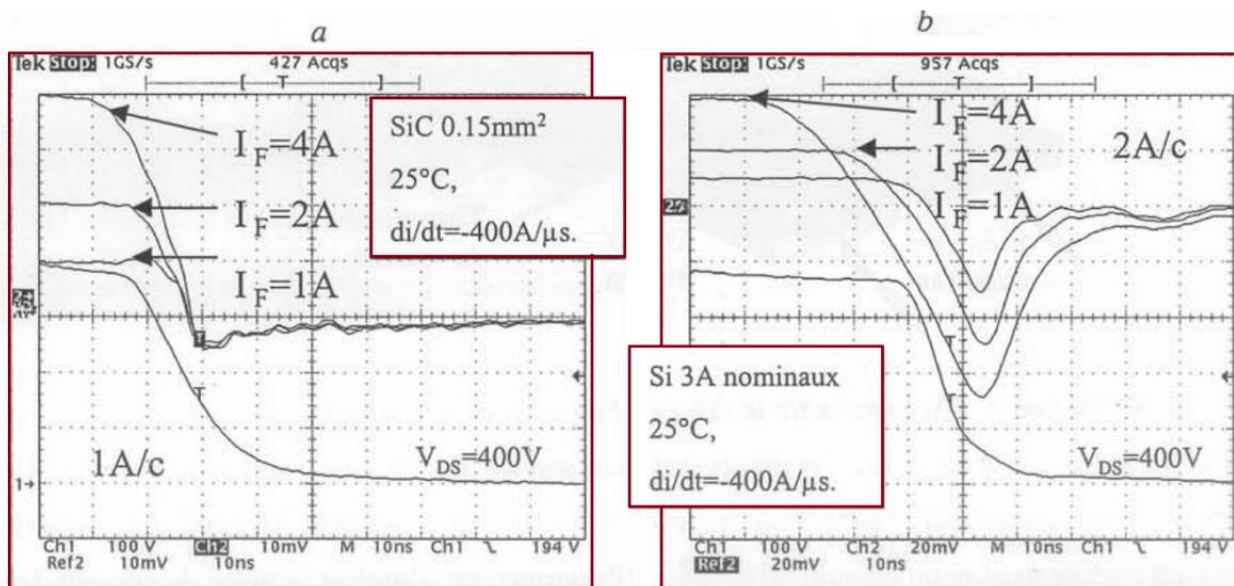


Figure III. 17: Comparaison de la commutation au blocage entre une diode Schottky en SiC et une diode PiN rapide en Silicium, pour différent courant sous une tension de 400V.

À partir de cette comparaison, on remarque les points suivants:

- Un très faible pic de courant inverse (I_{rm}) causé par les diodes Schottky en SiC.
- Une invariance des formes d'onde avec le niveau de courant commuté.
- Une invariance de la charge recouvrée (Q_R) avec le courant et la vitesse de commutation.
- Un retour du courant à zéro très doux par rapport à la diode PiN en Si.
- De faibles oscillations à la commutation de la diode Schottky en SiC, par rapport à la diode Schottky Si.

La figure III.18 montre les formes d'ondes expérimentales d'une diode Schottky à la commutation au blocage (a) et en conduction (b), une analyse qualitative et quantitative de la cellule de commutation (Diode, MOSFET) [149] [150] a montré que le rôle de la diode est secondaire, et la majeure partie de commutation ne met en œuvre que le MOSFET. En effet, la diode n'intervient qu'en fin de commutation, et les charges recouvrées au blocage de la diode sont retrouvées en conduction (les aires sombres de la Figure III.18).

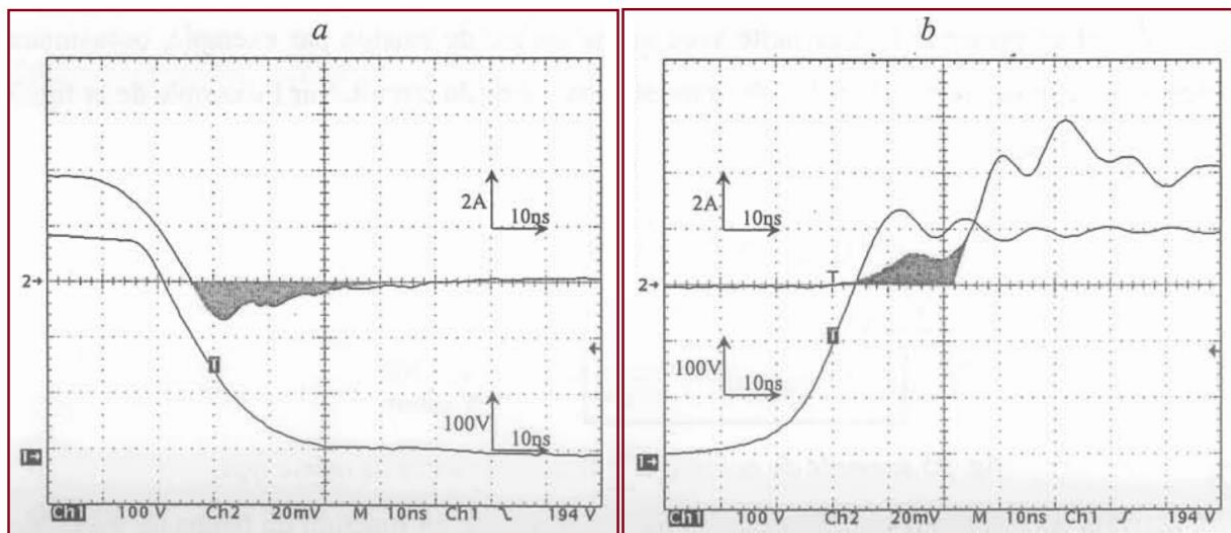


Figure III. 18: Comparaison des commutations OFF (a) et ON (b) d'une diode Schottky en SiC.

En raison de la similitude de la forme d'onde du recouvrement inverse pour les deux types de diodes Schottky et PiN, on décrit par la suite dans un premier temps ce phénomène pour la diode PiN afin de bien comprendre son mécanisme, qui nous a permis de l'appliquer sur la modélisation de la diode Schottky. On accepte ce processus tant qu'on ne s'intéresse qu'à la modélisation comportementale et pas à la physique du semiconducteur.

La forme d'onde de la commutation au blocage de la diode est décomposée en trois phases comme la montre la figure III.19 [151]:

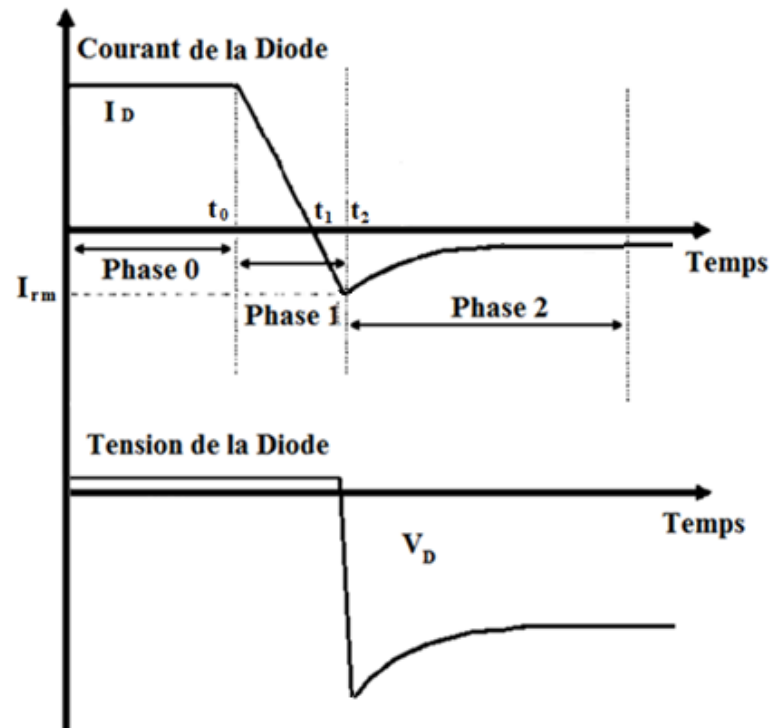


Figure III. 19: Évolution du courant et de la tension au blocage de la diode

La phase 0 se termine au moment où la diode commence à se bloquer, elle est caractérisée par des valeurs constantes du courant et de tension.

À t_0 , commence la phase 1, à ce moment-là les porteurs diffusent dans la région de charge d'espace parcourant la diode dans le sens inverse et sont déplacés à travers la couche d'appauvrissement avec une vitesse de l'ordre de la vitesse limite (environ 10^7 cm/s pour les électrons) [151]. Ainsi, le courant inverse n'est limité que par les composants externes du circuit qui définit sa valeur maximale (I_{rm}). Ce courant reste maintenu tant qu'il y a suffisamment de charges stockées dans la base (N^-).

La phase 2 débute à t_2 , quand les charges stockées commencent à se libérer, et la tension de la jonction inverse trouve finalement son état final (tension de blocage). La figure III.20 représente la décroissance de la distribution des charges au cours du blocage pour une diode ayant $W_D > L_p$ où W_D est la largeur de la région de déplétion, et L_p est la longueur de diffusion des trous dans la région N.

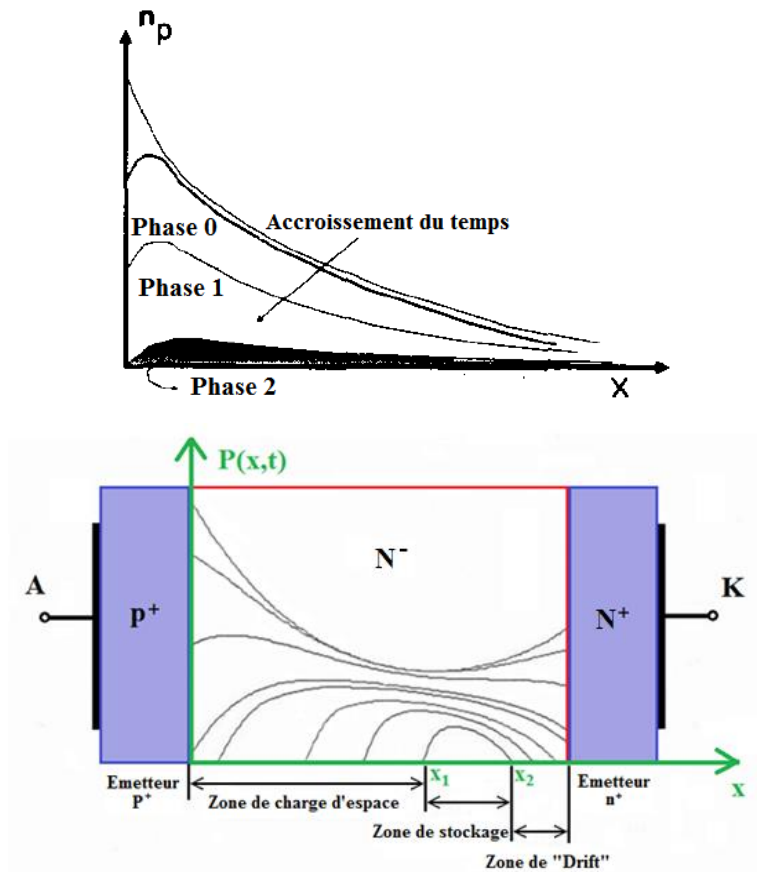


Figure III. 20: Variation de la densité des porteurs minoritaires en excès lors de recouvrement inverse

La phase 1 est appelée phase de stockage des charges. Durant cette phase, les charges en excès dans la région P sont déplacées vers la zone N⁻. L'équation de continuité des électrons dans la région P peut s'écrire sous la forme suivante (III.13) [18] [38]:

$$\frac{\partial(n_p - n_{p0})}{\partial t} = \frac{n_p - n_{p0}}{\tau_F} - \frac{1}{q} \frac{\partial i_n(t)}{\partial x} \tag{III.13}$$

n_p : la densité de charge minoritaire dans la région P

n_{p0} : la densité de charge minoritaire dans la région P à l'équilibre

τ_F : la durée de vie des électrons

q : la charge d'électron

i_n : le courant des électrons dans la région P

La charge en excès stockée dans la région P, à un moment donné $Q(t)$ est défini par (III.14):

$$Q(t) \equiv \int_0^W -q(n_p - n_{p0}) dx \tag{III.14}$$

On intègre l'équation (III.14) sur la région P de la diode, on trouve :

$$\frac{dQ(t)}{dt} + \frac{Q(t)}{\tau_F} = -i_n(0,t) = -i(t) \quad (\text{III.15})$$

L'expression (III.15) représente l'équation de contrôle de charge des porteurs, il est encore acceptable de supposer que τ_F a une valeur constante sur toute minoritaire en excès au cours du blocage. La valeur de τ_F s'évalue en fonction du courant appliqué dans la plage de fonctionnement [152]. Si on considère le courant à travers la capacité de déplétion, l'équation (III.15) peut être réécrite sous la forme suivante:

$$\frac{dQ(t)}{dt} + \frac{Q(t)}{\tau_F} - \bar{C}_J \frac{dv(t)}{dt} = -i(t) \quad (\text{III.16})$$

Avec \bar{C}_J : la capacité moyenne de la jonction .

L'expression (III.16) représente l'équation de contrôle de charge de la diode avec la prise en compte de la capacité de jonction. Les paramètres τ_F et C_J peuvent être déterminés expérimentalement ou à partir des données du fabricant (databook).

Durant la phase 0, la charge en excès ($Q(t)$) stockée pendant le régime permanent dans la région P, est donnée par :

$$Q = -I_0 \cdot \tau_F \quad (\text{III.17})$$

Cette équation représente la condition initiale de $Q(t)$ au point de départ de la phase 1 (t_0).

Au cours de la phase 1, $i(t)$ peut être obtenu à partir des équations du circuit tandis que la diode est modélisée avec une faible chute de tension en polarisation directe. Puisque la variation de la chute de tension dans la diode est assez faible, le courant traversant la capacité de la couche d'appauvrissement peut être ignoré en gardant l'équation (III.15) comme équation de contrôle de charge. Cette phase prend fin lorsque la condition suivante est satisfaite [37] [38]:

$$|Q(t)| = |i(t) \cdot \tau_R| \quad (\text{III.18})$$

Avec τ_R : la durée de vie effective des électrons en inverse

On détermine le rapport : τ_F/τ_R à partir des équations (III.17, et III.18), comme le rapport entre les excédents de la charge stockée dans la base en polarisation directe et inverse au point commun t_2 (début de la phase 2, fin de la phase 1).

Lors de la phase 2, $Q(t)$ est non linéaire et elle est en fonction du courant de la diode comme montrée par l'équation (III.18). Dans ce cas, le courant traversant C_J ne peut pas être ignoré, car une

tension de jonction est en train de se produire. Alors on utilise l'expression (III.17) comme équation de contrôle de charge, pour déterminer le courant et la tension inverse de la diode.

Dans notre modèle proposé, le contrôle de charge se fait de la manière suivante:

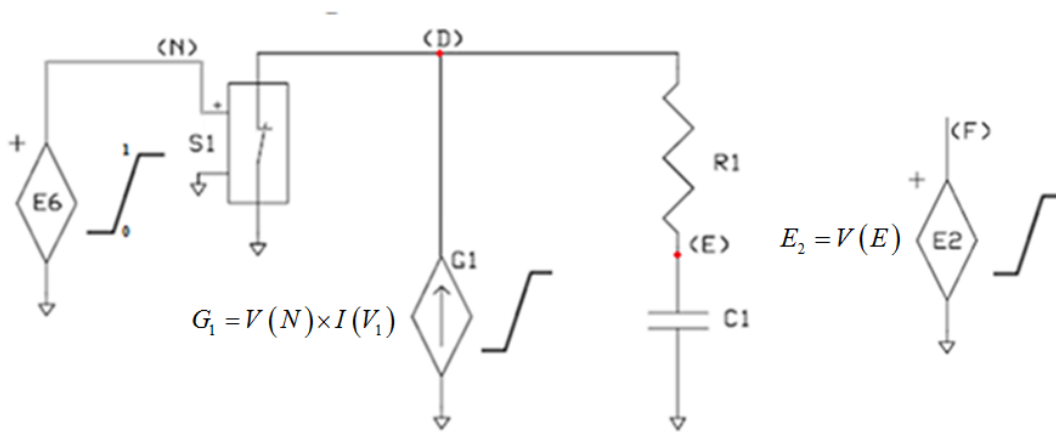


Figure III. 21: Modèle du contrôle de charge en inverse

Initialement, le commutateur S1 est fermé et sera ouvert dès qu'il reçoit une impulsion de la part de la source STCT E₆, et en même temps la source de courant G₁ débite un courant approprié dans le circuit R₁ C₁ (la charge initiale). La résistance R₁ est pour la régénération directe de la charge lors de la commutation. Pour la compensation de la chute de tension aux bornes de la résistance R₁, la capacité de stockage C₁ chargée se comporte comme une source de tension.

Le contrôle de charge au début du blocage (phase 1) est décrit par l'équation (III.15). La tension du nœud D représente la charge stockée en excès au sein de la zone P. La capacité C₁ a une valeur arbitraire nécessaire pour que (τ_F/C₁) soit égale à 1 [153], la source G₁ est contrôlée par l'équation (III.19) compense le courant qui circule à travers C₁ et permet d'avoir l'état initial de Q (t) qui est égal à (I_{rm} . τ_F).

$$G_1 = V(N).I(V_1) \tag{III.19}$$

Avec V(N) : Impulsion de la mise en fonctionnement en inverse
 I(V₁) : le courant en inverse

D'autre part, l'évolution de ce courant crée aux bornes de C₁ une tension V(E) correspondante à la charge initiale. En effet, cette tension sert à contrôler la source E₂, assurant le passage de la charge à la tension correspondante (passage comportemental).

La tension V(F) (la sortie de E₂) contrôle linéairement à son tour la source E₃ qui représente l'évolution de la charge stockée (Q (t) = V(F). C_J) dans la capacité de jonction C_J, liée à la zone de charge d'espace en polarisation inverse, ce qui explique son comportement non linéaire avec la variation de la tension inverse appliquée [154].

Comme le montre la figure III.22, la source E₃ génère une tension négative à sa sortie V(K) s'évaluant en fonction de ses valeurs d'entrées V(F). Une fois que le maximum de V(F) est atteint, l'étape de recouvrement inverse commence (la phase 1 de la figure III.19), et la capacité C₂ aura le même potentiel à ses bornes ; alors le courant I(V₁) s'annule, ce qui donne l'annulation de la commande de G₁ et son courant se met à 0. Les tensions des sources E₂ et E₃ seront annulées automatiquement.

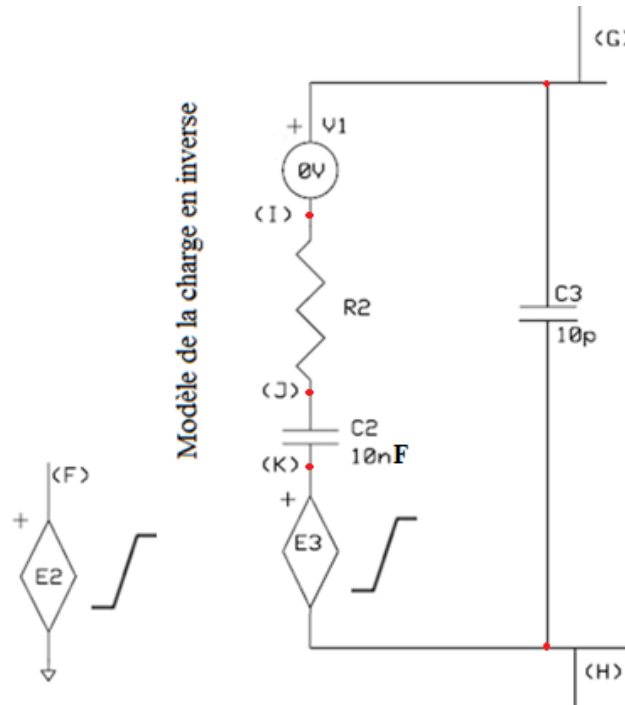


Figure III. 22: Modèle de la charge en inverse

L'évolution de la charge Q (t) suit ensuite l'équation (III.16) jusqu'à ce que la condition (III.18) soit vérifiée, dans ce cas une tension apparaît aux bornes de la capacité C₃, ce qui correspond à la phase 2 (Figure III.19). Durant cette phase, la variation et le contrôle de charge sont différents du cas précédant, puisque Q (t) ici évolue en fonction du courant de la capacité de la diode (III.16).

La capacité C₃ a une valeur très faible, elle s'est ajoutée pour représenter la faible quantité de charges stockées au début et à la fin de chaque cycle de commutation.

La tension correspondante à l'évolution de la charge dans la phase 2 est obtenue par l'intégration de l'équation (III.16) entre t₂ et t, comme suit (III.20):

$$V_d = \frac{1}{C_J} \int_{t_2}^t \left(\tau_R \frac{di}{dt} + \left(1 + \frac{\tau_R}{\tau_F} \right) \cdot i \right) dt \tag{III.20}$$

D'autre part, l'expression théorique de la capacité non linéaire de jonction de la diode est sous forme de l'équation (III.21) [37]. La figure III.23 représente cette variation.

$$C_J(V_d) = \frac{C_{J0}}{\left(1 - \frac{V_d}{\phi_0}\right)^M} \quad (\text{III.21})$$

- Avec C_{J0} : La capacité de transition lorsque la diode est non polarisée.
 V_d : Potentiel de la jonction P-N à l'équilibre correspondant à la tension de diffusion.
 M : Coefficient lié à la forme de la jonction P-N (0.5 pour une jonction abrupte).
 ϕ_0 : Tension de diffusion

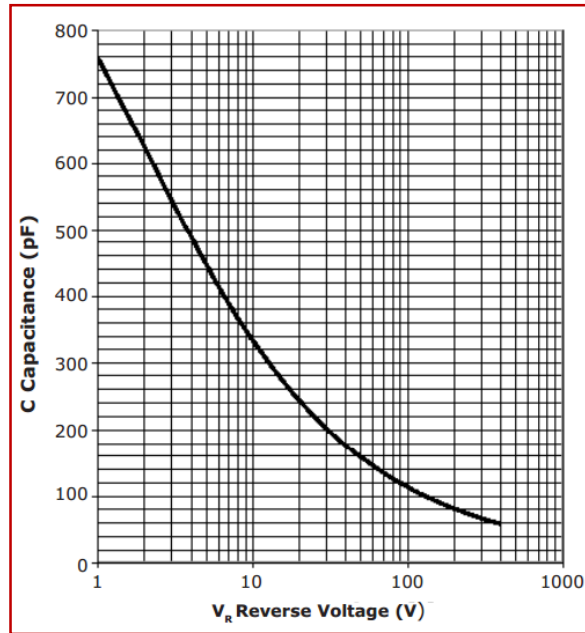


Figure III. 23: Courbe de l'évolution de la capacité en fonction de la tension inverse (Databook)

Pour représenter la courbe de la figure III.23 sous forme d'une équation, on modifie l'équation (III.21) puisque les valeurs des paramètres physiques ϕ_0 et M sont difficiles à les extraire à partir de cette courbe, donc la relation (III.21) sera transformée en équation (III.22).

$$C_J(V_d) = \frac{a.C_{J0}}{(b.V_d)^c} \quad (\text{III.22})$$

Les paramètres a , b et c sont obtenus par la même démarche décrite précédemment. Il faut numériser la courbe représentant la variation de la capacité de jonction en fonction de la tension inverse pour avoir des valeurs numériques. Un scripte Matlab adoptant la méthode d'optimisation (le Recuit Simulé) traite ces valeurs pour avoir ces trois paramètres (a , b et c) à une erreur près fixée par l'utilisateur.

La figure III.24 représente cette courbe à partir des données numérisées, on remarque bien que les données fournies par la fiche technique sont limitées à 400V, et que la tension de polarisation inverse maximale est de 1200V, donc il est nécessaire d'étendre les données au moins de 1,2 kV.

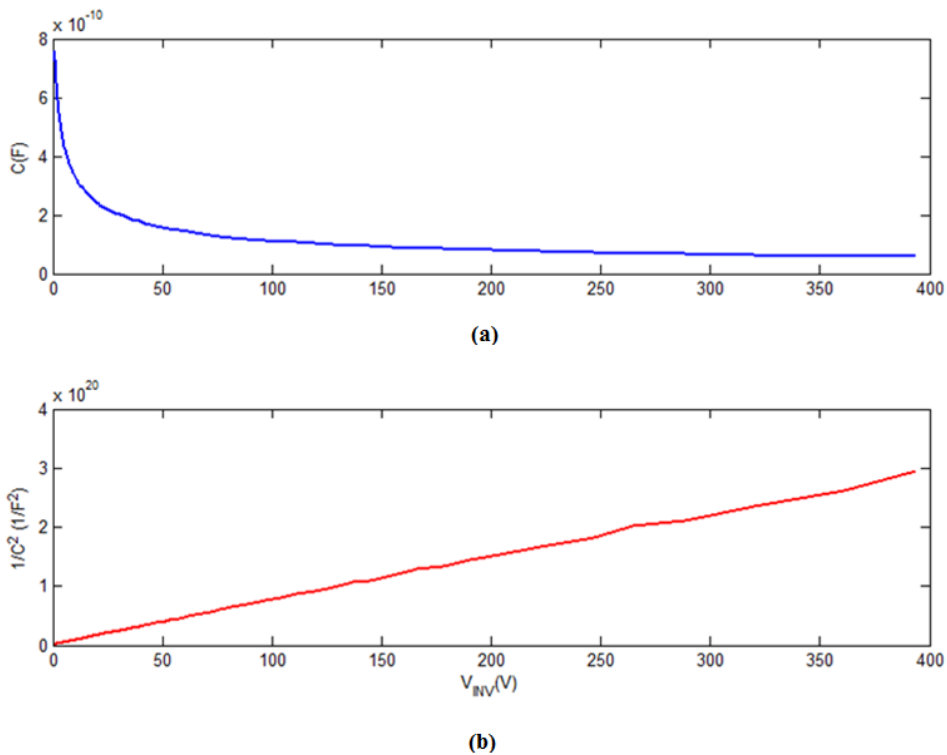


Figure III. 24: Capacité en inverse donnée fabricant : C_J vs V_{inv} (a) et C_J^{-2} vs V_{inv} (b)

On remarque qu'après la transformation de la courbe $C_J(V_{inv})$ (Figure III.24.a) en $C_J^{-2}(V_{inv})$ (Figure III.24.b) la nouvelle courbe est presque linéaire. Donc on peut facilement étendre les données du databook (C_J^{-2}) à la tension inverse maximale (1,2 kV) en appliquant l'équation d'une droite correspondante.

La figure III.25 est le résultat de l'extension des données avec la courbe en rouge avec des traits en astérisque "*" représente les données du databook, et la courbe en bleu avec des traits simples "-" représente les données étendues pour les deux formes (C_J^{-2} et C_J), dans la gamme de 1V à 1,2 kV.

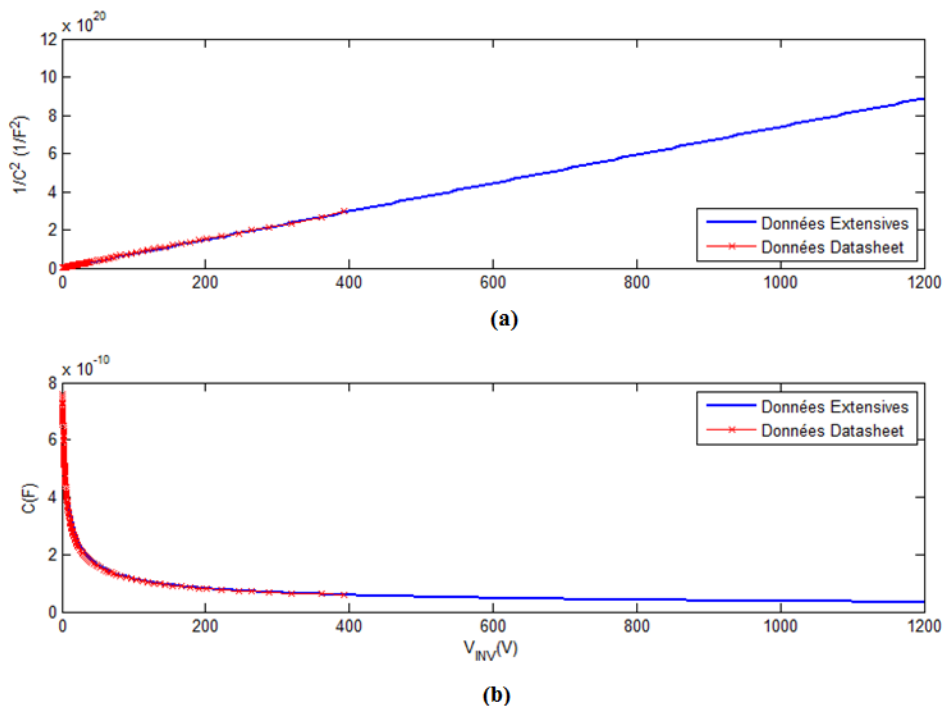


Figure III. 25: Capacité en inverse; données du fabricant et données étendues: C_J vs V_{inv} (a) et C_J^{-2} vs V_{inv} (b).

Le modèle proposé représente l'évolution de la charge lorsque la diode est en inverse. Il est obtenu en utilisant les relations $Q = C_J \cdot V$ et $Q = i \cdot t$, pour intégrer la charge au niveau du semiconducteur. Cette charge résulte de l'injection des courants de charge/décharge dans une capacité bien déterminée par la tension inverse résultante.

Les composants du modèle de la charge en inverse, S_1 , G_1 , R_1 et C_1 de la figure III.21 comme expliqué précédemment fournissent la fonction d'intégration de la charge. E2 et E3 traduisent la valeur calculée de la charge instantanée en Volts/nC, à sa valeur correspondante de tension inverse à travers E3. À partir de l'équation (III.22), le contrôle de la source E3 se fait par l'équation (III.23):

$$Q = V_d \cdot C_J = V_d \cdot \frac{QR_{10} \cdot C_{J0}}{(QR_{11} \cdot V_d)^{QR_{12}}} \quad (III.23)$$

QR_{10} , QR_{11} , et QR_{12} , sont des constantes déterminées à partir de la courbe. La figure III.26 montre une concordance à 7% d'erreur relative entre les données du databook et le modèle à 400V. Alors que la figure III.27 montre la même comparaison, mais après l'extraction des données à 1200V, cette fois la concordance est à 15% d'erreur relative.

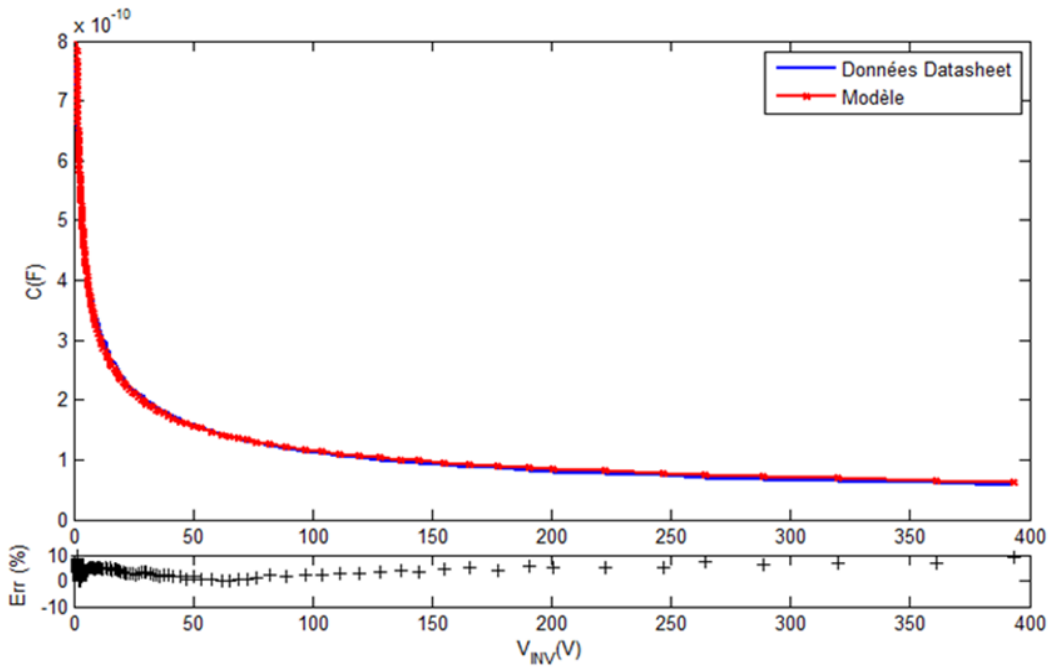


Figure III. 26: Comparaison de données du fabricant et du modèle de la capacité en inverse à 400V, et l'erreur relative de cette comparaison.

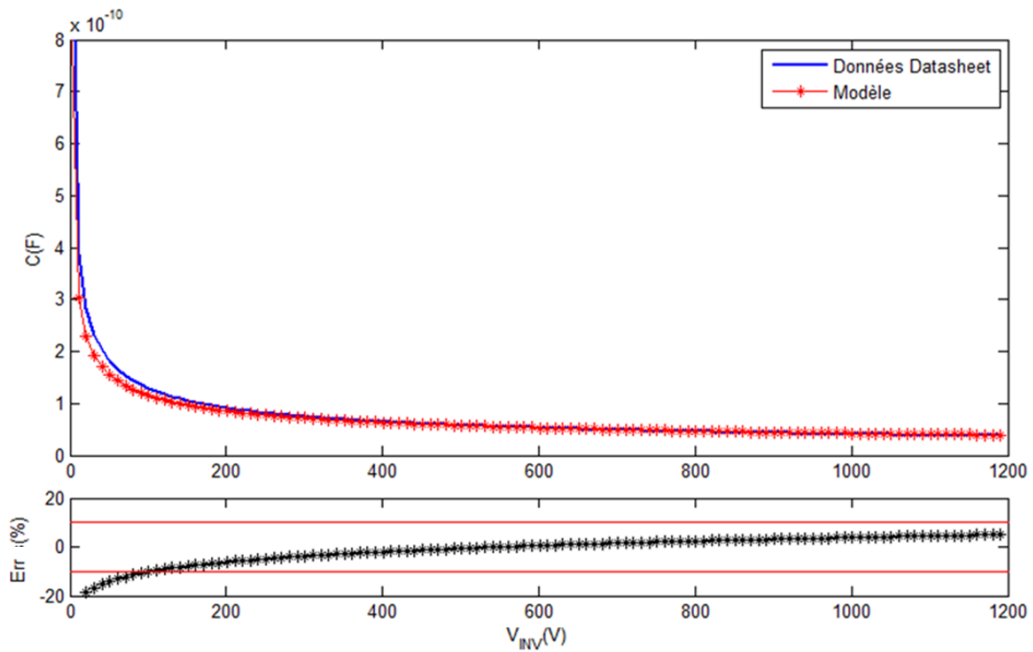


Figure III. 27: Comparaison de données du fabricant et du modèle étendu à 1200V de la capacité en inverse, et l'erreur relative de cette comparaison.

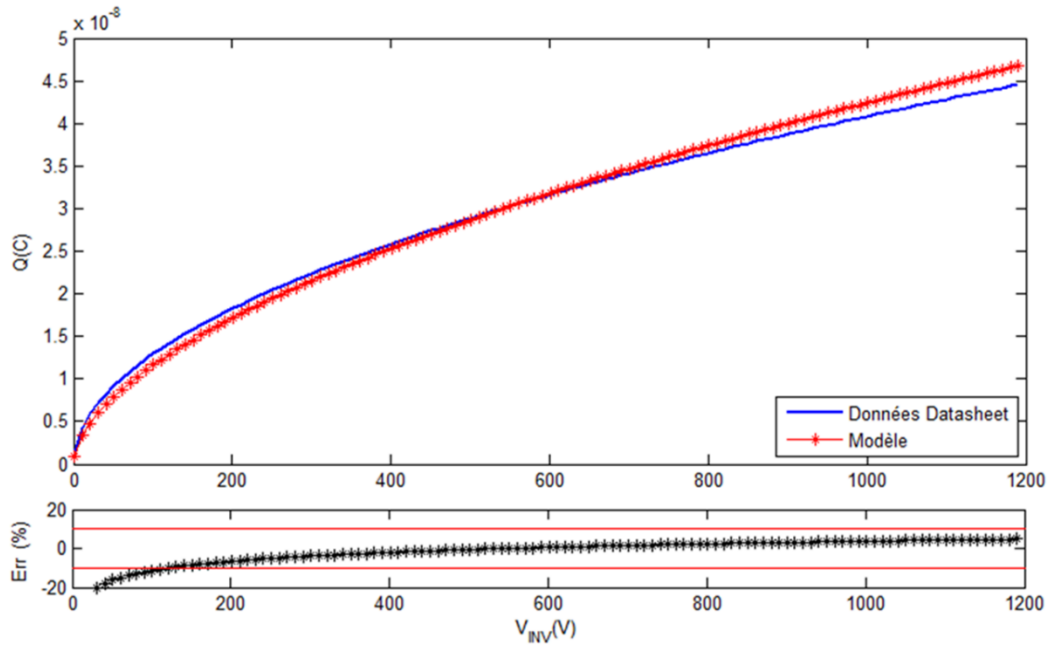


Figure III. 28: Comparaison de données du fabricant et du modèle de la charge en inverse, et l'erreur relative de cette comparaison.

La figure III.28 montre une comparaison de l'évolution de la charge en fonction de la tension inverse pour les données du databook après l'extension des données à 1200V avec le modèle obtenues par l'équation de contrôle de E3 (III.23). L'erreur relative de cette comparaison s'évalue à moins de 20% pour les tensions inférieures de 100V et de moins de 10% pour les tensions entre 100V et 1200V. Le modèle proposé est le suivant (Figure III.29):

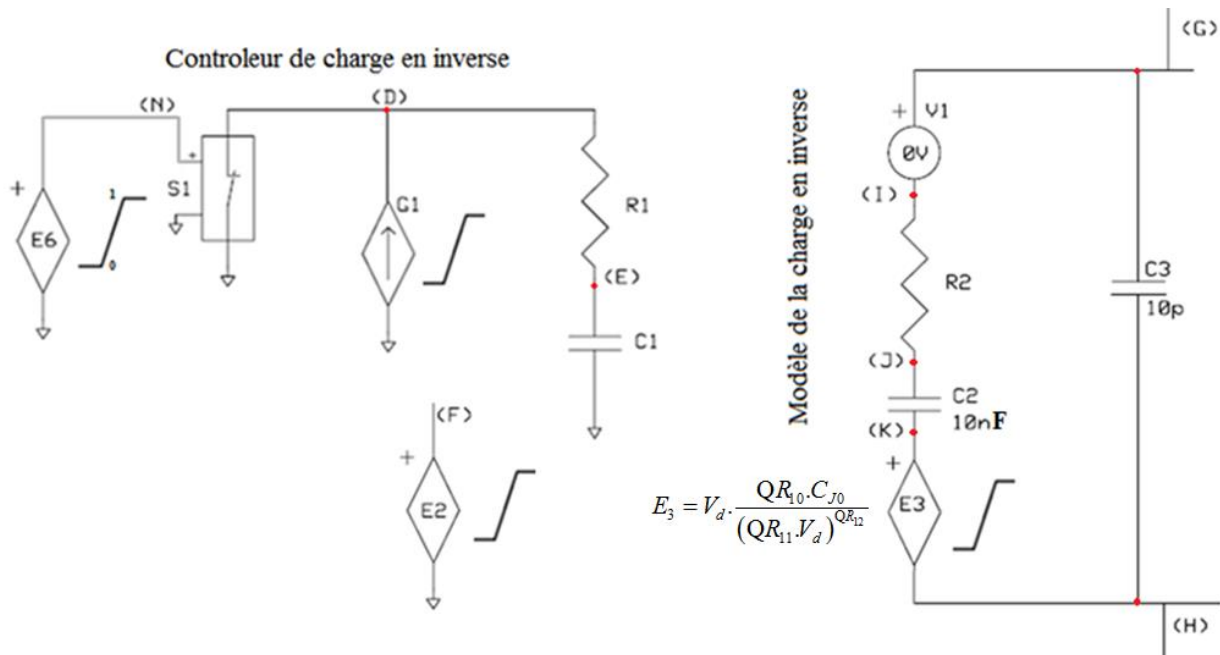


Figure III. 29: Modèle de la variation de la charge en inverse lors de la commutation

III.4.3. Modélisation de l'Impédance thermique transitoire

L'Impédance Thermique Transitoire (ITT) $Z_{th}(t)$ est une caractéristique importante d'un semiconducteur. Elle est utilisée pour quantifier l'augmentation de la température de jonction à court terme en raison de sa forte dissipation instantanée en cas du court-circuit, ou même de sa forte dissipation périodique lors de la commutation du semiconducteur.

Cette caractéristique représentant l'impédance thermique entre la jonction et le boîtier en fonction du temps (t) est souvent donnée par le fabricant du semiconducteur sous forme d'une courbe dans la fiche technique (Figure III.30) [155]. Dans certains cas, elle est donnée par des valeurs réelles de paires R-C [156].

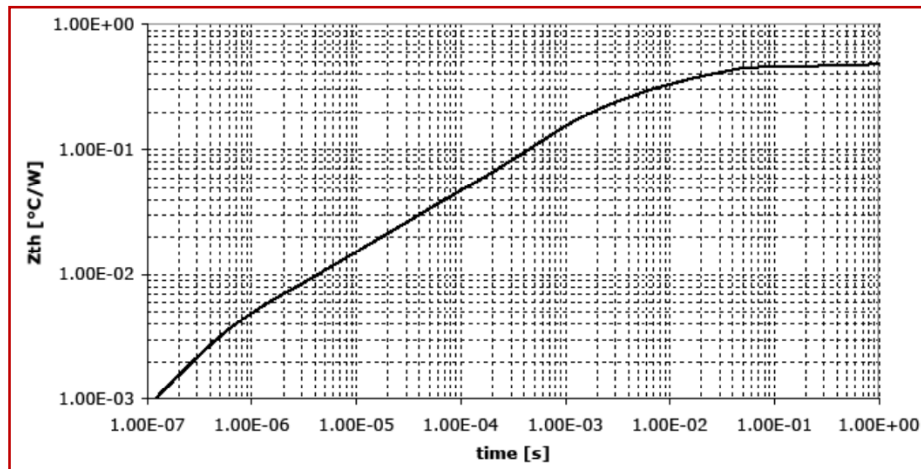


Figure III. 30: Évolution de l'Impédance Thermique Transitoire Z_{th} en fonction du temps.

L'impédance $Z_{th}(t)$ évolue de façon faible et augmente au cours du temps jusqu'à sa valeur finale (valeur du régime permanent de $Z_{th}(t)$). La différence entre les courbes de $Z_{th}(t)$ est due à la taille de la matrice du semiconducteur, au nombre et au type de couches entre la matrice et le boîtier en présence ou non du dissipateur de chaleur. Ainsi pour certains semiconducteurs le type du matériau d'isolation électrique.

Les valeurs de $Z_{th}(t)$ ont été prises sur différentes plages de temps (Figure III.30). Ces données présentent des caractéristiques de forme similaires indiquant qu'une équation peut être adaptée pour la modélisation de $Z_{th}(t)$ sur chaque gamme de temps.

La recherche bibliographique [157] [158] [159] [160] nous a montré que la manière la plus efficace (simplicité-précision) est la modélisation de $Z_{th}(t)$ par des réseaux composés de résistances et de capacités (réseaux R-C) fournissant une base adéquate pour le calcul des températures transitoires pour différentes géométries. Ces réseaux sont constitués par une série de nœuds en ordre, utilisés pour représenter la résistance thermique et la capacité de structure. De sorte que chaque nœud correspond à une section de structure. Le gradient de température à l'intérieur de chaque section est considéré comme nul. Le transfert de chaleur entre les nœuds adjacents est calculé sur chaque intervalle de temps, permettant le changement de la température résultante en raison du gain net de chaleur.

Différente topologie existante pour la modélisation de $Z_{th}(t)$, cela dépend du niveau de précision nécessaire accepté pour le modèle [157] [158] [159] [160]. Les différentes topologies du réseau thermique sont souvent débattues pour savoir celle qui reflète correctement la structure physique réelle et les différentes couches entre la jonction et le boîtier du semiconducteur. La nécessité de refléter correctement la structure physique n'existe pas seulement si le modèle est destiné à prédire avec précision les températures (tensions des nœuds) sur les différentes couches (nœuds), faisant appel à la méthode des éléments finis qui est au-delà du cadre de ce travail [161].

Cependant, les deux configurations du réseau R-C les plus utilisées sont montrées sur la figure III.31. Le réseau de Foster (en haut) et le réseau de Cauer (en bas), les deux réseaux sont utilisés pour représenter les valeurs des résistances et des capacités de la structure, leurs topologies et leurs constructions sont différentes, indiquant les différentes valeurs des résistances et des capacités. Le nombre de cellules R-C du réseau détermine la précision du modèle.

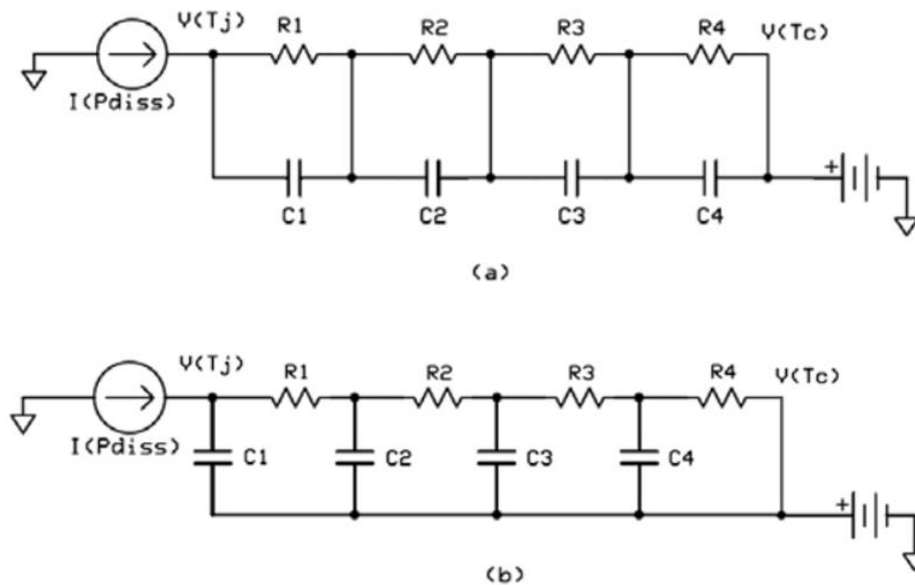


Figure III. 31: Modèles typiques (Réseau R-C) de la modélisation de l'impédance thermique transitoire (Z_{th}), Réseau de Foster (a), Réseau de Cauer (b).

III.4.3.1. Réseau de Cauer

La construction du réseau R-C de Cauer est basée sur la structure physique du système à modéliser. La figure III.31b montre que chaque résistance représente la résistance thermique entre deux nœuds adjacents, et chaque capacité connectée à la masse représente la capacité thermique d'un nœud à la masse. Les valeurs des R-C peuvent être calculées avec une bonne connaissance des propriétés géométriques et matérielles du système. La construction du réseau de Cauer ne dépend pas de données thermiques transitoires existantes.

III.4.3.2. Réseau de Foster

Les valeurs de chaque cellule R-C du réseau de Foster sont fournies par la constante du temps τ_i , cependant les constantes de temps sont combinées pour former l'équation de la température de jonction (T_J), sous la forme suivante (III.24) :

$$T_J(t) = \sum_{i=0}^N T_i \left(1 - \exp\left(\frac{-t}{\tau_i}\right) \right) \quad (\text{III.24})$$

Où N est le nombre de cellules R-C du réseau, les constantes du temps τ_i ont une forme logarithmique, ce qui signifie que chaque constante de temps devient dominante sur une plage de temps au cours de la phase transitoire [157].

Dans ce modèle, les températures des nœuds interréseau n'ont aucune pertinence significative. Alors on s'intéresse qu'au nœud de jonction, du fait que la température de jonction est un paramètre essentiel pour intégrer l'effet thermique dans les équations des caractéristiques statiques de la diode.

Comme le montre la figure III.31a, les capacités du réseau Foster ne sont utilisées que pour connecter les nœuds adjacents. En revanche, il n'y a pas de capacité entre les nœuds et le milieu ambiant ce qui permet une modélisation précise de $Z_{th}(t)$ sous forme d'une représentation de circuit électrique, permettant la circulation des courants positifs et négatifs de chaque côté de capacité. Toutefois, aucun flux négatif équivalent n'existe dans l'analogie thermique, ce qui fait que le transfert de chaleur passe de la jonction (forte chaleur) vers le milieu ambiant de référence (basse chaleur). Pour cette raison, les nœuds et les cellules dans un réseau R-C de Foster n'ont aucune signification physique. Ils constituent tous simplement une série de constantes de temps représentant les termes exponentiels de la réponse thermique de la jonction à une température donnée. Comme il n'y a pas de corrélation physique, les nœuds ne représentent pas des emplacements spécifiques dans le système et par conséquent on ne peut pas représenter la température à n'importe quel emplacement.

Le réseau Foster est le réseau préféré pour les simulations électrothermiques. Ce modèle a une spécification d'être seulement concerné par la température de jonction, qui peut être calculée facilement une fois que les constantes de temps ont été extraites. Cependant, les constantes du temps (RC) d'un système sont généralement relevées en ajustant la courbe de la réponse thermique en régime transitoire fourni par l'équation de la variation de $Z_{th}(t)$ (III.25) en fonction du temps avec la courbe des données mesurées fournies par le fabricant (databook). Une fois, la courbe est bien ajustée, les constantes de temps peuvent être extraites et le calcul des termes R-C est trivial.

$$Z_{Th}(t) = \sum_{i=1}^n R_i \left(1 - \exp\left(\frac{-t}{\tau_i}\right) \right) \quad (\text{III.25})$$

Pour le faire, on suit les étapes suivantes:

- Comme décrit précédemment à l'aide de l'outil Get-Data-Digitizer [145], on numérise la courbe de $Z_{th}(t)$ fournie par le fabricant dans le databook (Figure III.30) pour avoir des données numériques en deux dimensions (X, Y) dans un fichier Excel.

- À l'aide d'un script Matlab les valeurs des paires R-C des cellules sont calculées à partir des valeurs de R_n et de T_n pour chaque paire n, RC en utilisant l'équation (III.25) avec les données fabricant (X, Y) recueillies de $Z_{th}(t)$.

- Le script Matlab lit les données (X=t, Y= Z_{th}) à partir d'une feuille de calcul Excel. La valeur maximale $Z_{th_{max}}$ de $Z_{th}(t)$ et la valeur approximative T du premier pôle sont déterminées. Cela nous permet d'avoir la valeur Z_{th} du premier pôle, qui est environ $0,7 * Z_{th_{max}}$. Les valeurs de R_n et T_n des autres cellules restantes sont initialisées par les équations (III.26, III.27).

$$R_n = R_1 \times 0.5^n \quad (III.26)$$

$$\tau_n = \frac{\tau_1}{n} (0.1^{n-1}) \quad (III.27)$$

- Après l'initialisation, le script Matlab utilise le Recuit Simulé comme méthode d'optimisation, pour parcourir aléatoirement les valeurs des paires (R_n, T_n), il compare l'erreur d'itération actuelle avec l'erreur "meilleure à cet instant". L'erreur est calculée pour chaque pas de temps (i) à partir des données (X, et Y) comme dans l'équation (III.28).

$$Erreur = \sum_1^i \left(\frac{R_\theta(i) - R_{\theta_{Meilleur}}(i)}{R_{\theta_{Meilleur}}(i)} \right)^2 \quad (III.28)$$

- Finalement, les valeurs du pair R C pour chaque cellule sont relevées par les équations (III.26, III.27, et III.29).

$$C_n = \frac{\tau_n}{R_n} \quad (III.29)$$

Dans ce cas, on aura les bonnes valeurs des paires R-C de toutes les cellules à une erreur près, permettant d'avoir une bonne concordance entre les deux courbes (Figure III.32).

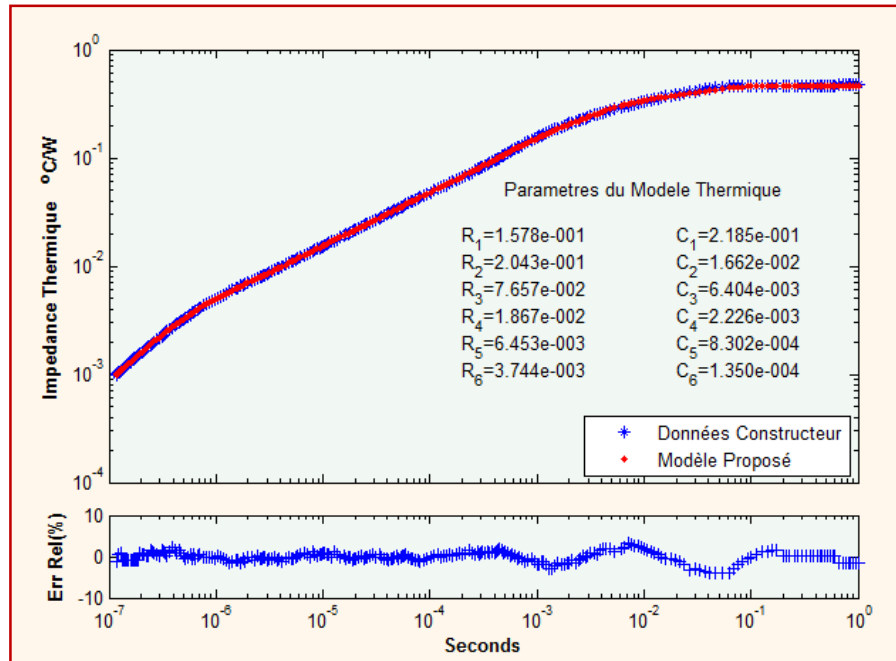


Figure III. 32: Comparaison entre les données du fabricant et le modèle Foster à 6 cellules RC, et l'erreur relative de cette comparaison.

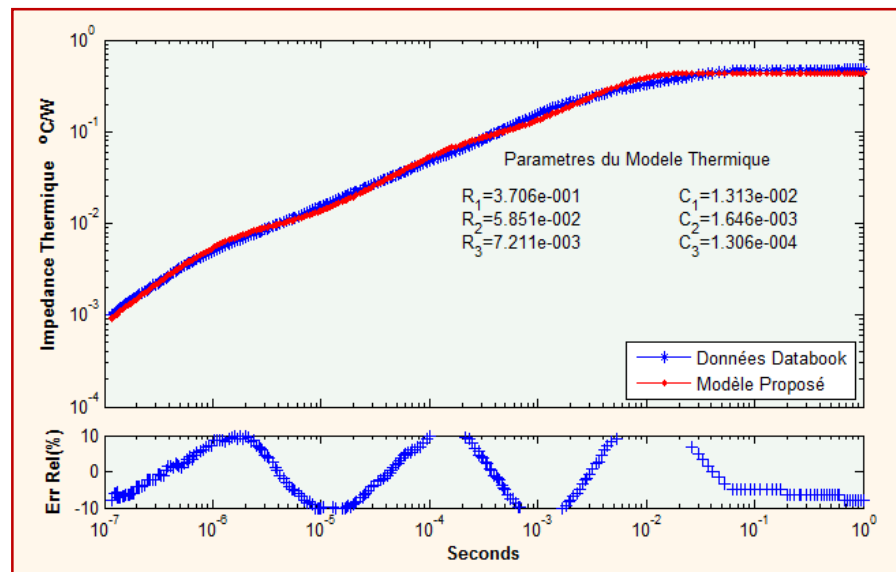


Figure III. 33: Comparaison entre les données du fabricant et le modèle Foster à 3 cellules RC, et l'erreur relative de cette comparaison.

Les figures III.32 et III.33, montrent une comparaison entre les données du fabricant (courbe du databook) et le modèle en cellules de Foster obtenu par l'équation (III.25), on constate que la précision du modèle est liée au nombre de cellules utilisées, plus que le nombre augmente plus que le modèle est précis, cependant, le modèle de 6 cellules (Figure 3.32) a montré une erreur moins de 4%, pourtant le modèle de 3 cellules (Figure III.33) a présenté une erreur au-delà de 10% dans certaines régions. Il reste alors aux utilisateurs le choix de définir le nombre de cellules selon la précision voulue et la taille du circuit de simulation.

Le modèle thermique comporte aussi une source de courant (G_3) contrôlée par la puissance instantanée dissipée dans le semiconducteur à l'échelle de A/W, cette puissance est calculée par l'expression (III.30) comme la somme des produits tension-courant en polarisation directe et inverse de la diode. Le courant fourni par G_3 circule dans les cellules R-C, permettant la génération d'une tension à travers les cellules R-C, causant l'élévation instantanée de la température de jonction du semiconducteur modélisé. Le modèle thermique prend référence dans l'autre côté des cellules, une source de tension (Figure III.34) représentant la température ambiante du radiateur en Kelvin [162]. Si le radiateur est à 27°C, le modèle thermique sera référencé à 300 Kelvin (Source de 300V).

Le modèle thermique proposé (Structure en cellules R-C) a des constantes du temps élevées, cela cause des retards en régime transitoire lors de la simulation, par conséquent les valeurs transitoires résultantes obtenues seront erronées. Un remède à ce problème est primordial. On peut contourner ce problème, il suffit d'initialiser la puissance dissipée par sa valeur moyenne prévue au début de la simulation (le terme $V(T_B) \times V(T_C)$ de l'équation III.30).

Les sources STCT E_5 et E_6 sont mises en place pour la détection de polarisation de la diode. Ce sont des comparateurs mathématiques de tension, produisent 1V si vrai et 0V si faux. La sortie $V(P)$ du détecteur de tension directe (E_5) est mise à zéro lorsque le semiconducteur est polarisé en inverse, et inversement la sortie $V(N)$ du détecteur de tension inverse (E_6) est mise à zéro lorsque le semiconducteur est polarisé en direct.

$$G_3 = V(P) \times V(T_A) \times V_D \times I_D + (V(T_B) \times V(T_C)) + V(N) \times V_{Inv} \times I_{Inv} \quad \text{(III.30)}$$

La tension $V(T_A)$ est nulle, dans le modèle à t_0 après 1 μ s sa valeur devient 1

La tension $V(T_B)$ est égale à 1 à t_0 et s'annule après 1 μ s.

La tension $V(T_C)$ est reliée à une source de tension, à l'externe du modèle, permettant à l'utilisateur de définir sa valeur en tension comme la dissipation moyenne prévue à l'échelle d'un V/W.

À $t_0=0$ us, toute la dissipation de la puissance en polarisation directe est mise à zéro par $V(T_A)$ et la valeur de la dissipation moyenne attendue dans le réseau thermique est de $V(T_B) \times V(T_C)$, donc le réseau est initié au début de la simulation.

À $t_1=1$ us de la simulation, $V(T_A)$ passe à 1V, et $V(T_B)$ passe à 0V pour avoir le fonctionnement normal du circuit pour le reste de simulation.

Après des calculs comparatifs de la puissance dissipée en polarisation directe et inverse de la diode, on a bien que la puissance dissipée en polarisation inverse a un impact négligeable sur la dissipation globale. Le modèle proposé est le suivant (Figure III.34):

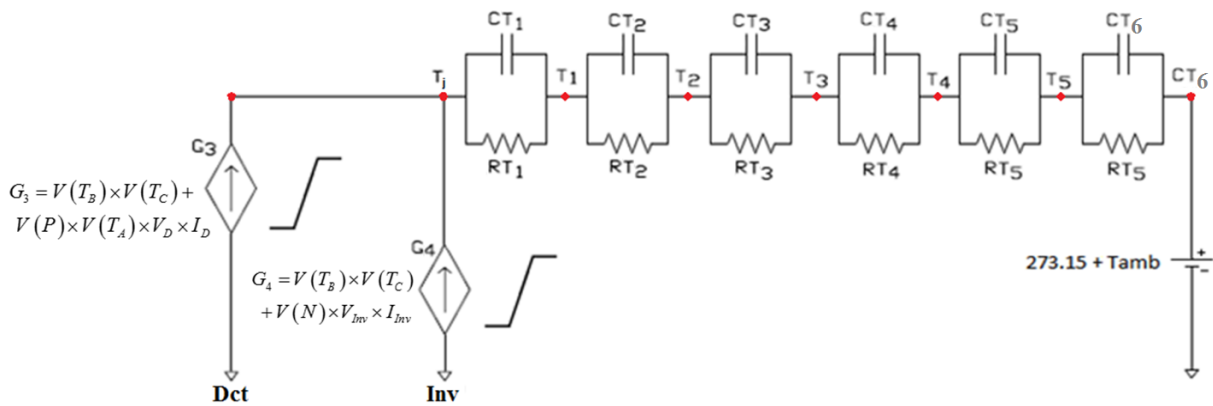


Figure III. 34: Modèle Thermique représentant les cellules RC ainsi que les sources des puissances dissipées

III.5. Modèle complet.

Le modèle complet est rassemblé sur la figure III.35. On peut remarquer que les caractéristiques du transistor SiC-MOSFET et la dépendance en température sont représentées par des éléments simples de la bibliothèque SPICE. Ces éléments sont des résistances, des capacités, des inductances, et des sources de tension et de courant contrôlées de la bibliothèque ABM de SPICE.

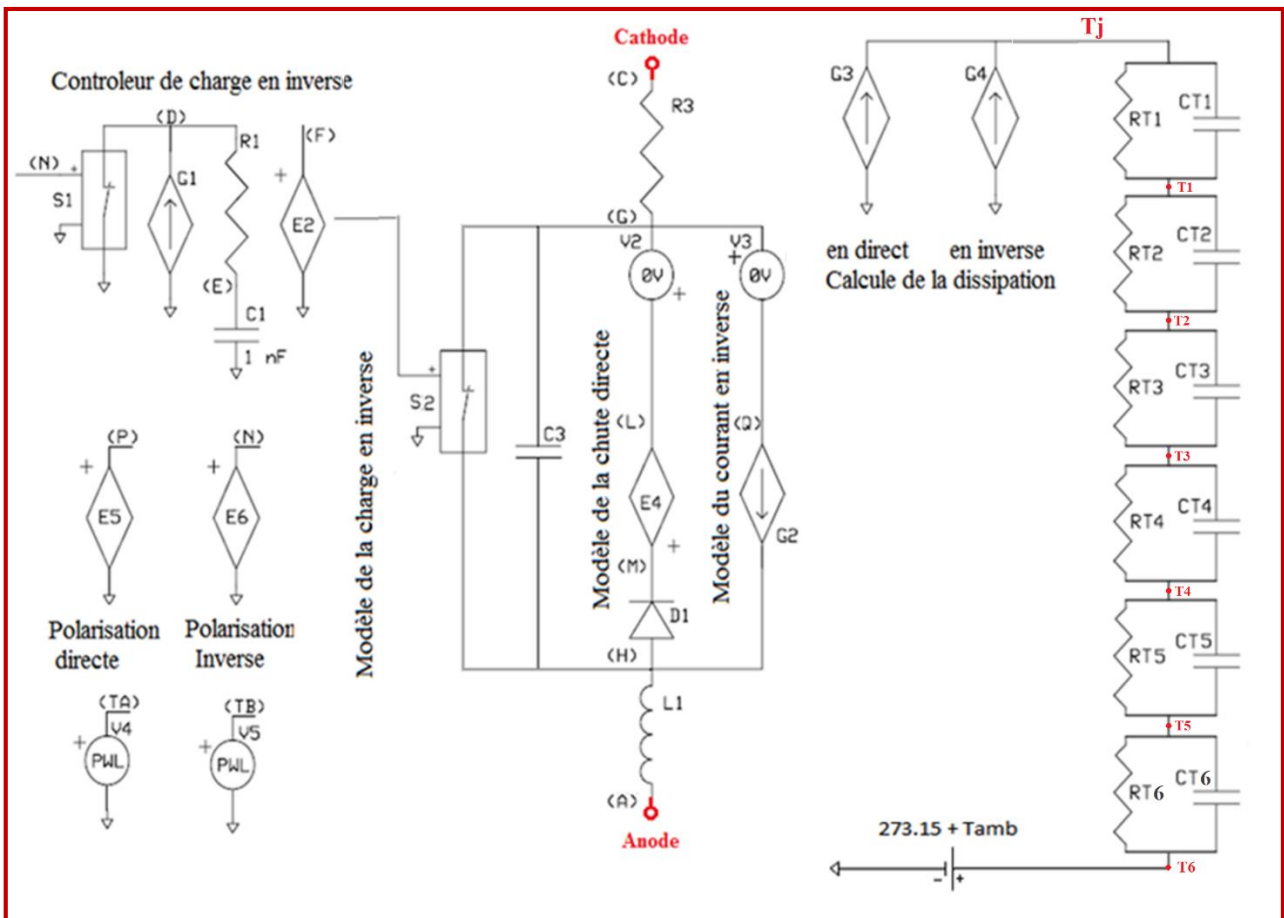


Figure III. 35: Modèle SPICE complet proposé pour la diode en SiC

III.6. Validation du modèle proposé

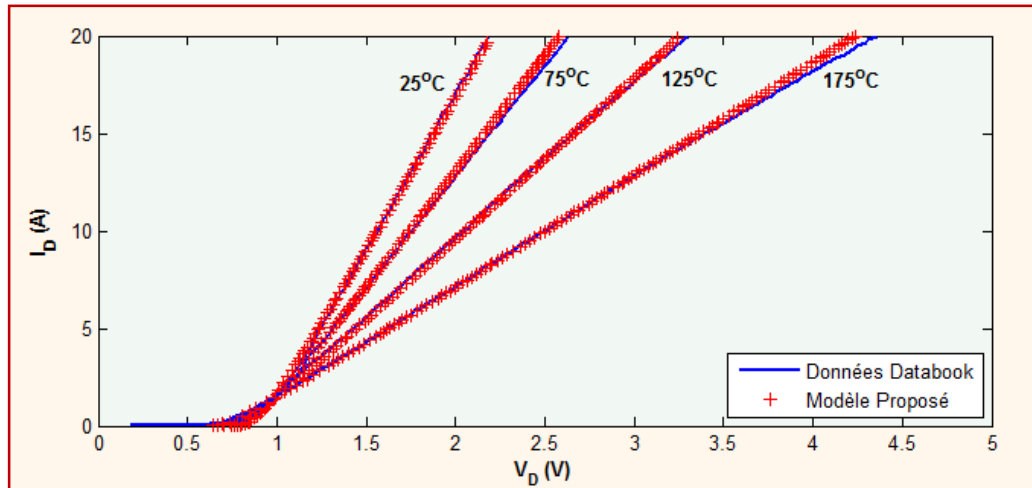
Pour évaluer la précision du modèle proposé décrit précédemment, nous avons effectué des simulations sur certaines diodes en SiC de différents fabricants [163] [164] [165] [166] [167] [168], les diodes choisies étant de même caractéristiques ($V_{Inv}=1200V$, $I_D=20A$). Les valeurs des paramètres de différents modèles obtenues par les scripts Matlab sont regroupées dans le tableau (Annexe IV). On peut juste traiter un seul exemple de la diode C2D20120D de CREE [155] pour l'étude des courbes des caractéristiques statiques, dynamiques et thermiques du modèle. En effet, le tableau suivant (Tableau III.3) montre les valeurs des coefficients des équations du modèle de cette diode.

Tableau III. 2: Valeurs des coefficients des équations du modèle de la diode SiC Schottky (C2D20120D de CREE)

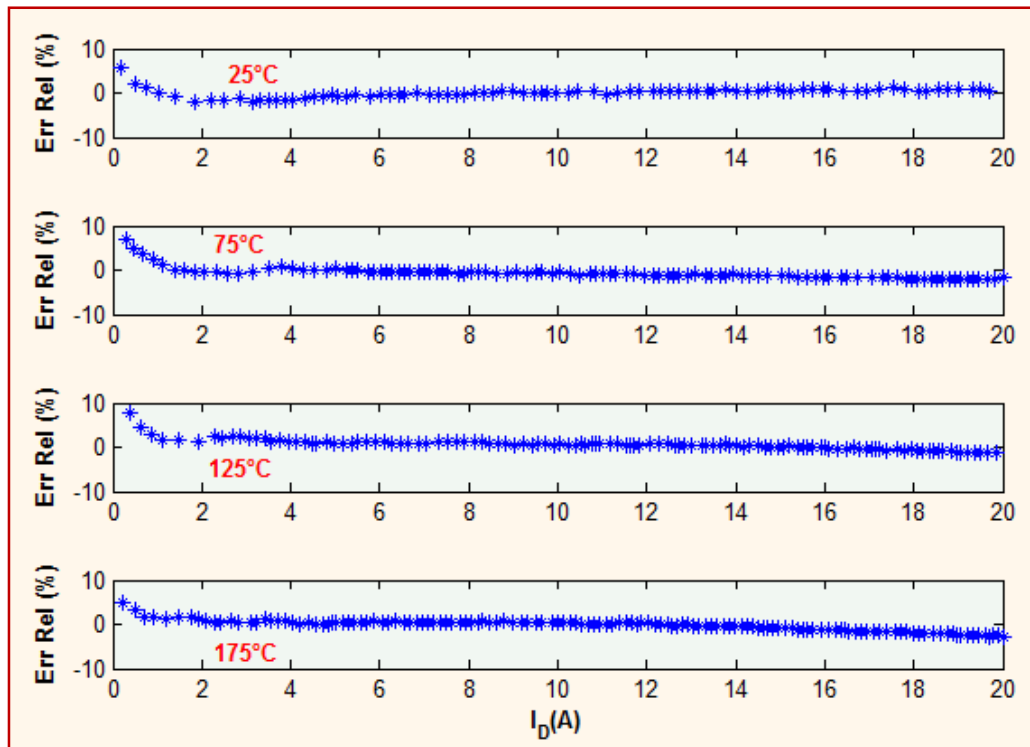
Paramètres Thermiques			Chute de tension directe		Courant de fuite en inverse		Charge en inverse	
R	R1	1.578e-01	DD10	3.118e-01	DI10	-5.146e+00	QR10	7.500e-01
	R2	2.043e-01	DD11	2.273e-03	DI11	3.615e-02	QR11	7.208e-01
	R3	7.657e-02	DD12	-4.779e-06	DI12	-4.101e-05	QR12	4.366e-01
	R4	1.867e-02	DD20	2.782e-01	DI20	3.191e+00		
	R5	6.453e-03	DD21	-1.685e-03	DI21	4.992e+02		
	R6	3.744e-03	DD22	3.229e-06	DI22	-5.355e-03		
C	C1	2.185e-01			DI30	1.531e+01		
	C2	1.662e-02			DI31	-4.223e-02		
	C3	6.404e-03			DI32	5.073e-05		
	C4	2.226e-03						
	C5	8.302e-04						
	C6	1.350e-04						

III.6.1. Chute de tension en polarisation directe

La figure III.36a montre la comparaison des courbes de la chute de tension en polarisation directe des données du fabricant et du modèle proposé pour chaque température.



(a)



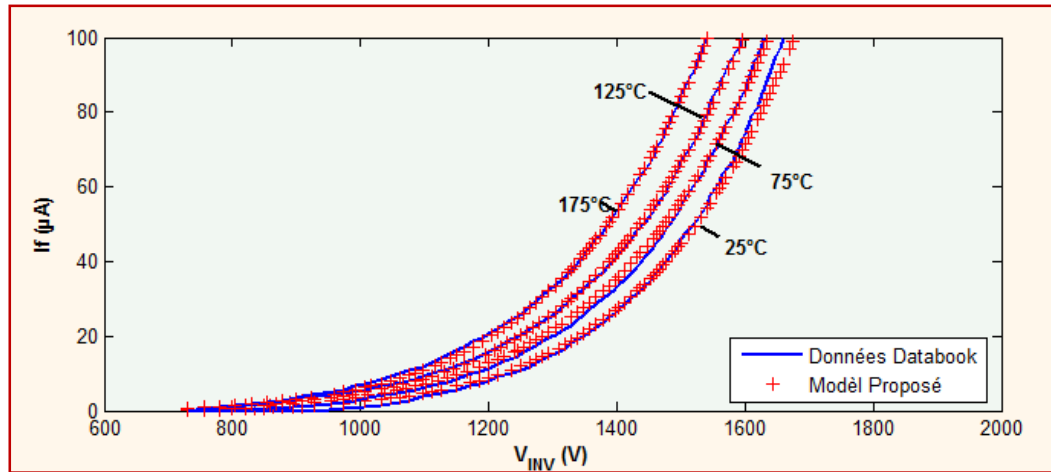
(b)

Figure III. 36: Les courbes de la chute de tension en polarisation directe des données du fabricant et du modèle proposé (a), l'évaluation de l'erreur relative de cette comparaison.

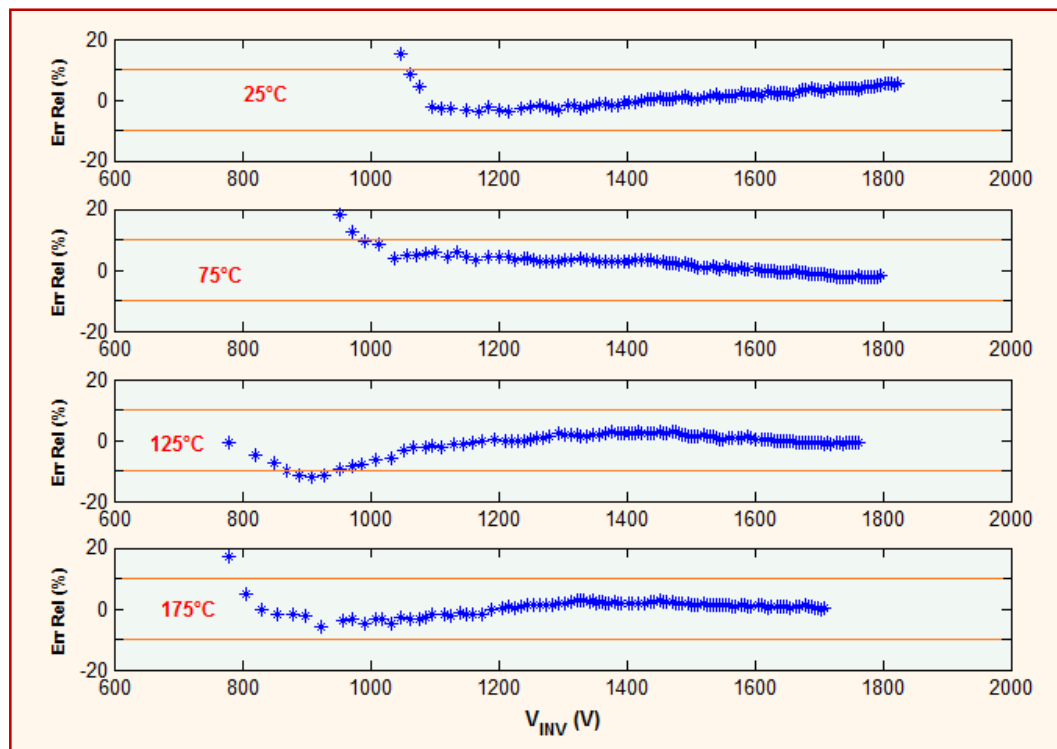
D'après les courbes obtenues par le modèle proposé et les courbes du fabricant, on constate qu'il y a une grande similitude. La figure III.36b confirme aussi la grande précision du modèle.

III.6.2. Courant de fuite en polarisation inverse

La figure III.37a montre la comparaison des courbes de la chute de tension en polarisation directe des données du fabricant et du modèle pour chaque température.



(a)



(b)

Figure III. 37: Comparaison des courbes du courant de fuite en polarisation inverse des données du fabricant et du modèle proposé en fonction de la température (a), et l'erreur relative de cette comparaison (b).

D'après la figure III.37b, on remarque bien une très bonne concordance justifiée par l'erreur relative qui est limitée à moins de 10% pour les trois températures.

III.6.3. Impédance Thermique Transitoire.

L'évolution de l'impédance thermique transitoire a été modélisée par 6 cellules R-C du réseau de Foster, la figure III.38 nous donne la comparaison entre les données du fabricant et du modèle proposé.

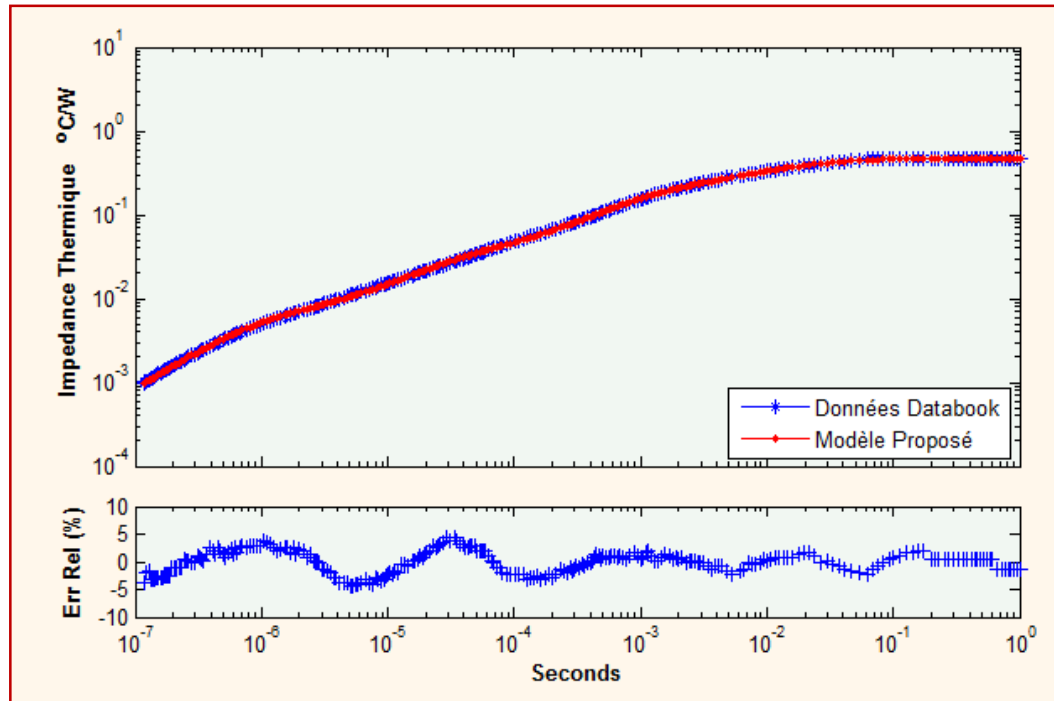


Figure III. 38: Comparaison entre les données du fabricant et le modèle Foster à 6 cellules RC (a), et l'erreur relative de cette comparaison (b).

D'après cette comparaison, on remarque bien une très bonne similitude confirmée par l'erreur relative limitée à moins de 4% sur tout l'intervalle du temps.

III.6.4. Charge en polarisation inverse.

La figure III.39a représente la comparaison des courbes de la capacité de la diode en inverse des données du fabricant en fonction de la tension inverse après leur extension à 1200V, avec les résultats de notre modèle.

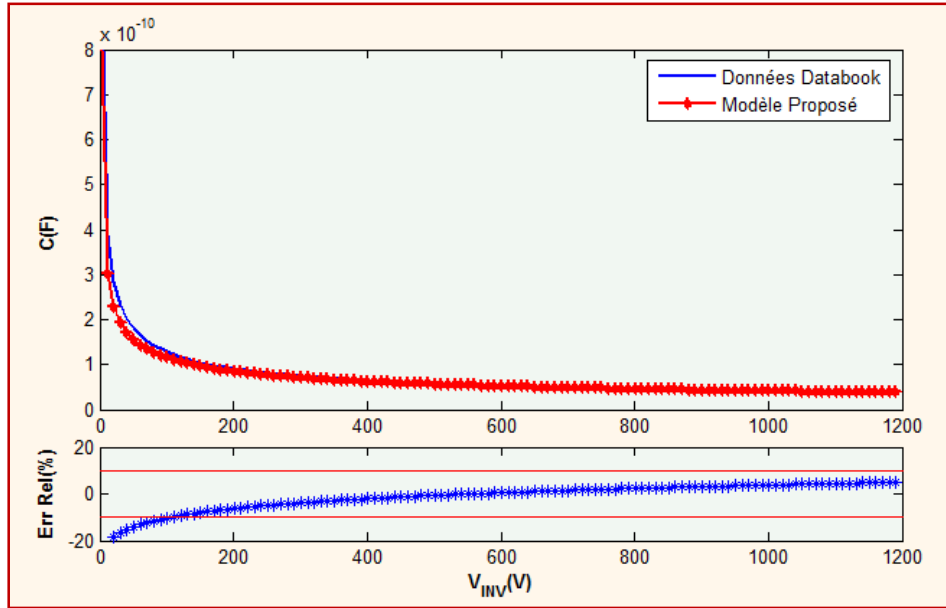


Figure III. 39: Comparaison de données du fabricant et celles étendues à 1200V du modèle de la capacité en inverse, et l'erreur relative de cette comparaison.

La figure III.39b montre le degré de concordance justifiée par l'erreur relative, limitée à moins de 10% à partir de 20V.

III.6.5. Caractéristiques Dynamiques (Commutation).

Pour évaluer les caractéristiques dynamiques du modèle étudié, on a procédé à des simulations sous Orcad 16.6 simulateur de SPICE, pour un circuit de commutation de la diode (à la mise en conduction et au blocage), les résultats de cette simulation sont montrés sur les figures III.40 et III.41.

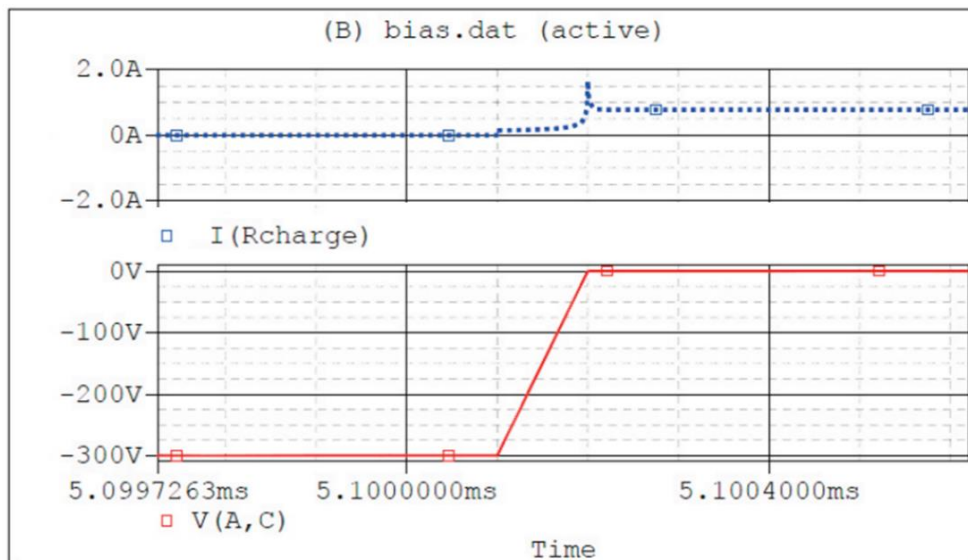


Figure III. 40: Simulation du comportement dynamique (mise en conduction).

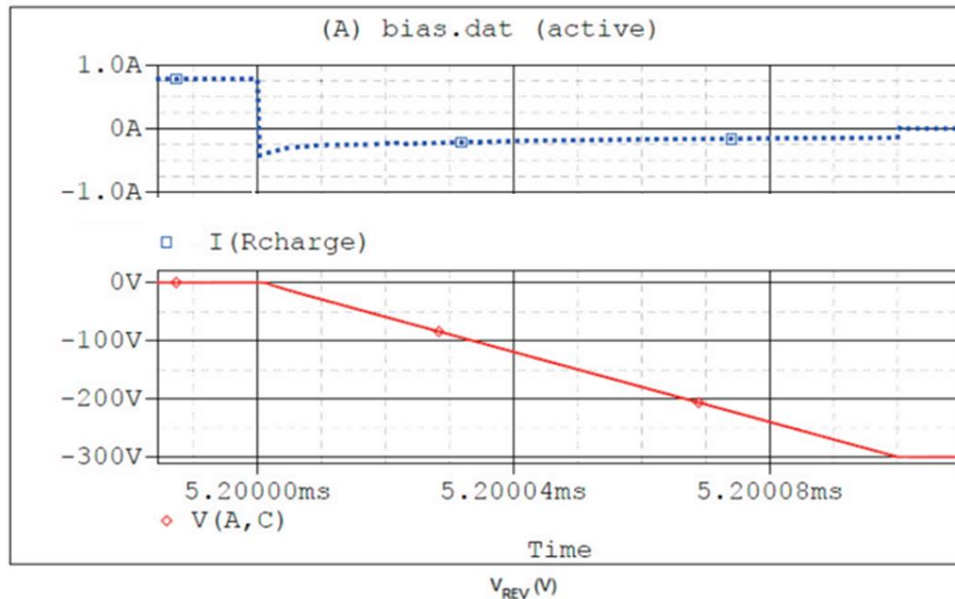


Figure III. 41: Simulation du comportement dynamique (mise au blocage).

III.7. Conclusion du chapitre

Ce chapitre est divisé principalement en trois parties: dans la première partie, on a présenté les principaux types des diodes en carbure de silicium (SiC) afin de montrer la différence entre eux et la raison derrière la domination de la diode Schottky en commerce.

Ensuite, les différents modèles des diodes en SiC existant en bibliographie ont été cités chronologiquement, afin de montrer leurs performances et leur compatibilité avec les logiciels et les langages de simulation.

La technique de modélisation proposée a été bien détaillée pour la formation d'un modèle électrothermique comportemental de la diode Schottky en SiC, ce modèle est basé sur le modèle niveau 1 de SPICE (Diode niveau 1), autour duquel on a ajouté les caractéristiques statiques, dynamiques, et thermiques qui sont représentées par des sources de tension ou de courant contrôlées par tension (bibliothèque ABM de SPICE), et des composants passifs (R, C). Les équations de contrôle sont extraites à partir des courbes caractéristiques fournies dans le databook du fabricant. Ces équations paramétriques sont en fonction de la température de jonction de sorte que leurs paramètres sont des polynômes de premier degré en fonction de cette température. Ces paramètres ont été extraits à partir des programmes Matlab, adoptant la méthode d'optimisation par le Recuit Simulé.

La validation de ce modèle a été portée sur la diode Schottky C2D20120D de fabricant CREE. En effet, la confrontation des résultats de simulation sous SPICE obtenus pour cette diode avec les courbes caractéristiques fournies dans le databook du composant a donné des résultats très satisfaisants (moins de 10% d'erreur relative). Cela nous a permis d'aider les concepteurs des circuits d'électronique de puissance, d'avoir leurs propres modèles afin de pouvoir faire leurs simulations.

Chapitre 4

Chapitre 4 : Modélisation électrothermique comportementale du transistor MOSFET de puissance en SiC.

IV. 1. Introduction.

IV. 2. Types des transistors MOSFET de puissance en SiC

IV.2.1. Transistor DMOSFET de puissance en SiC

IV.2.2. Transistor UMOSFET de puissance en SiC

IV.2.3. Transistor LMOSFET de Puissance en SiC

IV.2.4. Conclusion

IV.3. Analyse de la structure SiC-VDMOSFET de puissance

IV.3.1. Présentation

IV.3.2. Caractéristiques Statique des transistors SiC-MOSFET de 1200V

IV.3.3. Caractéristiques Dynamiques des transistors SiC-MOSFET de 1200V

IV.3.4. Conclusion.

IV.4. Modèles des transistors SiC MOSFET.

IV.4.1. Présentation

IV.4.2 Modèles Physiques.

IV.4.3. Modèles Semi-Physiques.

IV.4.4. Modèles Numérique.

IV.4.5. Modèles Semi-Numérique.

IV.4.6. Modèles Comportementaux.

IV.4.7. Conclusion.

IV.5. Modèle proposé.

IV.5.1. Modélisation de la caractéristique statique.

IV.5.2. Modélisation de la Caractéristique Dynamique.

IV.5.3. Modèle Thermique.

IV.5.4. Modèle Complet.

IV.5.5. Validation du modèle proposé.

IV.6. Conclusion.

IV.1. Introduction

En raison des avantages présentés par sa structure, le transistor MOSFET de puissance a bénéficié ces dernières années, d'énormes investissements, reléguant le transistor bipolaire dans une multitude d'applications. En effet, les transistors MOSFET se caractérisent par une impédance d'entrée élevée permettant de s'affranchir des commandes en courant des semiconducteurs de puissance purement bipolaires [169]. Ces transistors se distinguent également par leur facilité de conception par rapport aux transistors bipolaires, peuvent fonctionner à des fréquences élevées, ainsi, ils consomment moins de puissance, permettant une satisfaction des exigences des clients.

Dans ce chapitre, on s'intéresse à la modélisation électrothermique comportementale d'un transistor SiC-MOSFET, d'abord on commence par un rappel des structures des transistors SiC-MOSFET existantes, montrant les caractéristiques électrothermiques de chacun. Ensuite, on présente un aperçu chronologique du développement des modèles des SiC-MOSFET proposés dans la bibliographie. Après, on développe une étude comparative de meilleurs transistors SiC-MOSFET de différents fabricants (CREE, MicroSemi, ROHM, et STMicro), pour montrer les points forts de chaque référence, ainsi leurs utilisations préférées et son domaine d'application adéquat. Enfin, on présente notre modèle pour le SiC-MOSFET de puissance indiquant la modélisation de chaque une de ses caractéristiques.

IV.2. Types des transistors MOSFET de puissance en SiC.

La comparaison des caractéristiques physiques des matériaux semi-conducteurs déjà discutée dans les deux premiers chapitres a montré une grande différence entre le silicium (Si) et le carbure de silicium (SiC), ce qui est évident pour leurs applications. Le transistor SiC-MOSFET a montré un comportement différent de ce qui est habituel pour le Si-MOSFET (Figure IV.1), par exemple : la région de transition entre la zone linéaire et de saturation est étendue pour les courbes ($I_D(V_{DS})$) de la caractéristique de sortie. Le plateau de Miller est relativement non plat et court pour la courbe $V_{GS}(Q_G)$. La résistance interne du canal (R_{Ch}) décroît avec l'augmentation en température [170]. Par la suite, on présente les principales structures du transistor MOSFET adaptées pour la technologie SiC-MOSFET.

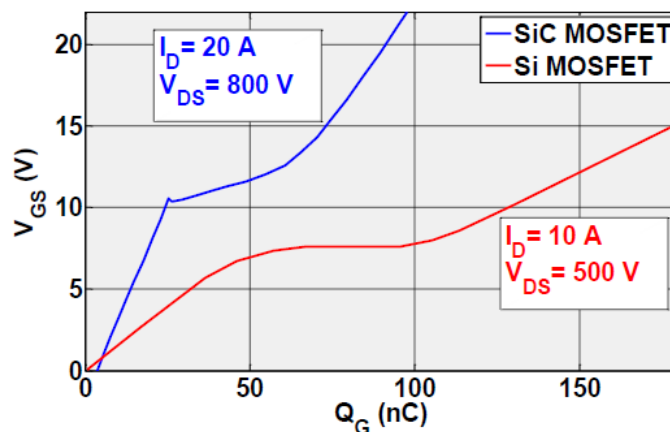


Figure IV.1: Comparaison de la variation de $V_{GS}(Q_G)$ entre le Si-MOSFET et le SiC-MOSFET

IV.2.1. Transistor DMOSFET vertical de puissance en SiC.

IV.2.1.1. Présentation.

Le transistor DMOSFET (Double diffusion MOSFET) Vertical de puissance en silicium était le premier interrupteur unipolaire commercialisé avec succès. Il a été développé en utilisant la technologie CMOS après la résolution des problèmes technologiques liés à l'interface métal-oxyde-semiconducteur [171]. Afin de réduire les coûts de fabrication, le canal dans ces transistors a été créé par le processus de double diffusion (ou D-MOS) [172].

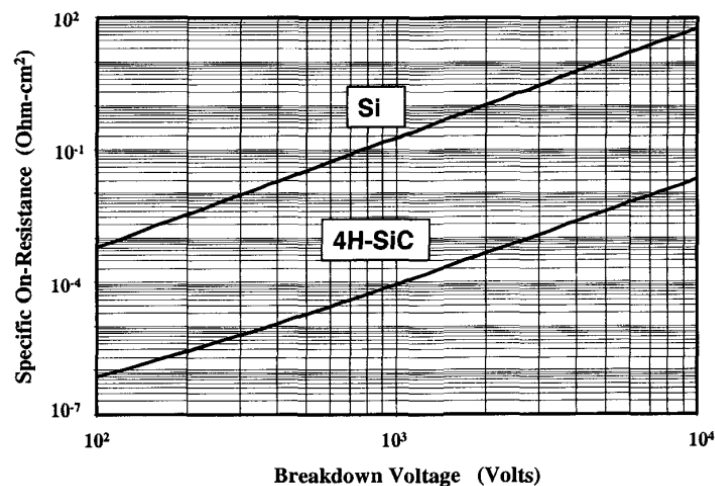


Figure IV.2: Comparaison de la résistance R_{On} spécifique de la région de drift entre le Si et le SiC

La résistance en conduction (R_{On}) du transistor Si-DMOSFET augmente avec l'augmentation de la tension de claquage (V_{Br}) (Figure IV.2), quand la tension de claquage est au-delà de 200V. Cette résistance sera donnée par la résistance de drift (R_D) et génère des pertes en puissance très élevées, conduisant à la destruction du composant. Pour cette raison, le transistor IGBT (l'Insulated Gate Bipolar Transistor) a été développé dans les années 1980 pour servir dans les systèmes de moyen et haute puissance [139]. Les performances supérieures de l'IGBT dans les applications de haute tension a limité le MOSFET en silicium que pour des applications de tension inférieure à 100 Volts. Alors que les nouvelles structures en silicium (CoolMOS...) utilisant le concept de couplage de charge, ont permis l'extension de la tension de claquage du MOSFET de puissance à 600V [173]. Cependant, leur résistance R_{On} est encore assez grande limitant leur utilisation en hautes fréquences, où les pertes en commutation sont dominantes.

Sachant que la résistance R_D est plus faible pour le SiC ce qui permet le développement du transistor MOSFET de puissance avec des tensions de claquage très élevées [174]. Ces transistors offrent non seulement une vitesse de commutation rapide, mais aussi une zone de fonctionnement sécurisée (SOA) en haute tension par rapport au transistor Si-IGBT. Cela permet à la fois la réduction des pertes en commutation et en conduction des interrupteurs dans les circuits de puissance [175].

Malheureusement, les structures MOSFET de puissance développées avec le Si ne peuvent pas être utilisées directement pour former des transistors en SiC de haute performance. Tout d'abord,

l'absence d'une diffusion importante des dopants dans le SiC empêche l'utilisation des processus de Si-DMOSFET. En outre, un champ électrique élevé se produit dans l'oxyde de grille du transistor SiC-MOSFET conduisant à sa rupture au blocage en hautes fréquences.

La qualité de l'interface oxyde-semiconducteur du SiC doit être améliorée afin d'assurer un bon contrôle de la tension de seuil et de la mobilité du canal. Les concentrations du dopage relativement élevées et les grandes longueurs du canal sont nécessaires pour prévenir le pincement du canal et pour avoir les limites d'obtention de la faible résistance R_{On} .

La structure de base du transistor SiC-DMOSFET de puissance est représentée sur la figure IV.3 [176].

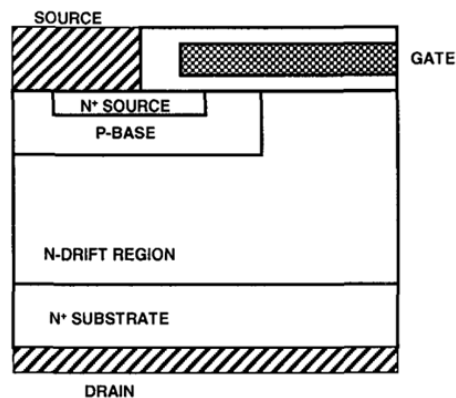


Figure IV.3: Structure du transistor SiC-DMOSFET

IV.2.1.2. Caractéristique de conduction directe du transistor DMOSFET en SiC

Le passage du courant entre le drain et la source est induit par la création d'un canal de la couche d'inversion sur la surface de la région P-Base. Le trajet du courant est illustré sur la figure IV.4 par la zone en pointillés. Ce courant se propage ensuite dans la zone N-Drift avec un angle de 45° et devient uniforme à travers le reste de la structure. La résistance R_{On} totale du transistor DMOSFET est déterminée par la somme des résistances du trajet du courant:

$$R_{On} = R_{Ch} + R_A + R_{JFET} + R_D + R_{Sub} \quad (IV.1)$$

R_{Ch} : Résistance du canal.

R_A : Résistance de la région d'accumulation.

R_{JFET} : Résistance de la région de JFET.

R_D : Résistance de la région de drift.

R_{Sub} : Résistance du substrat N+.

Ces résistances peuvent être modélisées analytiquement en utilisant le modèle de flux de courant indiqué par les régions hachurées sur la figure IV.4. Les limites des régions d'appauvrissement sont également représentées en pointillés.

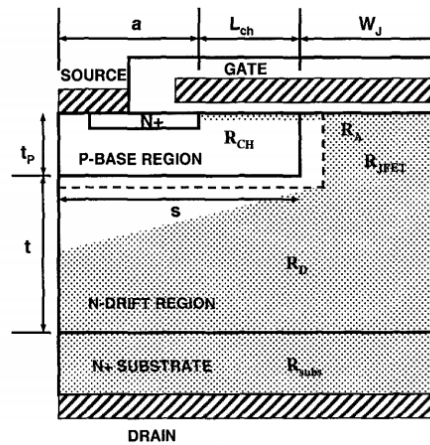


Figure IV.4: Chemin du flux de courant de la structure SiC-DMOSFET

IV.2.1.3. Tension de seuil du transistor DMOSFET en SiC

La tension de seuil V_{Th} d'un transistor DMOSFET de puissance est un paramètre important à la conception du côté application. Une tension seuil minimale doit être maintenue au-dessus de 1V pour la plupart des applications afin d'assurer une immunité contre l'inadvertance lors de la mise en conduction en raison des pics de tension générés. De même, une tension de seuil élevée n'est pas souhaitable parce que la tension disponible pour la création des charges dans le canal de la couche d'inversion est déterminée par $(V_{GS} - V_{Th})$ où V_{GS} est la tension de polarisation de la grille. La plupart des systèmes d'électroniques de puissance en SiC sont conçus pour le fonctionnement en haute tension, sous une tension de commande de la grille d'environ 10V. Sur la base de ce critère, la tension de seuil doit être maintenue en dessous de 3 Volts, afin d'obtenir une faible contribution de la résistance du canal [170].

La tension de seuil pour un transistor DMOSFET de puissance peut être réduite en diminuant l'épaisseur d'oxyde de grille. Cependant, son fonctionnement en très haute tension avec des couches minces d'oxydes de grille peut créer des problèmes de fabrication et de fiabilité lors de la prise en compte des champs électriques élevés sous l'oxyde de grille dans le semiconducteur.

IV.2.1.4. Structure améliorée

Les problèmes causés par la structure normale DMOSFET peuvent être résolus d'une manière satisfaisante par blindage de la zone du canal [177], ce blindage a été accompli par la formation d'une région de type P sous le canal (Figure IV.5). L'incorporation d'une région (P+) sous-surface dans la structure DMOSFET permet de protéger la région P-Base contre le claquage par pincement et la prévention des champs électriques élevés de se développer à travers l'oxyde de grille au cours du blocage.

Avec une protection adéquate de la région de base. On a constaté que les semiconducteurs à court canal supportent des tensions de blocage élevées qui sont limitées seulement par les propriétés de la région de drift. Les transistors basés sur cette structure (Figure IV.5) ont une excellente zone de

fonctionnement sécuritaire et une vitesse de commutation rapide. Cette technologie a le potentiel d'être utilisée dans des systèmes fonctionnant jusqu'à 5KV.

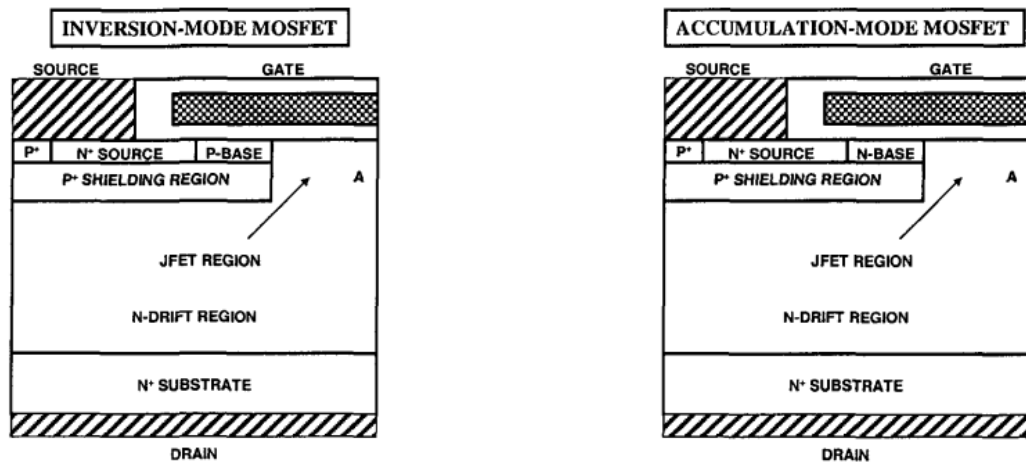


Figure IV.5: Structure DMOSFET blindée

IV.2.2. Transistor UMOSFET de puissance en SiC

IV.2.2.1. Présentation

La résistance R_{On} pour cette structure se révèle être significativement inférieure à celui de la structure DMOSFET [139] [178]. Cependant au cours du blocage, l'oxyde de grille dans la structure SiC-UMOSFET est exposé à un champ électrique très élevé généré dans la région de drift. Ceci est une limitation majeure de l'adoption de la structure basique du transistor UMOSFET en passant du Si au SiC. Par conséquent, les structures destinées à réduire le champ électrique dans l'oxyde de grille à l'aide d'une zone de protection sont essentielles à la réalisation des structures pratiques du SiC-UMOSFET [179]. La structure de base du transistor UMOSFET de puissance est montrée sur la figure IV.6.

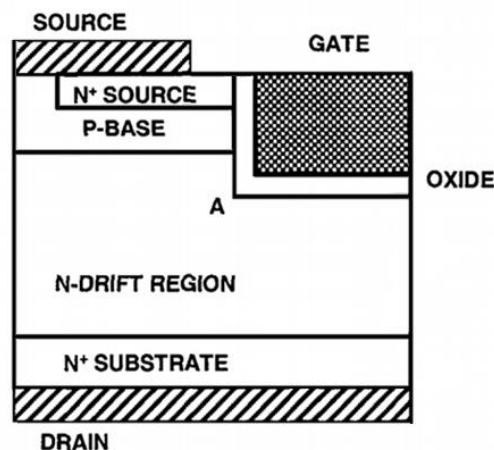


Figure IV.6: Structure du transistor UMOSFET

IV.2.2.2. Caractéristiques du blocage du transistor SiC-UMOSFET.

Au cours du blocage du transistor UMOSFET de puissance, la tension est supportée par la région d'appauvrissement formée par les deux côtés de la jonction P-Base/N-Drift. La tension maximale du blocage peut être déterminée par le champ électrique de cette jonction, et devient égale au champ électrique critique de claquage dans le cas où le transistor bipolaire parasite N+/P/N est complètement supprimé. Cela est accompli par le court-circuit des régions N+Source et P-Base en utilisant le métal de la source. Pour le 4H-SiC quand le champ électrique dans l'oxyde atteint la valeur du claquage du transistor, cette valeur dépasse non seulement la limite de la fiabilité, et peut entraîner sa rupture. Le problème est exacerbé par enrichissement du champ électrique dans les coins de la tranchée à l'emplacement A sur la figure IV.6.

IV.2.2.3. Conduction directe du transistor SiC-UMOSFET.

Le passage du courant entre le drain et la source est induit par la création du canal de la couche d'inversion sur la surface de la région P-Base. Le trajet du courant est illustré sur la figure IV.7 par la zone en pointillés.

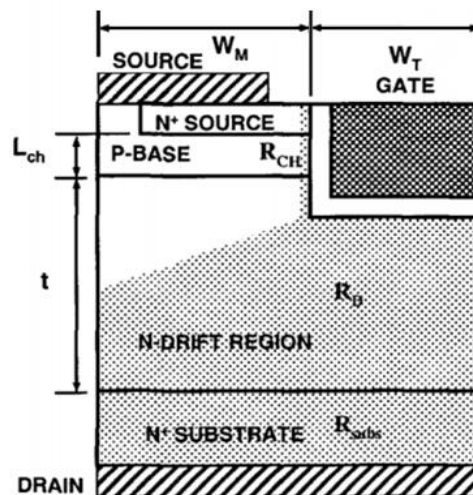


Figure IV.7: Chemin du flux de courant de la structure SiC-UMOSFET

La résistance totale R_{On} du UMOSFET de puissance est déterminée par l'ensemble des résistances dans le trajet de courant:

$$R_{On} = R_{Ch} + R_D + R_{Sub} \quad (IV.2)$$

R_{Ch} : Résistance du canal.

R_D : Résistance de la région de drift.

R_{Sub} : Résistance du substrat N+.

Ce modèle suppose que toute la polarisation appliquée du drain est soutenue par la région N-Drift. En revanche dans les transistors de faible tension de claquage, une fraction importante de la polarisation du drain appliquée est supportée aussi par la région P-Base. Le modèle de la résistance

R_{On} prenant cela en considération indique en outre la réduction de R_{On} [174]. Cependant, la résistance R_{On} de la structure UMOSFET est encore limitée par la mobilité du canal de la couche d'inversion pour les transistors conçus pour soutenir une tension de 1kV.

IV.2.2.4. Tension de seuil du transistor SiC-UMOSFET.

La tension de seuil de la structure UMOSFET est déterminée par la concentration du dopage de la région P-Base le long des parois latérales de la région de tranchée [139]. De la même raison que pour le DMOSFET la tension de seuil minimum doit être maintenue en dessus de 1V. La faible concentration de dopage de la région P-Base peut conduire à un problème de pincement introduisant le claquage.

IV.2.2.5. Structure améliorée

De nouvelles structures [179] aussi ont été développées et démontrées pour la protection de l'oxyde de grille contre le champ électrique élevé, comme:

- Transistor SiC-UMOSFET en mode d'accumulation [180].
- Transistor SiC-UMOSFET blindé [179].

IV.2.3. Transistor LMOSFET de Puissance en SiC

IV.2.3.1. Présentation.

La capacité d'intégrer des structures des semiconducteurs de puissance de haute tension avec des semiconducteurs CMOS et bipolaires de faible tension exige une évolution technologique intelligente de Si [181]. En raison de la haute résistance (R_{On}) des structures latérales de haute tension, les structures MOS en Si doivent être utilisées avec des tensions de fonctionnement au-delà de 200V [182]. Le flux du courant bipolaire dans ces structures peut créer des interférences avec les circuits logiques CMOS, il est nécessaire de développer des structures latérales de haute tension, diélectriquement isolées pour les transistors de puissance [183]. Cependant, le coût des wafers diélectriquement isolés en Si a été sensiblement plus élevé que les wafers à jonction isolée, ce qui a limité leurs applications.

IV.2.3.2. Structure de SiC-LMOSFET

Les transistors LMOSFET (latérale MOSFET) de silicium sont utilisés en haute tension pour des applications électriques intelligentes et sont généralement basés sur le concept RESURF (REduced SURface electric Field) [184]. Ce concept est un couplage de charge en deux dimensions entre la couche N-Drift et le substrat P- (Figure IV.8), il est utilisé pour modifier le champ électrique latéral afin d'augmenter la tension de claquage. Ce couplage augmente la concentration de dopage de la région N-Drift permettant la réduction de la résistance R_{On} pour les transistors latéraux de haute tension.

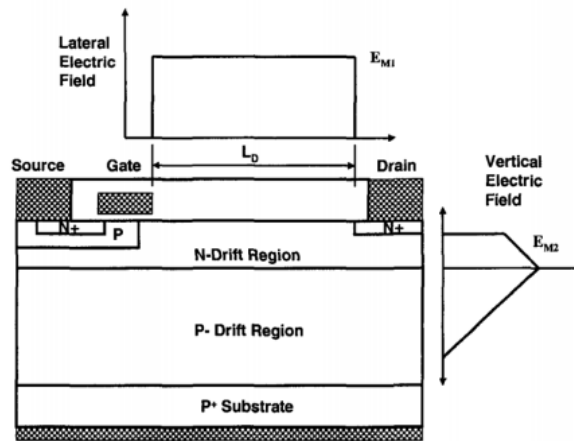


Figure IV.8: Structure RESURF SiC-LMOSFET avec la répartition du champ électrique

La tension de claquage du transistor peut être limitée par l'un des champs électriques EM1 et EM2, qui devient égal au champ électrique de claquage du semiconducteur. Pour ce transistor et dans ce cas la résistance R_{On} qui est en majeure partie la résistance de la zone de drift est donnée par:

$$R_{On} = \frac{V_{Br}^2}{\mu_N \cdot \epsilon_S \cdot E_C^3} \quad (IV.3)$$

V_{Br} : Tension de claquage,

μ_N : Mobilité d'électron correspondant à la concentration de dopage,

ϵ_S : Constante diélectrique du semiconducteur

E_C : Champ électrique critique de claquage dans le semiconducteur.

D'après l'équation (IV.3) le RESURF SiC-LMOSFET possède une très faible résistance R_{On} , qui est due à son très grand champ électrique critique de claquage en comparaison avec le Si. Ainsi, la valeur de R_{On} pour cette structure est plus petite de 4 fois que celle d'un transistor VDMOSFET. Cela donne une forte motivation pour le développement des structures latérales de haute tension en SiC.

IV.2.3.3. Structure améliorée

- Le transistor RESURF SiC-LMOSFET incorporant des plaques de champs [18].
- Le transistor RESURF SiC-LMOSFET blindé

IV.2.4. Conclusion

La structure 4H-SiC UMOSFET de puissance était la première approche explorée par la communauté de carbure de silicium en raison de ses performances, essentiellement sa région P-Base qui peut être formée par croissance épitaxiale plutôt que par implantation ionique, qui était une technologie moins mature. Cependant, des transistors de tension de claquage de 1200V ont été

fabriqués, leurs performances ont été sévèrement limitées par la rupture de l'oxyde de grille et par la faible mobilité du canal. Ces problèmes ont inhibé la performance des premiers 4H-SiC UMOSFET de puissance, ce qui a empêché jusqu'à l'instant la commercialisation de cette structure, et limitant son existence chez les laboratoires de recherche.

Le premier, SiC-LMOSFET a été signalé en 1998 avec une grande résistance R_{On} , en raison de la difficulté d'application de RESULF [185]. Après beaucoup d'améliorations portées sur cette structure. Des transistors SiC-LMOSFET ont été fabriqués par la suite, mais il a été constaté qu'ils ont une mauvaise conduction du courant. Ce problème a été relativement résolu par la fabrication des nouveaux 4H-SiC RESURF SiC-LMOSFET de plus en plus améliorés [186] [187]. Cette structure n'est pas officiellement commercialisée sauf quelques échantillons disponibles chez des laboratoires de recherche, car elle est encours d'amélioration.

En outre la structure SiC-VDMOSFET en raison de ses avantages par rapport aux autres structures et de son importance bénéficiaire, elle a dominé le marché des semiconducteurs durant ces 4 dernières années par un nombre très limité de fabricants (CREE, ROHM...).

IV.3. Analyse de la structure SiC-VDMOSFET de puissance

IV.3.1. Présentation

La structure SiC-DMOSFET a eu beaucoup d'intérêt de la part des fabricants des transistors MOSFET de puissance en SiC, cela revient à plusieurs considérations par rapport aux autres structures (SiC UDMOSFET, SiC LMOSFET) à savoir : la maîtrise des processus de fabrication, la vitesse de commutation rapide, la grande durabilité, et son fonctionnement à la fois dans le premier et le quatrième quadrant, ce qui permet l'exploitation de la diode intrinsèque de structure comme une diode de roue libre dans les bras des onduleurs. Pour ces raisons, ces transistors sont les premiers SiC MOSFET mis dans le marché des semiconducteurs (à partir de 2011) [11]. Alors que les autres structures (SiC UMOSFET, SiC LMOSFET,...) ne sont disponibles que dans les laboratoires de recherche. Notre intérêt de modélisation se portera donc sur ladite structure.

Il existe plusieurs références de différents fabricants de ces transistors SiC-MOSFET qui se différent par leurs caractéristiques (courant-tension). Afin de faire une présélection de leurs performances selon le fabricant, notre étude comparative sera portée sur des transistors SiC-MOSFET de 1200V (Tableau IV.1) les plus connus dans le marché des semiconducteurs [188] [189] [190] [191] [192] [193] [194] [195]. Ce tableau présente: le fabricant, la référence, le courant et la tension supportée, la résistance R_{On} , et la plage de température de fonctionnement.

Tableau IV.1: Différentes références de différents fabricants des transistors SiC-MOSFET d'étude

Fabricant	Référence	Tension V_{DS} à $T_{25^{\circ}C}$	Courant I_D à $T_{25^{\circ}C}$	Résistance R_{On}	Date de production	Température supportée
CREE	C2M0025120D	1200V	90A	25m Ω	Juin 2014	-55 à 150C°
	C2M0080120D	1200V	36A	80 m Ω	Juin 2014	-55 à 150C°
MicroSemi	APT40SM120B	1200V	41A	80 m Ω	Juillet 2014	-55 à 175C°
	APT50SM120B	1200V	50A	50 m Ω	Juillet 2014	-55 à 175C°
ROHM	SCT2080KE	1200V	40A	80 m Ω	Janvier 2014	-55 à 175C°
	SCT2160KE	1200V	22A	160 m Ω	Mai 2013	-55 à 175C°
STMicro	SCT20N120	1200V	20A	240 m Ω	Février 2015	-55 à 200C°
	SCT30N120	1200V	45A	80m Ω	Décembre 2013	-55 à 200C°

IV.3.2. Caractéristiques Statiques des transistors SiC-MOSFET de 1200V

Le SiC-MOSFET de puissance est principalement utilisé dans les applications d'électronique de puissance comme un interrupteur afin de contrôler le flux de puissance vers la charge. La caractéristique dynamique sera bien détaillée dans la partie 3 de ce chapitre, lors de la description du modèle proposé.

Pour mieux comprendre le comportement statique en fonction de la température et les performances de chaque transistor SiC-MOSFET du tableau (Tableau IV.1), une étude comparative sera portée sur les paramètres suivants: le courant de fuite au blocage I_{DSS} , la tension de seuil V_{Th} , les caractéristiques de transfert I_D-V_{GS} , les caractéristiques de sortie I_D-V_{DS} , la résistance interne à l'état passant R_{On} , les caractéristiques de la diode de structure $I_{SD}-V_{SD}$, et la résistance interne de grille R_G .

IV.3.2.1 Capacité de blocage et courant de fuite (I_{DSS})

Le courant de fuite des transistors SiC-MOSFET fourni dans le databook est obtenu par le court-circuit de la grille avec la source au cours des mesures ($V_{GS}=0V$), dans ce cas le transistor est bloqué. Ensuite, on augmente la tension drain-source (V_{DS}) et on mesure le courant dans le drain, c'est le courant de fuite. La polarisation drain-source appliquée est connue comme la tension de blocage supportée par le composant. À une tension de blocage de 1200 V et à la température ambiante ($25^{\circ}C$), comme le montre le tableau (Tableau IV.2) tous les SiC-MOSFET étudiés présentent un courant de fuite I_{DSS} maximum de 100 μA , à l'exception des deux transistors SCT2080KE et SCT2160KE de ROHM qui s'évaluent à 10 μA .

Tableau IV. 2: Courant de fuite des transistors SiC-MOSFET étudiés

Fabricant	Référence	Courant I_{DSSmax} (μA) à $T=25^{\circ}C$ et V_{DS} 1200V
CREE	C2M0025120D	100 μA
	C2M0080120D	100 μA
MicroSemi	APT40SM120B	100 μA
	APT50SM120B	100 μA
STMicro	SCT20N120	100 μA
	SCT30N120	100 μA
ROHM	SCT2080KE	10 μA
	SCT2160KE	10 μA

Typiquement, lorsque la température de la jonction du transistor augmente, le courant de fuite augmente aussi. Cela est dû à l'élévation de la concentration intrinsèque des porteurs d'une façon exponentielle avec la température [73]. Cependant, même en haute température (150°C à 200°C), les SiC-MOSFET étudiés présentent des courants de fuite maximale relativement faible à la tension de blocage maximale (1200V) à l'exception des deux SiC-MOSFET APT40SM120B et APT50SM120B de MicroSemi qui ont présentés à 125°C un courant de fuite maximal de 500uA. Il s'agit d'une amélioration significative de ces transistors par rapport à ses homologues en Si. Ce qui est dû à la plus faible concentration des porteurs intrinsèques et la large bande interdite de SiC. Cela se traduit aussi par la grande capacité des SiC-MOSFET de tenir les températures élevées.

IV.3.2.2 Tension de Seuil (V_{Th})

La tension seuil (V_{Th}) est la tension V_{GS} nécessaire pour démarrer la circulation du courant à travers le canal du transistor. Pour les transistors de cette étude, la tension seuil est considérée comme étant la tension V_{GS} à laquelle le courant de drain $I_D=1$ mA. Généralement pour avoir la valeur de cette tension par mesure, les bornes de grille et de drain du transistor sont court-circuitées de telle sorte que les tensions V_{GS} et V_{DS} sont égales. La figure IV.9 montre les courbes de la tension seuil en fonction de la température pour les MOSFET SiC en question.

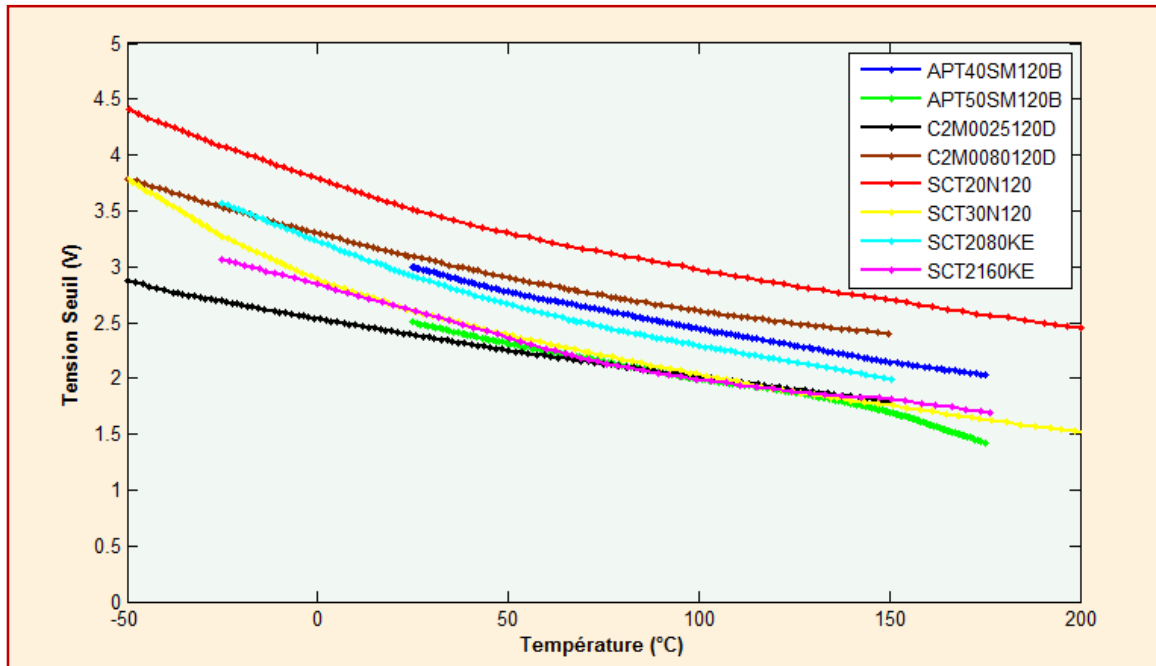


Figure IV.9: Évolution de la tension seuil V_{Th} en fonction de la température

D'après cette figure, on remarque que le transistor SCT20N120 de STMicro possède la tension seuil la plus grande. On peut remarquer aussi que sur la figure que tous les transistors de la nouvelle génération de tous les fabricants ont des courbes très proches entre eux et ont des valeurs très faibles (les courbes en noir, vert, jaune, et rose), puisque toujours il y a des améliorations de la rapidité des composants.

Généralement, ces tensions seuil (V_{Th}) des transistors SiC-MOSFET sont plus faibles par rapport à celles des Si-MOSFET. De plus, ces courbes diminuent avec l'augmentation de la température, alors elles présentent des coefficients de température négatifs. Pour étudier ces coefficients et le pourcentage de la variation, il faut normaliser ces courbes à la température ambiante. Pour le faire, on divise les valeurs de chaque courbe de $V_{Th}(T)$ par sa valeur à la température ambiante (25°C), alors toutes ces courbes passent par 1 à la température de 25°C , comme montrée sur la figure IV.10.

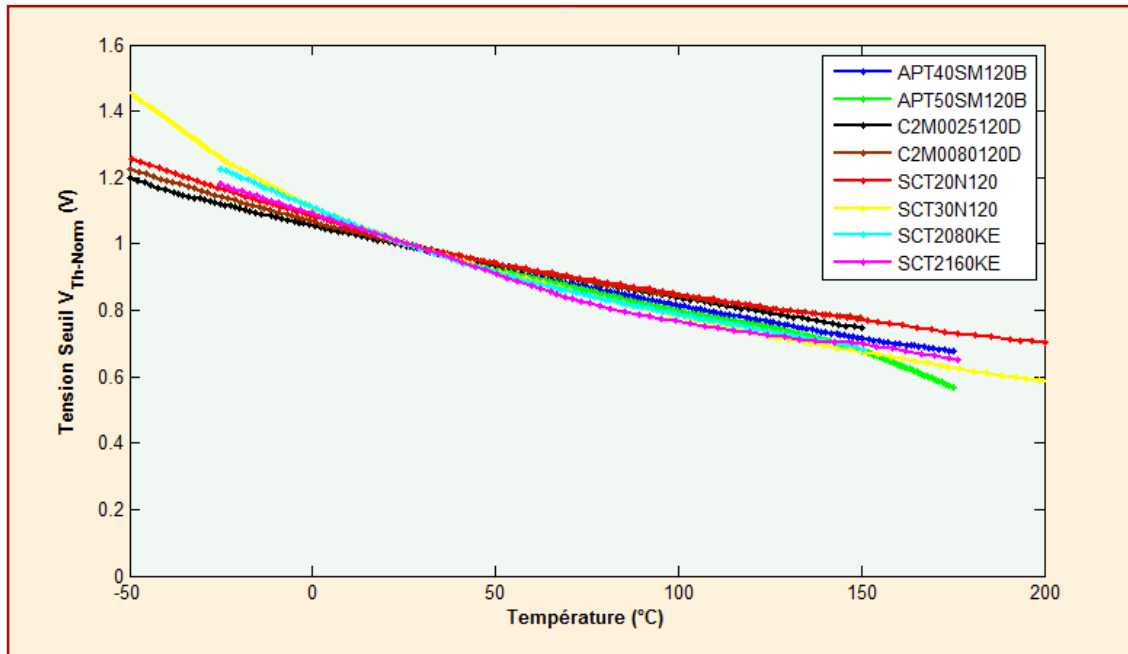


Figure IV.10: Évolution de la tension seuil Normalisée $V_{Th-Norm}$ en fonction de la température

On constate d'après cette figure que toutes les courbes se coïncident entre eux. Ces transistors possèdent presque la même variation de V_{Th} en fonction de la température, s'évaluant aux alentours de 40%, avec des coefficients négatifs de température (voir les résultats en conclusion).

Le coefficient négatif de température et la faible tension de seuil sont parmi les avantages favorisant l'utilisation des SiC-MOSFET. D'autre part, une tension V_{GS} négative doit être appliquée au blocage pour assurer que l'interrupteur ne reçoit plus une fausse commande de mise en conduction en raison de sa faible valeur de V_{Th} .

IV.3.2.3 Caractéristiques de Transfert (I_D - V_{GS})

Les caractéristiques de transfert des transistors SiC-MOSFET sont données dans les databook sous forme des courbes $I_D(V_{GS})$ pour différentes températures. La pente de la courbe de transfert est connue par la transconductance (g_{fs}) du transistor MOSFET, c'est le gain du transistor MOSFET. Ce paramètre représente la variation du courant de drain (la sortie) en fonction de la variation de la tension grille-source (l'entrée). Il s'exprime par:

$$g_{fs} = \frac{\Delta I_D}{\Delta V_{GS}} \quad (IV.4)$$

Les figures IV.11, IV.12, et IV.13 montrent cette caractéristique pour les transistors SiC-MOSFET étudiés, à la tension drain-source V_{DS} de 20V et à des températures de 25°C et 150°C. Ainsi la figure IV.14 montre cette caractéristique pour les deux températures afin de permettre leur comparaison.

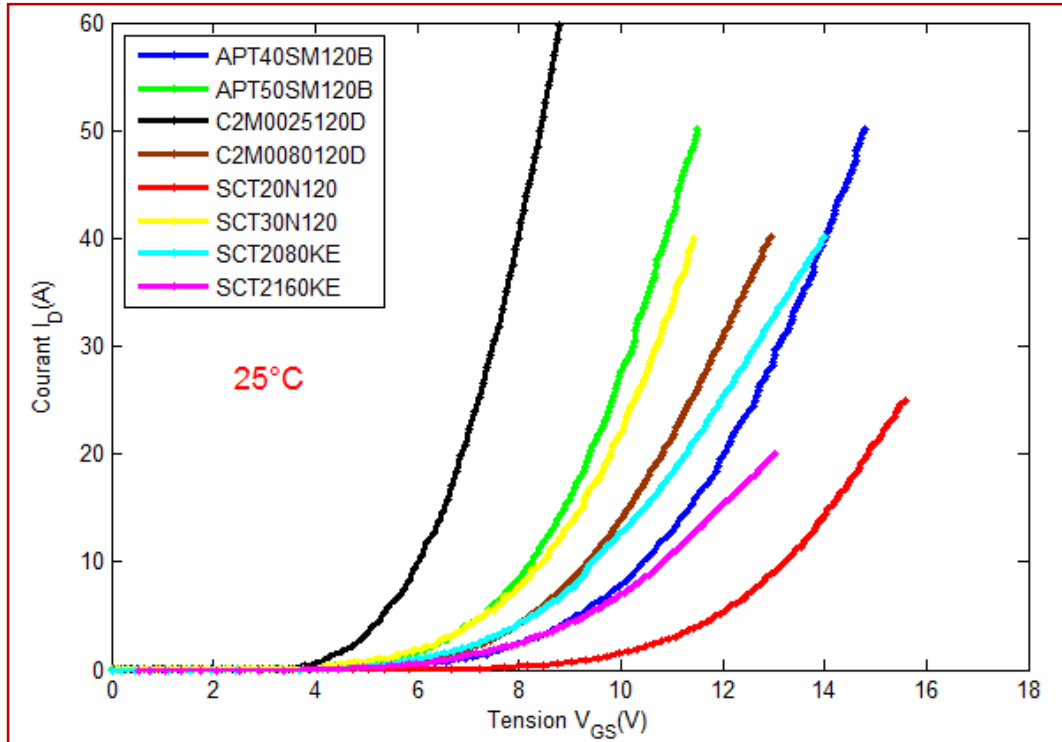


Figure IV.11: Courbes de caractéristique de transfert des SiC-MOSFET étudiés à $T=25^{\circ}\text{C}$

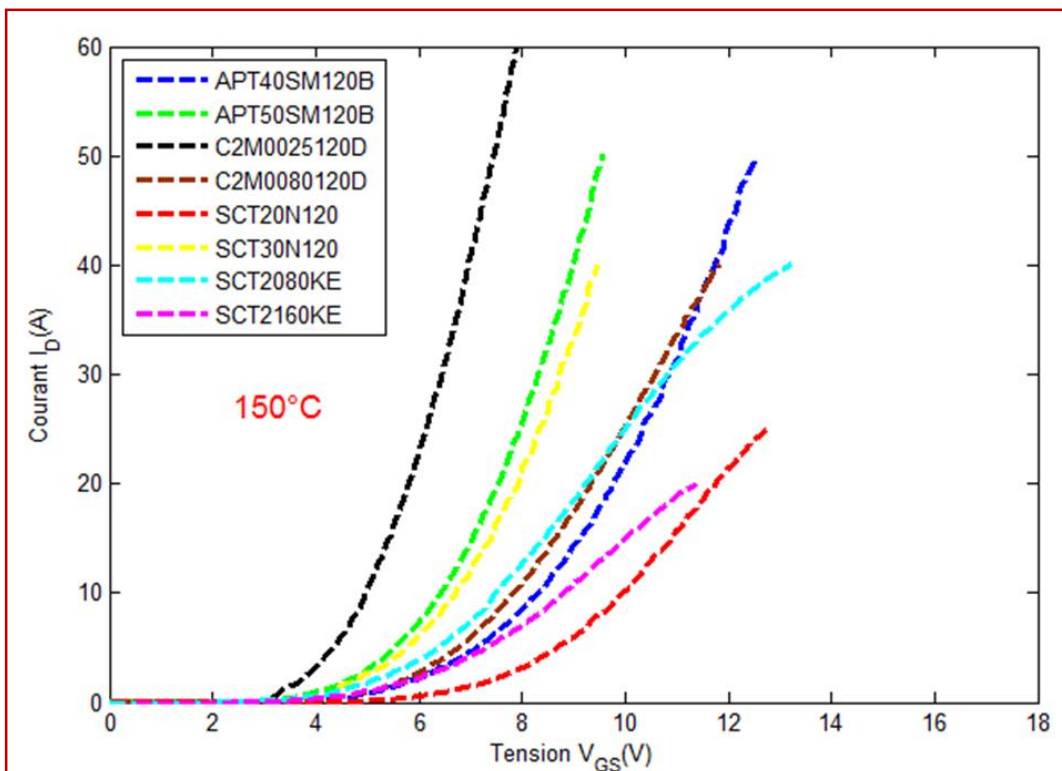


Figure IV.12: Courbes de caractéristique de transfert des SiC-MOSFET étudiés à $T=150^{\circ}\text{C}$

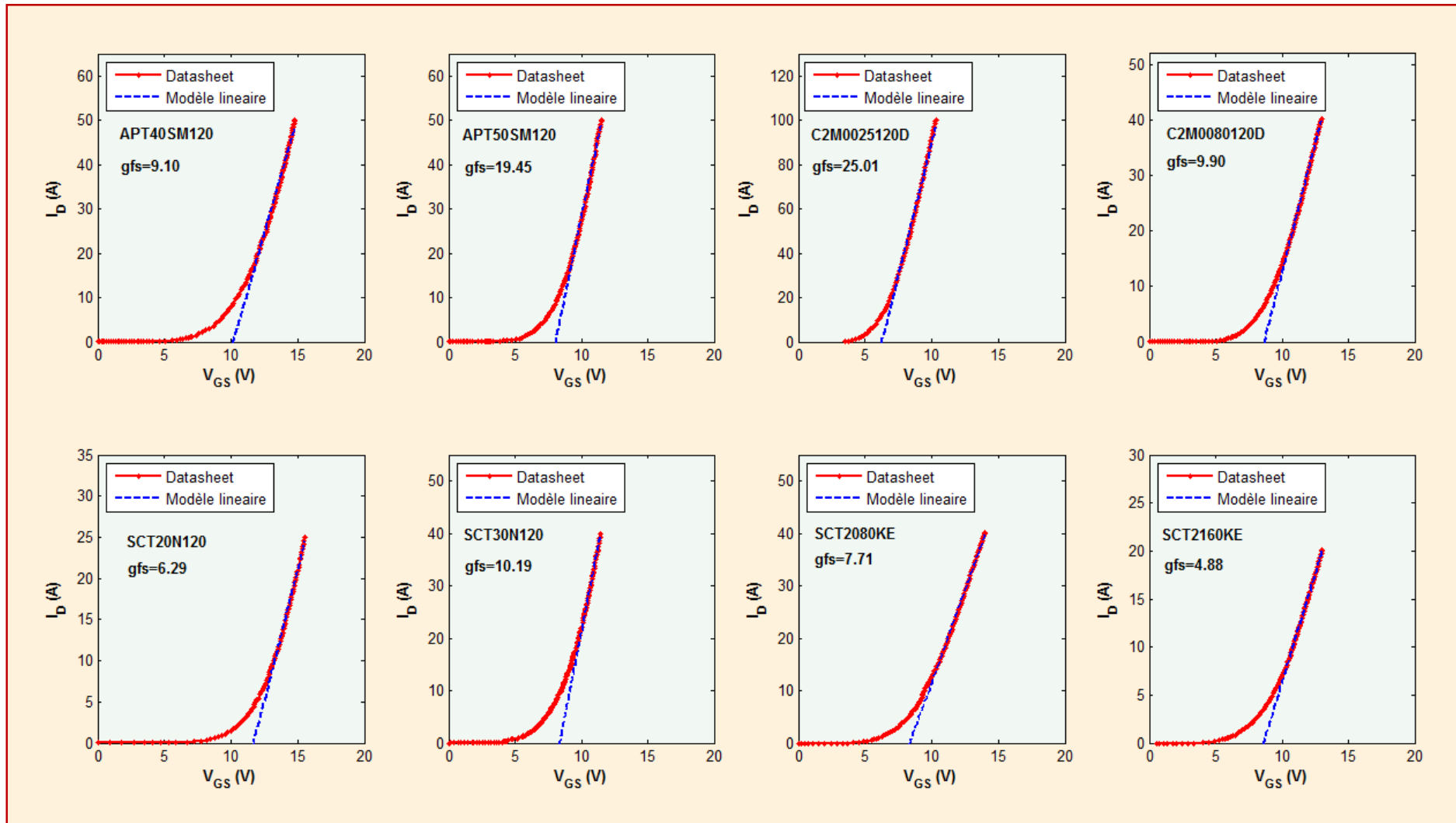


Figure IV.13: Caractéristique de transfert du MOSFET montrant la valeur de sa transconductance

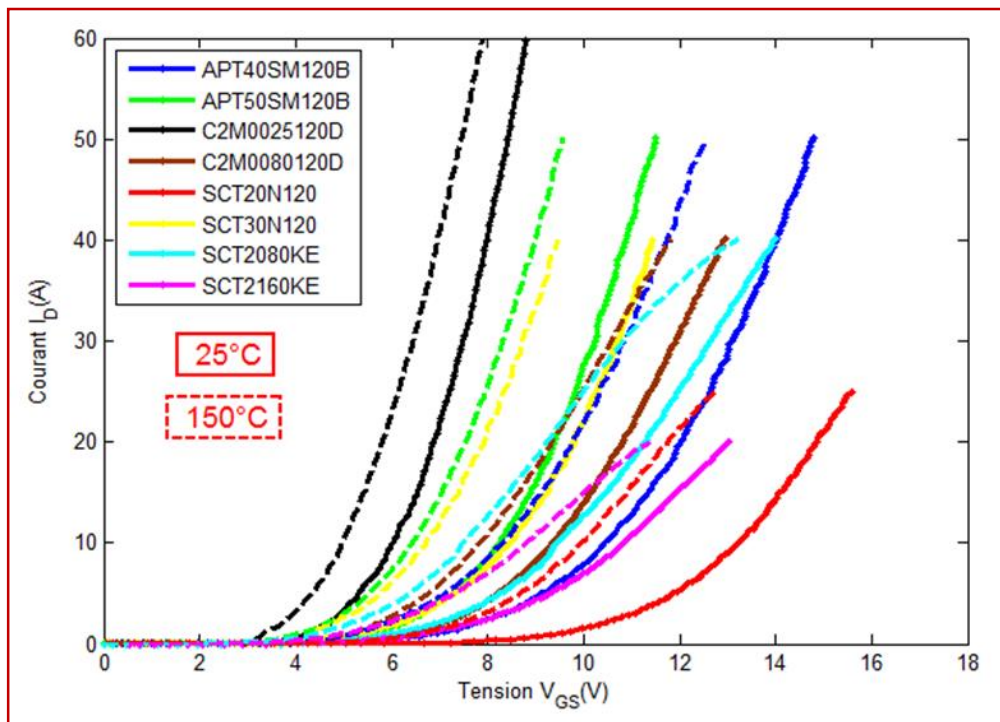


Figure IV.14: Courbes de caractéristique de transfert des SiC-MOSFET étudiés à $T=25^{\circ}\text{C}$ et $T=150^{\circ}\text{C}$

D'après ces figures, on remarque pour les deux températures 25°C et 150°C que les transistors C2M0025120D de CREE, et APT50SM120B de MicroSemi possèdent de grandes valeurs de transconductance (des pentes très raides), par contre les transistors SCT20N120 de STMicro et SCT2160KE de ROHM ont des transconductances les plus faibles.

Le transistor C2M0025120D de CREE, possède une tension seuil la plus petite et sa courbe de transfert la plus raide, ce qui est dû à sa grande valeur du courant maximal direct (90A). Par contre, le transistor SCT20N120 de STMicro a une tension seuil la plus grande et sa courbe la moins raide.

IV.3.2.4 Les caractéristiques de sortie et la résistance R_{on}

La caractéristique de sortie (les courbes I_D-V_{DS}), de chaque SiC-MOSFET ont été fournies dans les databook pour différentes températures, avec une variation de la tension grille-source V_{GS} de 10V à 20V avec un pas de 2V. Puisque les températures 25°C et 150°C sont les communes pour tous ces transistors, alors l'étude comparative de cette caractéristique sera pour ces deux températures, et pour les tensions Grille-Source de 10V à 20V comme le montre la figure suivante (Figure IV.15).

À l'exception des deux premières références (APT40 et APT50 de Microsemi), on remarque que plus la température augmente, plus les courbes de chaque tension V_{GS} s'approchent entre eux. Cela est dû à la décroissance de la tension seuil (V_{Th}) en haute température, et à l'accroissement de la mobilité des porteurs de charge par échauffement. Cette comparaison montre une dépendance remarquable avec la température pour les valeurs extrêmes de V_{GS} (10V et 20V), et une faible dépendance pour les valeurs moyennes de V_{GS} (14V et 16V).

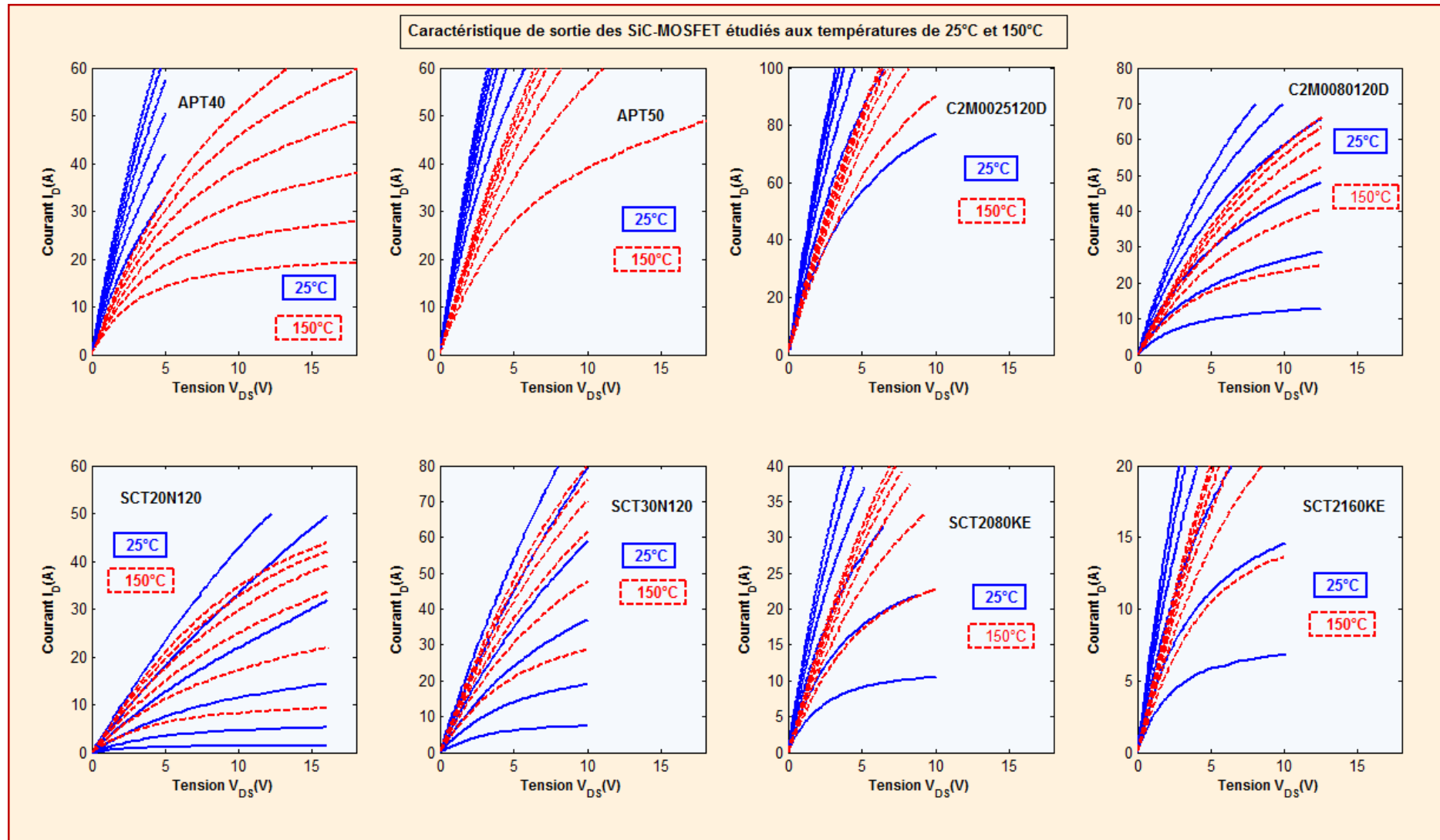


Figure IV.15: Caractéristiques de sortie des transistors SiC-MOSFET étudiés à $T = 25^\circ\text{C}$ et 150°C pour V_{GS} de 10V à 20V

Le transistor C2M0025120D de CREE a la pente la plus raide, cela se traduit par sa faible résistance interne R_{On} , par contre le C2M0080120D de CREE et le SCT20N120 de STMicro ont des pentes les moins raides, alors ils ont des résistances internes les plus grandes. Le courant direct maximal du transistor C2M25120D est de 90A, et du transistor C2M0080120D est de 36A. Cela confirme ce qui est expliqué précédemment lorsque la résistance interne diminue le courant direct augmente.

On remarque aussi que pour les tensions grille-source V_{GS} inférieure ou égale à 14V, la région linéaire des courbes I_D-V_{DS} devient plus raide avec l'augmentation de la température. Ceci indique que, si le SiC-MOSFET est commandé par une tension grille-source de 14V ou moins, la résistance à l'état passant R_{On} présentera un coefficient de température négatif. D'autre part si la tension grille-source V_{GS} est de 16V ou de 18V, presque aucun changement n'est observé entre les courbes prises à 25°C et à 150°C, ce qui se traduit par des pertes de conduction presque constante avec l'augmentation de la température. Cependant, pour une performance optimale, une tension grille-source V_{GS} de 20 V est recommandée pour les SiC MOSFET. Comme le montre la figure, la pente de la partie linéaire des courbes I_D-V_{DS} à cette tension (V_{GS}) diminue avec l'augmentation de la température, ce qui entraîne un coefficient de température positif de la résistance de l'état passant R_{On} pour cette condition d'entrée.

La figure IV.16 représente les courbes de la variation de la résistance R_{On} en fonction de la température pour les transistors SiC MOSFET étudiés. Ces courbes sont données pour une tension grille-source V_{GS} de 20V (la tension de commande de ces transistors), et pour un courant de drain I_D bien spécifié (montré entre parenthèses dans la figure).

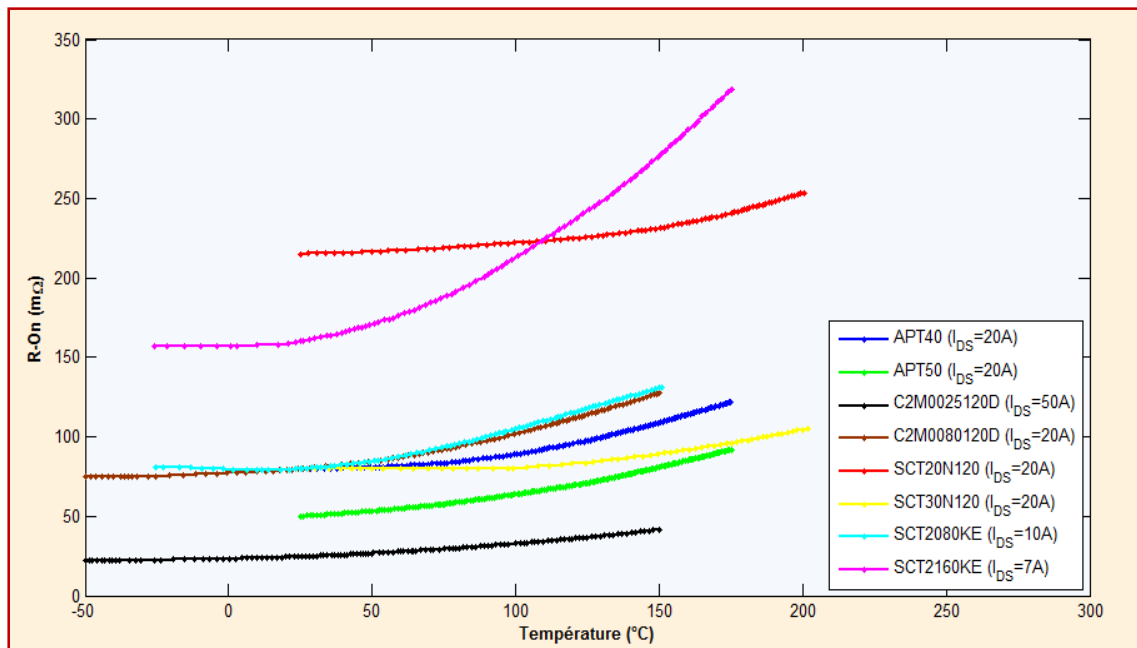


Figure IV.16: Évolution de la résistance interne R_{On} en fonction de la température.

On remarque que les transistors SiC-MOSFET SCT20N120 de STMicro et le SCT2160KE de ROHM possèdent les plus grandes résistances R_{On} , dont le deuxième a la plus grande variation avec la température, ce qui est expliqué par sa plus petite valeur du courant direct maximale (15A). Alors que le SiC-MOSFET C2M0025120D reste le meilleur avec la plus faible résistance interne R_{On} , avec la très faible variation en température, ce qui est expliqué par sa grande valeur du courant direct maximal (90A). On constate aussi une amélioration très remarquable au niveau de ce paramètre chez tous les fabricants: les références récentes ont des résistances R_{On} réduites par rapport aux anciennes.

Pour bien illustrer la dépendance de la résistance R_{On} avec la température, on trace les courbes des résistances internes normalisées ($R_{On-Norm}$) (R_{On} divisée par sa valeur à la température ambiante 25°C). On relève que toutes les courbes passent par 1 à la température de 25°C, c'est le point de référence de toutes les courbes, cela nous permet de bien différencier les pentes de ces courbes. La figure IV.17 montre la variation de la résistance $R_{On-Norm}$ en température pour une tension V_{GS} de 20V.

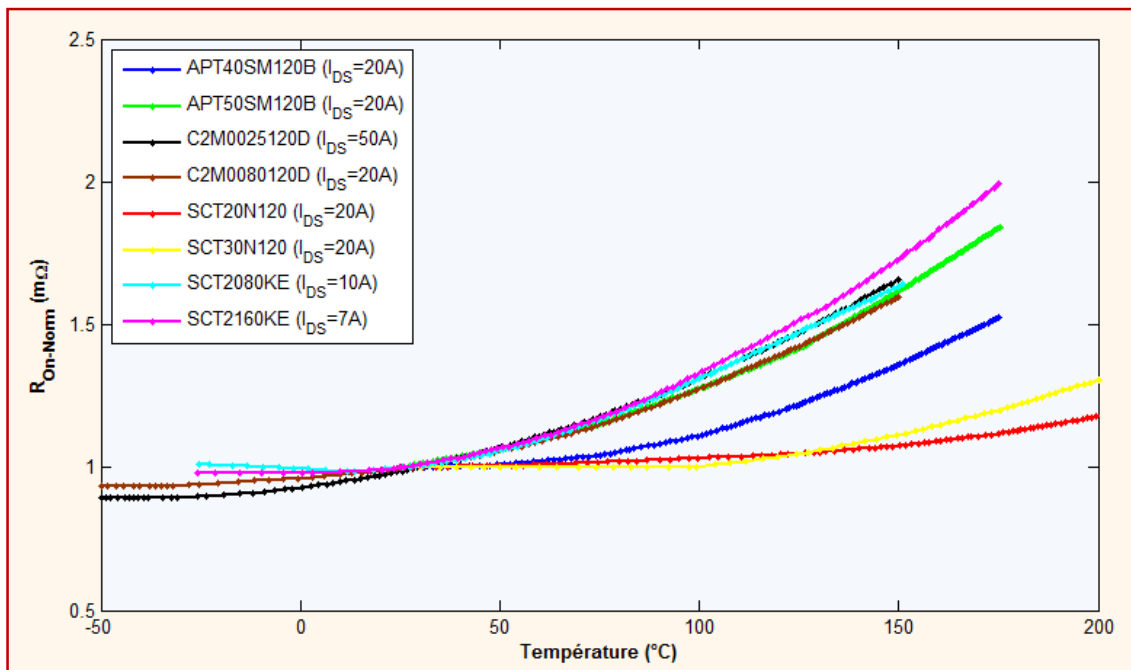


Figure IV.17: Évolution de la résistance interne Normalisée $R_{On-Norm}$ en fonction de la température.

D'après cette figure, on remarque que les transistors SiC-MOSFET SCT20N120 et SCT30N120 de STMicro ont les plus faibles pentes de variation, cependant ils sont les moins dépendants en température. Les autres transistors gardent la même pente, alors ils ont la même dépendance en température par rapport à leur valeur de R_{On} à la température ambiante.

Comme déjà remarqué (Figure IV.16), les SiC-MOSFET SCT2160KE de ROHM et SCT20N120 de STMicro ont les résistances R_{On} les plus élevées par rapport aux autres transistors de l'étude, cela est dû en grande partie à leur petite taille de leur matrice.

La taille de la matrice du transistor (die area transistor) est directement liée à sa résistance interne R_{On} et à sa capacité de jonction [196]. Comme la taille est réduite, la résistance R_{On} augmente, ce qui entraîne des pertes de conduction plus élevées. D'autre part, les transistors de petite taille contiennent de faibles capacités de jonction, ce qui entraîne une commutation plus rapide et des pertes dynamiques réduites. Par conséquent, il est important de s'intéresser à la résistance interne spécifique R_{On-sp} qu'à la résistance interne R_{On} seulement pour l'étude de ce paramètre. Pour le faire, on multiplie la valeur de la résistance interne R_{On} par la surface de la matrice du transistor pour chaque cas. Sachant que seule la surface active doit être utilisée pour ce calcul, cependant, cette dimension ne peut pas être obtenue pour ces SiC-MOSFET dans la présente étude, alors toute la surface de la matrice est utilisée. Le tableau suivant présente les valeurs de la surface de la matrice du transistor. La recherche bibliographique et le contact avec les fabricants de ces semiconducteurs nous ont amenés à avoir les valeurs de ces paramètres que pour quelques transistors de cette étude en raison de la confidentialité des fabricants, voir la récence de cette technologie.

Tableau IV. 3: Surface de la matrice des transistors SiC-MOSFET étudiés

Fabricant	Référence	Surface de la matrice en mm ²
CREE	C2M0025120D	-----
	C2M0080120D	10.39
MicroSemi	APT40SM120B	-----
	APT50SM120B	-----
ROHM	SCT2080KE	12.59
	SCT2160KE	7.83
STMicro	SCT20N120	-----
	SCT30N120	14.39

La figure IV.18 représente la variation de la résistance R_{On-sp} en fonction de la température. Les courants de drain correspondants sont indiqués entre parenthèses. La tension grille-source V_{GS} de commande est de 20 V.

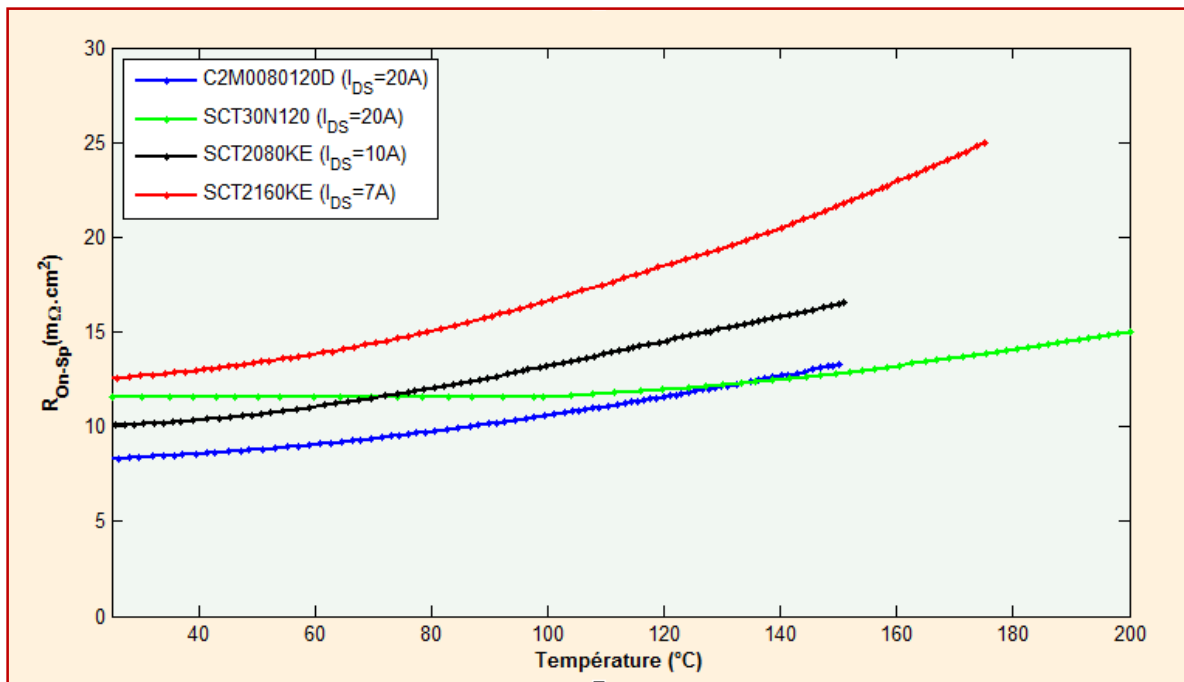


Figure IV.18: Évolution de la résistance R_{On-Sp} en fonction de la température.

Comme on le voit sur la figure, la courbe du transistor SiC-MOSFET SCT30N120 de STMicro varie lentement alors c'est le moins dépendant en température. Sa résistance augmente d'environ 31% à la température de 200°C par rapport à la température ambiante. Alors que le SiC-MOSFET SCT2160KE de ROHM reste le plus dépendant en température, sa résistance augmente d'environ 42% à la température de 150°C par rapport à la température ambiante.

Par rapport aux MOSFET de puissance en Si, les transistors MOSFET en SiC comprennent une résistance R_{On} significativement plus faible, et moins sensible à la température. Cela s'explique comme suit: Comme on a déjà cité que la résistance à l'état passant R_{On} d'un MOSFET peut être approximée par la somme de sa résistance de drift R_D , et celle du canal R_{Ch} . D'autre part, la résistance R_D comprend un coefficient de température positif, et la résistance du canal R_{Ch} diminue avec l'augmentation de la température, cela est dû à l'augmentation de la mobilité du canal du MOSFET entraîné par la libération des charges piégées dans l'oxyde de grille [197]. Cette diminution de R_{Ch} en fonction de la température s'oppose avec l'augmentation de la résistance R_D , ce qui entraîne un coefficient de température positif et faible. Ce phénomène a été démontré dans [198]. Ces caractéristiques du SiC MOSFET peuvent être attribuées à une transconductance modeste [69], des effets du court canal, et le piégeage à l'interface SiC/SiO₂ [198] [69] [74].

IV.3.2.5 Les caractéristiques de la diode de structure I_{SD} - V_{SD}

Vu la structure technologique de fabrication du transistor SiC-MOSFET de puissance, la diode de structure (diode parasite) est formée intrinsèquement au niveau de la zone de drift par la jonction P-Base/N-Drift (Figure IV.3) [139]. Cette diode est considérée comme une diode PiN entre la source et le drain. Elle conduit le courant de manière très efficace avec une chute de tension directe de l'ordre de quelques volts (selon les caractéristiques) en raison de l'injection d'une forte concentration de porteurs minoritaires dans la région de drift [139].

Cette diode trouve son intérêt majeur dans certains convertisseurs de puissance nécessitant un courant inverse à travers les dispositifs à semiconducteur. Cette diode doit être capable de conduire en inverse sans avoir la capacité de blocage, à titre d'exemple: les onduleurs (DC- AC) pour l'entraînement des moteurs à vitesse variable, les hacheurs DC-DC pour le contrôle de la vitesse du moteur par freinage régénératif. Cette diode doit présenter de bonne caractéristique de recouvrement inverse. Généralement, la charge recouverte doit être faible pour limiter la dissipation de puissance. Ainsi que la forme d'onde ne doit pas contenir des changements brusques de courant et de tension pour éviter l'endommagement du transistor par les transitoires généralisés.

Les courbes $I_{SD}(V_{SD})$ de la diode de structure ont été déterminées et représentées sur les figures IV.19, IV.20 et IV.21 pour les deux températures 25°C et 150°C , à la tension V_{GS} de 0V.

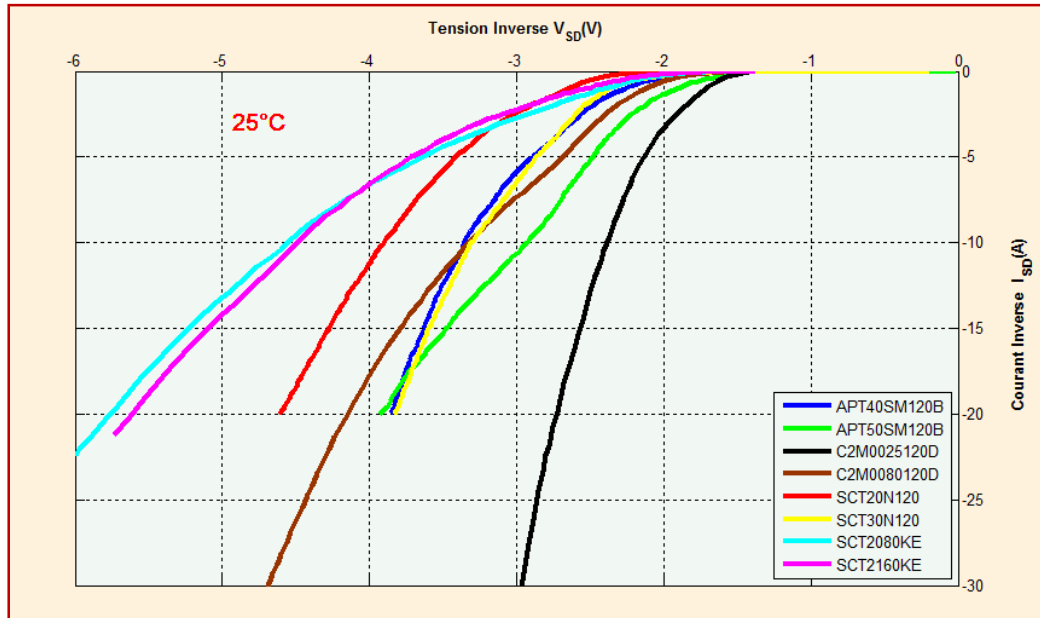


Figure IV.19: Caractéristiques de la diode de structure des SiC-MOSFET à $T= 25^{\circ}\text{C}$.

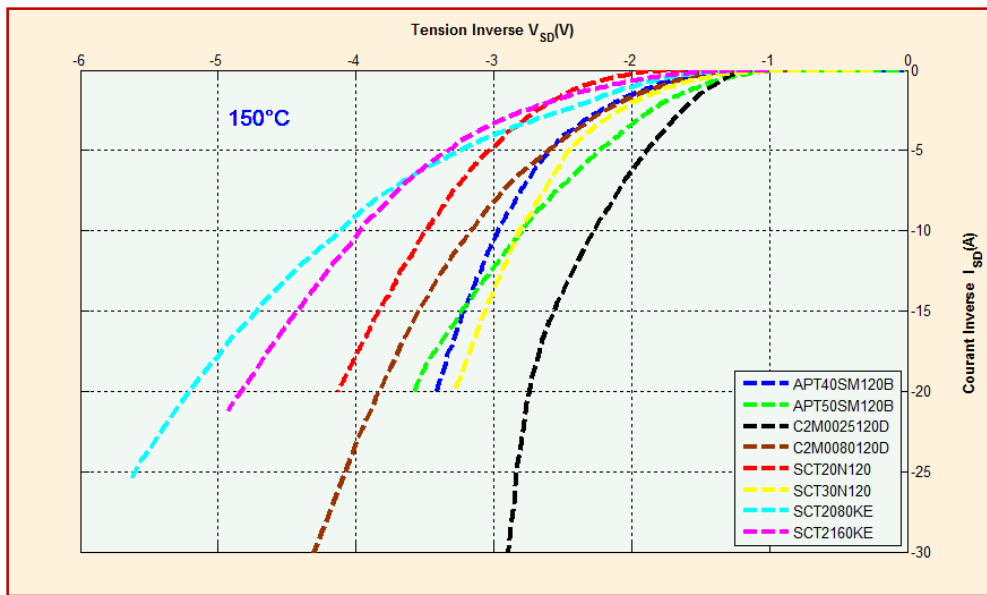


Figure IV.20: Caractéristiques de la diode de structure des SiC-MOSFET à T= 150°C

On remarque pour les deux températures (25°C et 150°C) que chaque courbe présente une pente différente des autres, cependant celle pour le SiC-MOSFET C2M0025120D de CREE a une pente la plus raide, tandis que les transistors SCT2080KE et SCT2160KE de ROHM ont la plus grande pente. Une pente raide correspond à une plus faible résistance interne de la diode de structure, et permet ainsi de réduire les pertes en conduction de cette diode [2]. En outre, la pente signifie la vitesse de commutation de cette diode, si elle est raide implique une diode rapide, cela est très utile pour les cellules de commutation dans les onduleurs.

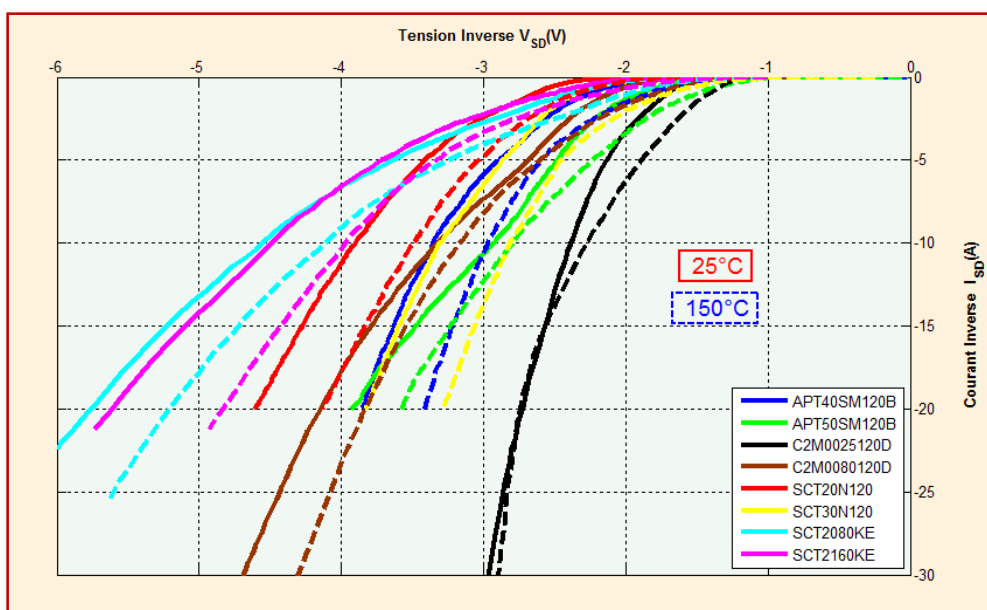


Figure IV.21: Caractéristiques de la diode de structure des SiC-MOSFET à T= 25°C et 150°C

Cette figure montre que pour tous les SiC-MOSFET étudiés la tension de la diode de structure (V_{SD}) diminue avec l'augmentation de la température. On remarque alors que les transistors de CREE sont les plus adaptés à être utilisés dans les bras des onduleurs en raison de leurs courbes $I_{SD}(V_{SD})$ les plus raides, ce qui traduit une très bonne rapidité en commutation.

IV.3.2.6 Résistance interne de grille

La résistance interne de grille R_G d'un transistor MOSFET influencera largement sa performance dynamique [199], c'est pour cela que la connaissance de sa valeur est très importante pour les applications sensibles à la commutation. La valeur de cette résistance est donnée par le databook du fabricant, le tableau suivant regroupe les valeurs de cette résistance pour les SiC-MOSFET étudiés.

Tableau IV. 4: Valeurs de la résistance de la grille R_G des transistors SiC-MOSFET étudiés

Fabricant	Référence	Valeur de R_g (Ω)
CREE	C2M0025120D	1.1 Ω
	C2M0080120D	4.6 Ω
MicroSemi	APT40SM120B	1.3 Ω
	APT50SM120B	1.3 Ω
ROHM	SCT2080KE	6.3 Ω
	SCT2160KE	13.7 Ω
STMicro	SCT20N120	7 Ω
	SCT30N120	5 Ω

On peut remarquer de ce tableau que les transistors SiC-MOSFET de ROHM ont la plus forte résistance interne de grille (R_G), et surtout le transistor SCT2160KE qui présente la plus grande valeur de 13.7 Ω . Ces transistors présentent alors des chutes de tension importantes au niveau du circuit de commande ce qui conduit à l'augmentation de la tension de commande, la chose qui est très désagréable aux concepteurs des circuits de puissance. Par contre, les transistors SiC-MOSFET APT40SM120B et APT50SM120B de MicroSemi, et le C2M0025120D de CREE ont des valeurs de R_G très réduite, produisant des chutes de tension les plus faibles conduisant à des tensions de commande adéquates.

IV.3.3. Caractéristiques Dynamiques des transistors SiC-MOSFET de 1200V

L'étude du comportement dynamique des transistors SiC-MOSFET en fonction de la température se base sur les différents éléments contribuant à la commutation du transistor. On trouve essentiellement les éléments parasites du transistor tels que les capacités interélectrodes.

D'autre part, l'étude du comportement dynamique des transistors SiC-MOSFET porte aussi sur la quantité d'énergie perdue en commutation (à la mise en conduction E_{ON} et au blocage E_{OFF}) en fonction de la température, du courant du drain I_D , de la tension drain source V_{DS} , et de la résistance de la grille R_G . Malheureusement juste le fabricant ROHM donne dans ses databooks les courbes de ces données ($E(V_{DS})$, $E(I_D)$ et $E(R_G)$). Par contre, les autres fabricants donnent les valeurs types dans certaines conditions propres, donc la comparaison de ces paramètres basés sur les données fournies dans les databooks est impossible. Dans ce cas de figure, les chercheurs utilisent leurs propres matériels de mesure [2]. Dans notre cas, on se contente de la comparaison des capacités interélectrodes.

IV.3.2.1 Les capacités interélectrodes

Les capacités interélectrodes de chaque SiC-MOSFET sont données par les databooks du fabricant à la fréquence de 1 MHz, et à la température ambiante (25°C), puisqu'il a été démontré leur indépendance à la variation de la température [2]. Ces capacités sont la capacité C_{iss} d'entrée, la capacité C_{rss} de rétroaction (capacité de Miller) et la capacité C_{oss} de sortie. Elles sont données par:

$$\begin{aligned} C_{iss} &= C_{GS} + C_{GD} \\ C_{oss} &= C_{DS} + C_{GD} \\ C_{rss} &= C_{GD} \end{aligned} \quad (IV.5)$$

Les courbes de ces capacités en fonction de la tension V_{DS} à la température ambiante sont présentées par les figures IV.22, IV.23, et IV.24.

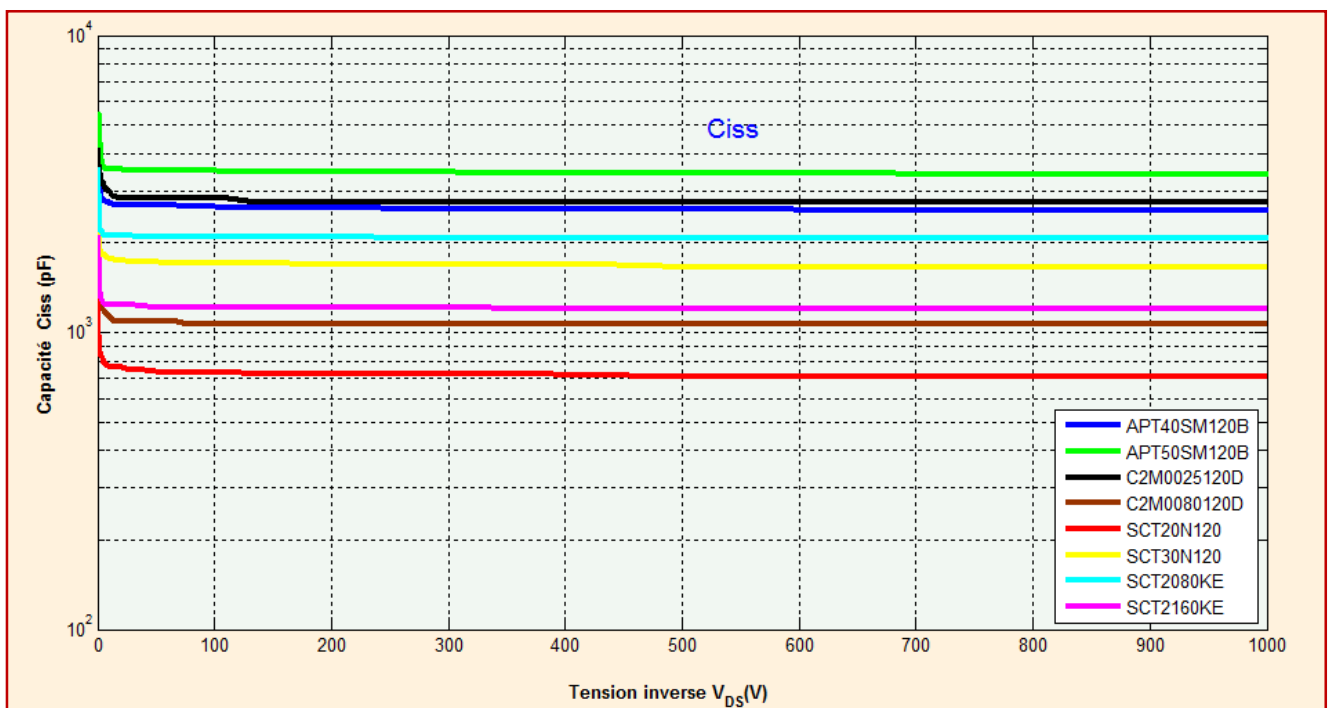


Figure IV.22: Évolution de la capacité d'entrée C_{iss} en fonction de V_{DS}

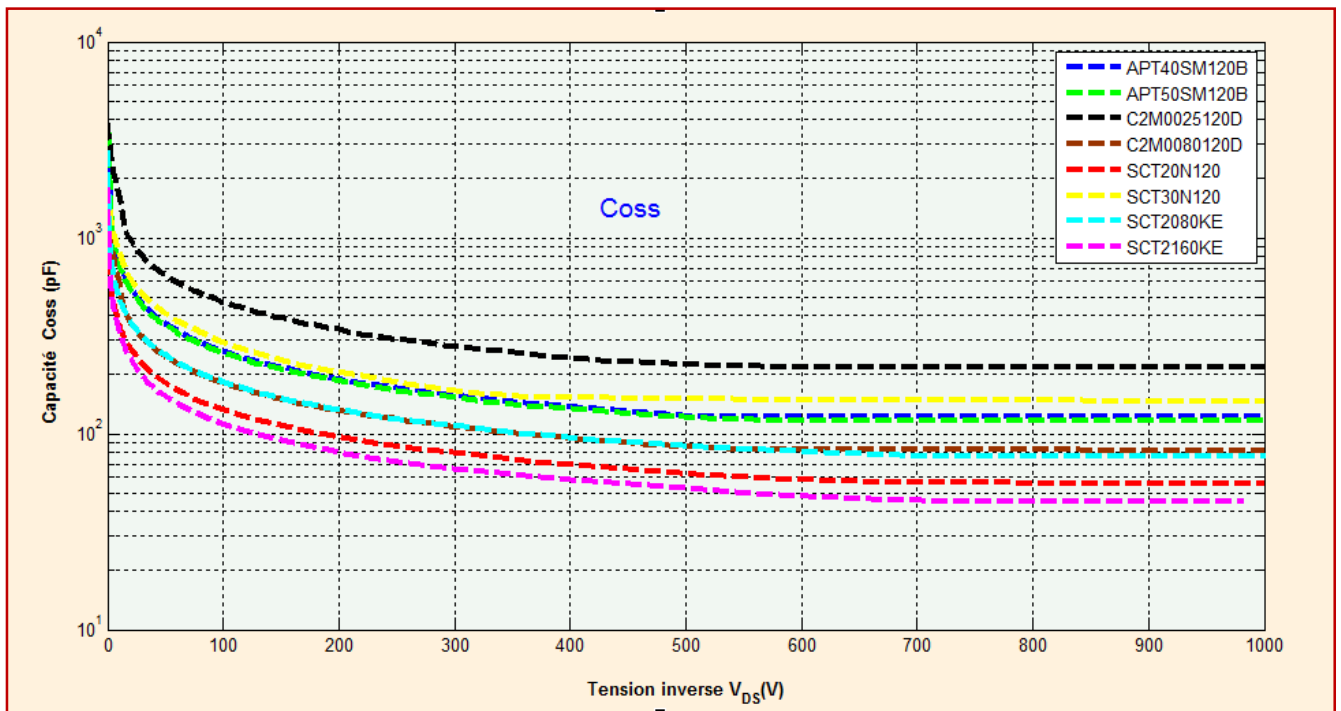


Figure IV.23: Évolution de la capacité de sortie C_{oss} en fonction de V_{DS}

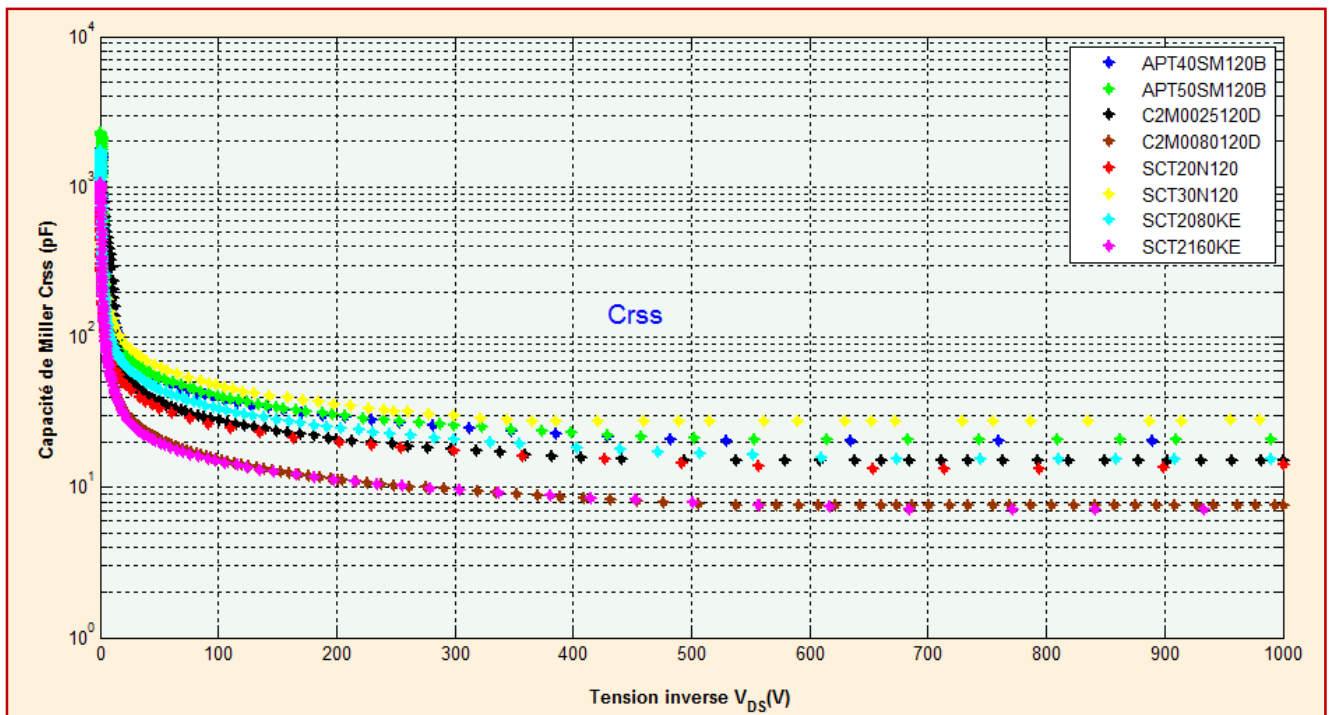


Figure IV.24: Évolution de la capacité de Miller C_{rss} en fonction de V_{DS}

D'après la figure IV.22, les SiC-MOSFET: C2M0080120D de CREE et SCT20N120 de STMicro ont la plus faible capacité d'entrée, pourtant les SiC MOSFET: APT50SM120B et APT40SM120B de MicroSemi, et le C2M0025120D de CREE, ont la plus grande capacité d'entrée. Une capacité d'entrée plus faible réduit la constante de temps de la boucle de grille, ce qui entraîne de faibles retards lors de la commutation et de courts temps de montée (t_N) du courant de drain.

La figure IV.23 montre que les SiC-MOSFET SCT2160KE de ROHM et le SCT20N120 de STMicro ont la plus faible capacité de sortie, tandis que le C2M0025120D de CREE a la plus forte. La capacité de sortie est le principal facteur causant les oscillations parasites durant la phase transitoire au blocage et en conduction. En effet, au cours du blocage le courant du drain voit l'inductance parasite drain-source (L_{DS}) en série avec la capacité de sortie (C_{oss}) ce qui provoque des oscillations parasites. D'autre part lors de la mise en conduction du transistor, la capacité de la jonction de la diode de roue libre se trouve également dans le chemin du courant, mais cette capacité est beaucoup plus petite que celle de sortie du MOSFET. Alors la capacité du transistor est le facteur principal de ces oscillations parasites [2]. Elle est également la cause de la lente montée de la tension drain-source, cela est dû au plus long temps de charge de la capacité drain-source C_{DS} .

Enfin, la figure IV.24 montre que les SiC-MOSFET SCT2160KE de ROHM et le C2M0080120D de CREE ont les plus petites capacités de Miller, tandis que le MOSFET SCT30N120 de STMicro et le APT40SM120B et APT50SM120B de MicroSemi possèdent la plus grande. La capacité Miller a un impact important sur le temps de montée de la tension drain-source V_{DS} , conduisant à une plus grande influence sur les pertes en commutation. L'impact de cette capacité sur la commutation du transistor sera traité par la suite dans la section IV.5.2.

Dans le cas général, les MOSFET ayant les plus grandes tailles de matrice ont des capacités interélectrodes plus élevées. Pour vérifier ce postulat, on divise les valeurs de ces capacités par la surface de la matrice (Tableau IV.3) pour avoir l'évolution de ces capacités spécifiques en fonction de V_{DS} . Les figures IV.25, IV.26, et IV.27 montrent l'évolution de ces capacités spécifiques (C_{iss-Sp} , C_{oss-Sp} , et C_{rss-Sp}) en fonction de V_{DS} .

L'analyse des trois figures IV.25, IV.26, et IV.27 montre que la variation des capacités spécifiques est beaucoup plus faible, et les courbes sont très proches entre eux, que celle des capacités régulières.

La figure IV.25 montre que les capacités spécifiques d'entrées C_{iss-Sp} des SiC-MOSFET le SCT2080KE et le SCT2160KE de ROHM sont presque identiques, et sont les plus importantes, pourtant le transistor C2M0025120D de CREE a la valeur la plus faible de cette capacité, ce qui réduit la constante de temps de la boucle de grille, entraînant les plus faibles retards de commutation et la plus rapide vitesse de montée du courant de drain.

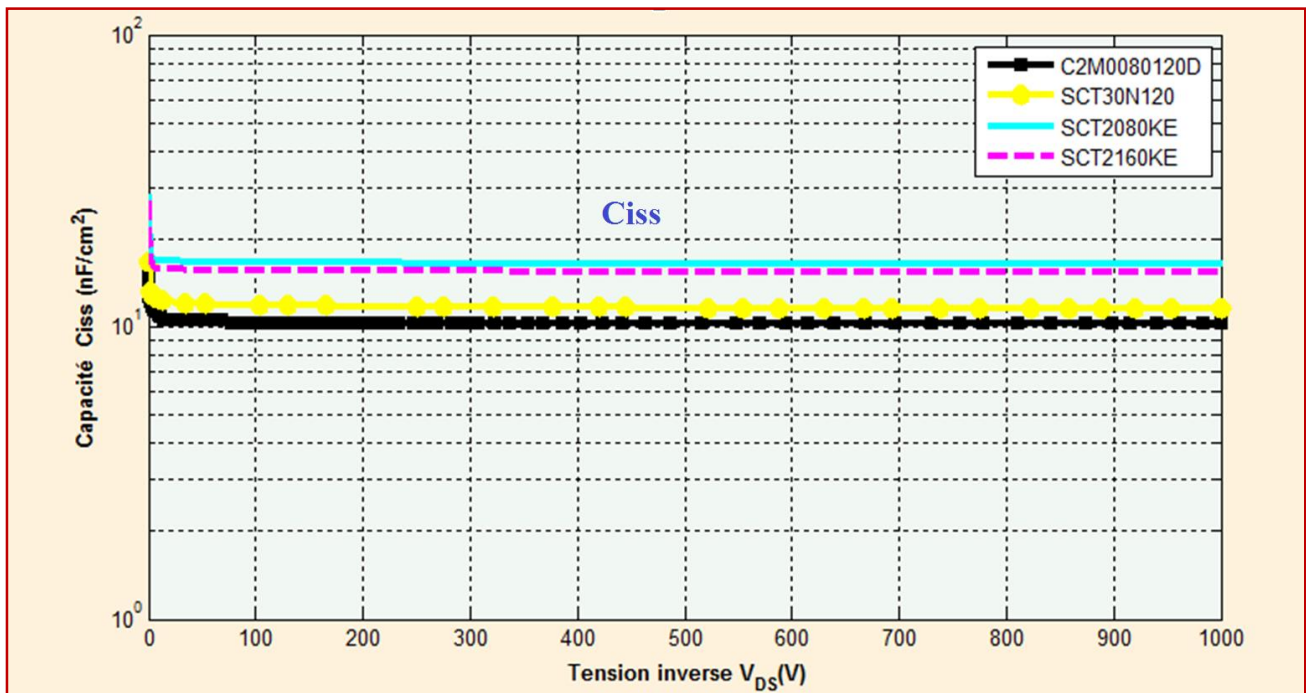


Figure IV.25: Évolution de la capacité spécifique d'entrée Ciss-Sp en fonction de V_{DS}

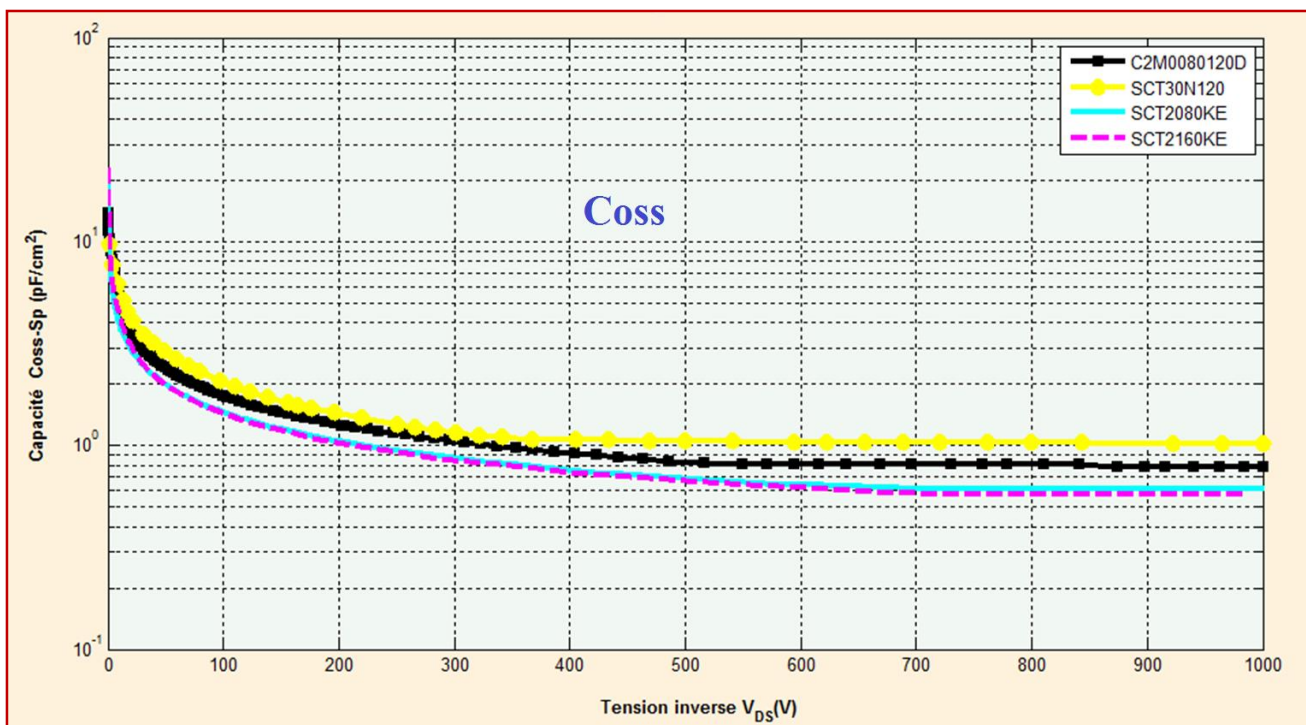


Figure IV.26: Évolution de la capacité spécifique de sortie Coss-Sp en fonction de V_{DS}

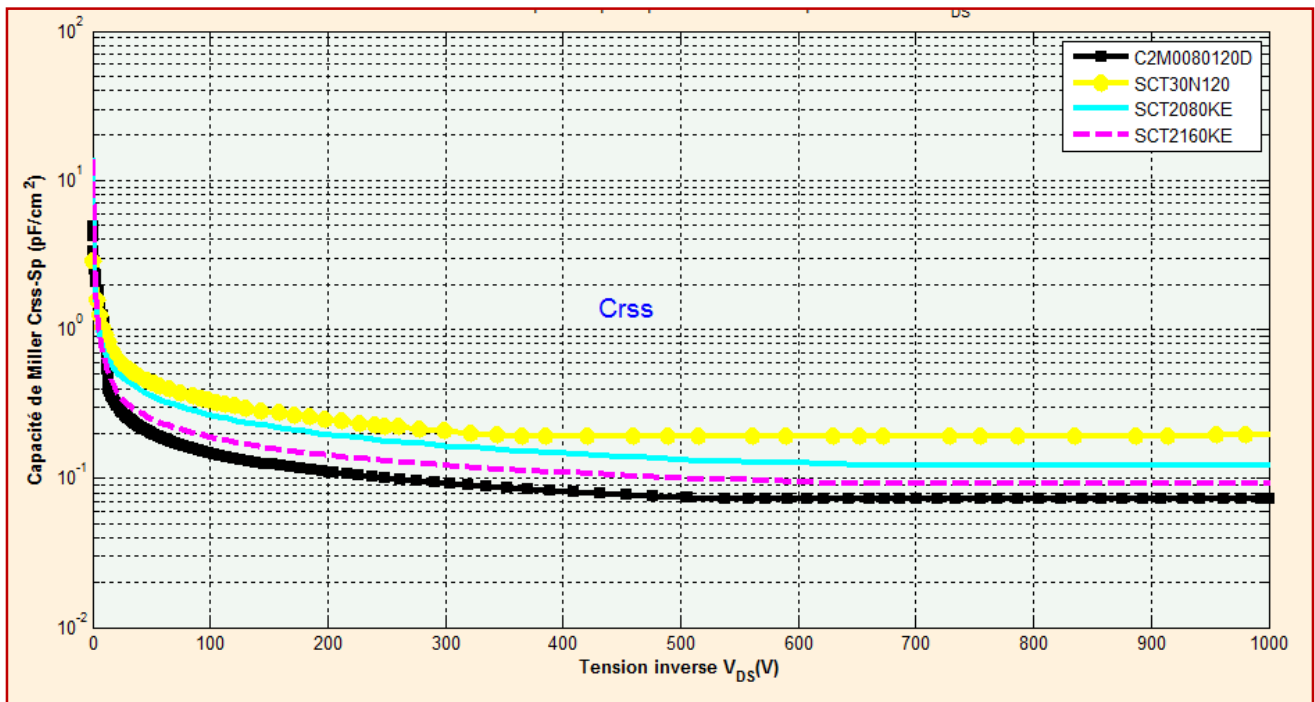


Figure IV.27: Évolution de la capacité spécifique de Miller $C_{r_{ss-Sp}}$ en fonction de V_{DS}

La figure IV.26 montre que les deux transistors de ROHM possèdent les plus faibles capacités C_{oss-Sp} . Par contre, le transistor SCT30N120 de STMicro a la plus importante. Une capacité de sortie importante contribue plus à des oscillations parasites durant le blocage du transistor. En effet, au cours du blocage le courant voit l'inductance drain-source parasite en série avec la capacité de sortie [2]. Cette capacité est également responsable du ralentissement de la montée de tension drain source V_{DS} , cela est dû à un long temps de charge de la capacité drain-source C_{DS} .

D'après la figure IV.27, le transistor C2M0025120D de CREE a la capacité $C_{r_{ss-Sp}}$ la plus faible. Alors que le transistor SCT30N120 de STMicro a la plus importante. La capacité Miller a un impact important sur le temps de montée de la tension drain-source V_{DS} , conduisant à une plus grande influence sur les pertes en commutation.

IV.3.4. Conclusion.

Les résultats de l'analyse des performances et des caractéristiques de ces transistors (SiC-MOSFET) sont regroupés dans le tableau suivant (Tableau IV.5).

L'analyse comparative de ces transistors nous a montré les points suivants:

Certains paramètres sont relativement identiques comme: la tension seuil qui est presque la même chez tous les SiC-MOSFET de la deuxième génération (APT50SM120 de MicroSemi, C2M0025120D de CREE, SCT30N120 de STMicro, SCT2080KE de ROHM) et garde la même

variation en fonction de la température pour tous les SiC-MOSFET étudiés, d'autre part l'évolution de la résistance interne R_{on} en fonction de la température reste la même chez cette génération.

La variation de la résistance interne en fonction de la température reste relativement faible chez les transistors SiC-MOSFET de STMicro aux alentours de 10% entre 25°C et 150°C.

Le transistor C2M0025120D de CREE a la plus raide courbe de variation de la diode de structure, cela traduit sa forte rapidité en commutation, alors ce transistor est le plus adapté à être utilisé dans les applications profitant de la diode de structure comme une diode de roue libre (les onduleurs).

Généralement, les valeurs des résistances internes de grille (R_G) de ces transistors de cette nouvelle technologie (SiC) sont très faibles par rapport à celles des transistors MOSFET en Si. D'après les phénomènes régissant le mécanisme de commutation [200], quand la résistance R_G est relativement très faible à la fermeture du MOS, alors la vitesse de commutation en courant (dI_D/dt) tend vers E/L_D (E : tension à commuter ; L_D : inductance de la piste du drain). Dans ce cas, seul le câblage (L_D) limite cette vitesse. D'autre part, à l'ouverture du transistor seule la capacité C_{DS} influe la vitesse de commutation en tension (dV_{DS}/dt). Cette capacité limite la surtension observable aux bornes du MOSFET ($L_D \cdot dI_D/dt$). On peut dire que les vitesses de commutation en courant et en tension sont de plus en plus indépendantes de la résistance R_G lorsque celle-ci est très faible. Alors le transistor C2M0025120D de CREE c'est le moins dépendant de R_G .

Caractéristique	MicroSemi		CREE		STMicro		ROHM	
	APT40SM120	APT50SM120	C2M0025120D	C2M0080120D	SCT20N120	SCT30N120	SCT2080KE	SCT2160KE
Courant direct I_{Dmax} à 25°C	41A	50A	90A	36A	20A	45A	40A	22A
Tension de blocage V_{DSmax} à 25°C	1200V	1200V	1200V	1200V	1200V	1200V	1200V	1200V
Température Maximale	175°C	175 °C	150 °C	150 °C	200 °C	200 °C	175 °C	175 °C
Tension de commande V_{GS}	-10 à 25 V	-10 à 25 V	-10 à 25 V	-10 à 25 V	-10 à 25 V	-10 à 25 V	-10 à 25 V	-10 à 25 V
Puissance totale dissipée à 25°C	273 W	273 W	463W	192W	175 W	270 W	262 W	165 W
Courant de fuite I_{DSSmax} à 25°C, V_{DSmax}	100µA	100 µA	100 µA	100 µA	100 µA	100 µA	10 µA	10 µA
Tension de Seuil V_{Th} à 25°C	3.0V	2.5V	2.4V	3.0V	3.5 V	2.6 V	2.6 V	3.0 V
% Variation de V_{Th} de 25°C à 150°C	-28.51%	-32.24 %	-25%	-22.33%	-22.90%	-32.66%	-31.71%	-30.31%
Transconductance (gfs) à 25°C	9.10 S	19.45 S	25.01 S	9.90 S	6.29 S	10.19 S	7.71 S	4.88 S
R_{On} à 25°C	80mΩ	50mΩ	25mΩ	80mΩ	240mΩ	80mΩ	80mΩ	160mΩ
% Variation de R_{On} , de 25°C à 150°C	35.77%	61.7%	67.95%	50.00%	7.58%	11.10%	63.5%	72.6%
Surface de la matrice (Die Area)	-----	-----	-----	10.39 mm ²	14.39 mm ²	-----	12.59 mm ²	7.83mm ²
R_{On-Sp} à 25°C (mΩ-cm ²)	-----	-----	-----	8.31	34.54	-----	10.07	12.53
% Variation de R_{On-Sp} de 25°C à 150°C	-----	-----	-----	37.40%	10.00%	-----	38.80%	42.10%
Diode de structure (degré de rapidité)	+++	++	+++++	++	++	+++	+	+

R_G à 25°C	1.3 Ω	1.3Ω	1.1Ω	4.6Ω	7.0Ω	5.0Ω	6.3 Ω	13.7 Ω
Ciss à $V_D=1000V$	2560 pF	3460 pF	2788 pF	950 pF	650 pF	1700 pF	2080 pF	1200 pF
Ciss-Sp (nF/cm ²)à $V_D=1000V$	-----	-----	-----	9.14 nF/cm ²	4.52 nF/cm ²	-----	16.52 nF/cm ²	15.32 nF/cm ²
Ciss à $V_D=0V$	4300 pF	5600 pF	4200 pF	1600 pF	1300 pF	2400 pF	1000 pF	2100 pF
Ciss-Sp (nF/cm ²) à $V_D=0V$	-----	-----	-----	15.40 nF/cm ²	9.03 nF/cm ²	-----	7.94 nF/cm ²	26.82 nF/cm ²
Coss à $V_D=1000V$	120pF	115 pF	220 pF	80 pF	65 pF	130 pF	77 pF	45 pF
Coss-Sp (nF/cm ²)	-----	-----	-----	0.77 nF/cm ²	0.45 nF/cm ²	-----	0.61 nF/cm ²	0.57 nF/cm ²
Crss à $V_D=1000V$	20pF	20 pF	15 pF	7.6 pF	14 pF	25 pF	16 pF	7 pF
Crss-Sp (pF/cm ²)	-----	-----	-----	0.073 nF/cm ²	0.0097 nF/cm ²	-----	0.13 nF/cm ²	0.089 nF/cm ²

Tableau IV. 5 : Résultats de l'analyse des performances et des caractéristiques de ces transistors

Les capacités interélectrodes (C_{GS} , C_{GD} , et C_{DS}) du MOSFET jouent un rôle très important en commutation de ce dernier soit à sa fermeture ou à son ouverture et le tableau suivant montre la contribution de chacune.

Tableau IV. 6 : Impact des capacités internes du SiC-MOSFET sur la commutation

	Fermeture			Ouverture		
	C_{GD}	C_{DS}	C_{GS}	C_{GD}	C_{DS}	C_{GS}
Vitesse de commutation en courant dI_D/dt	+++	++	++	++	+++	+
temps de commutation	-	+	+++	++	+	+++
Vitesse de commutation en tension dV_{DS}/dt	+++	++	+	+++	++	+

Malgré sa dissipation en puissance la plus grande, le transistor C2M0025120D de CREE est le plus performant des transistors étudiés. Ce transistor a le plus grand courant direct s'évaluant à 90A, d'autre part sa résistance R_{On} est la plus faible, conduisant à des pertes relativement faibles en conduction directe. Il possède aussi la tension seuil V_{th} la plus faible, et une transconductance importante ce qui améliore sa rapidité en commutation. Tous ces critères permettant le choix de ce transistor par excellence pour être utilisés dans tous les convertisseurs, essentiellement en haute fréquence et à des puissances relativement élevées jusqu'à 90 KW.

IV.4. Modèles des transistors SiC MOSFET.

IV.4.1. Présentation

Comme montré précédemment, la technologie carbure de silicium (SiC) se diffère de celle de silicium (Si), alors les modèles développés pour le Si-MOSFET ne sont pas bien adaptés pour les SiC-MOSFET. Par conséquent, des efforts importants ont été déployés, soit pour ajuster les modèles des Si-MOSFET existants pour tenir compte des différences observées avec le SiC-MOSFET, ou bien pour développer de nouveaux modèles représentant les caractéristiques des SiC-MOSFET. Dans ce contexte, cette révolution technologique a donné naissance à plusieurs modèles qui diffèrent par leurs types, leurs simulateurs adoptés, et les caractéristiques modélisés.

Dans le tableau suivant, on représente quelques modèles des SiC-MOSFET avec une manière chronologique pour mieux comprendre le développement de ces modèles.

Tableau IV. 7: Chronologie du développement des transistors SiC-MOSFET

Auteur	Année	Type	Contributions	Simulate
McNutt [69] [201]	2003, 2007	Physique	Amélioration de la description du courant de canal comme une somme de deux composantes (Imosl longitudinal et Imosh horizontal).	IMPACT
Hasanuzzaman [202] [203]	2003, 2006	Physique	Division de la région de drift en trois parties (A, B, et C)	PSPICE
Hasanuzzaman [204]	2004	Semi-physique	Compensation de la température avec trois courants (I_R , I_{TH} , et I_{RDS}).	Pas indiqué
Powell [205]	2007	Numérique	Modèle numérique complet considérant la forme du canal, la mobilité des porteurs, et l'état d'interface du canal.	Pas indiqué
Wang [206]	2008	Semi-physique	Modèle SPICE simple du SiC-DMOSFET de puissance avec quelques modifications spécifiques de l'approche classique de la modélisation du canal de Si-MOSFET latéral	PSPICE
Potbhare [207]	2008	Semi-numérique	Modèle physique complet intégrant la densité des porteurs de charges, la rugosité de la surface de diffusion, la vitesse de saturation, etc.	Pas indiqué
Phankong [208]	2009	Semi-physique	Les lois du modèle physique du transistor MOSFET de puissance sont utilisées pour simuler le transistor de puissance en SiC en haute tension.	Pas indiqué
Fu [209]	2010, 2012	Physique	Modélisation de la distribution non uniforme du courant, dans la région JFET à l'aide d'une source de tension non linéaire et un réseau de résistances.	PSPICE
Mudholkar [198] [210]	2011, 2014	Physique	Nouvelle stratégie d'extraction des paramètres basée sur le modèle McNutt à base uniquement de databook de fabricant.	SABER
Cui [211]	2012	Comportement	Extraction des paramètres physiques du MOSFET de puissance à partir de l'expérience pour simuler le transistor de puissance en SiC en haute tension.	PSPICE
Yin [212]	2013	Semi-physique	Réseau RC de Foster utilisé pour la modélisation thermique.	PSPICE
Pushpakaran [213]	2013	Numérique	Modèle du transistor en 2D créé en utilisant le simulateur SILVACO ATLAS pour l'étude d'un transistor 4H-SiC-MOSFET de puissance de 1200V.	SILVACO
Lu [214] [215]	2013, 2014	Semi-physique	Modèle modifié d'un SiC MOSFET valide en basse température; l'effet négatif de la tension de commande de grille sur la capacité C_{GS} est également inclus.	PSPICE

Alexakis [216]	2013	Comportement	Modèle possède une résistance drain-source, et trois capacités interélectrodes.	Matlab
Merkert [217]	2014	Comportement	Un modèle purement mathématique pour prédire les pertes du composant.	Matlab
d'Alessandro [218]	2014	Semi-physique	Température dépendant de la tension seuil de la grille et de la mobilité des porteurs.	PSPICE
Giammatteo [219]	2014	Semi-physique	Description des caractéristiques statiques et dynamiques par des sources de courant et de tension dépendant de la température.	Matlab/Simulink

IV.4.2. Modèles Physiques.

Les modèles physiques des transistors SiC MOSFET de puissance sont basés sur les équations fondamentales du semiconducteur [37] [38] [46] [105]. Le calcul physique réel de ces modèles est au-delà de la portée de ce travail. Cependant, on traite quelques exemples bibliographiques:

Dans [202] [203] [220]: un modèle analytique du SiC-VDMOSFET a été développé. Ce modèle a été proposé sur la base d'une analyse régionale du déplacement des porteurs dans le canal et la région de drift. La zone de migration a été divisée en trois parties: la région d'accumulation; la région de drift incliné avec un angle de 45° de section transversale et la région de drift de surface de région constante (Figure IV.4). Les chutes de tension à travers ces régions ont été calculées en fonction du champ électrique généré dans chacune de ces régions.

Un autre modèle du SiC-VDMOSFET basé sur la physique a été proposé dans [209], où la distribution du courant non uniforme dans la zone JFET a été modélisée en utilisant une source de tension non linéaire et un réseau de résistances, ainsi le modèle dynamique a été représenté par des capacités non linéaires. Cependant, l'avantage de ce modèle est que l'ensemble des équations utilisées sont à la fois pour décrire le fonctionnement du transistor dans les deux régions: ohmique et active.

Dans [73] [209]: les auteurs ont présenté un modèle compact du SiC-MOSFET de puissance. Le canal du courant est composé de deux canaux en parallèle. Un canal dans la région de très faible courant, en raison de la conduction au niveau des coins des cellules de MOSFET et un autre pour le courant élevé, en raison de la partie principale des cellules de MOSFET. Cette méthode fournit une plus grande souplesse pour la modélisation du transistor. En raison de la particularité de la description du courant du canal, ce modèle pourrait reproduire le passage progressif de la zone ohmique à la zone active observée dans le SiC MOSFET de puissance. L'extraction des paramètres a été faite en utilisant le logiciel IMPACT.

Dans [206] [218]: une nouvelle stratégie d'extraction des paramètres du modèle cité dans [73] [209] a été introduite, elle s'appuie sur les données de la fiche technique du MOSFET seulement, éliminant le besoin de la caractérisation expérimentale.

IV.4.3. Modèles Semi-Physiques.

Ces modèles ont été initialement développés sur la base des équations classiques de Shockley pour la description des caractéristiques statiques du LMOSFET en Si et en Ge. Ces équations sont mises en œuvre, par exemple: dans le modèle du MOSFET niveau 1 de PSPICE. Par l'application de quelques modifications, de nombreux chercheurs sont servis de ces équations pour la modélisation des transistors SiC-VDMOSFET de puissance, comme suit:

Sur la base du modèle décrit dans [214], les auteurs dans [222] [223] ont introduit des modifications pour élargir la validité du modèle pour recouvrir en plus les températures négatives allant jusqu'à (-25°C). L'effet négatif de la tension de commande de la grille sur la capacité grille-source (C_{GS}) a été également inclus dans le modèle proposé.

Dans [220], pour tenir compte des effets d'autoéchauffement du semiconducteur, les auteurs ont utilisé un réseau RC de Foster pour la modélisation thermique, ce modèle thermique est couplé avec un modèle électrique basé sur les équations de Shockley du LMOSFET.

En outre, un autre modèle à fort signal (pour le 6H-SiC MOSFET) avec la compensation de la température a été proposé dans [212]. Les courants de compensation dépendant de la température ont été considérés comme étant en parallèle avec le courant principal du canal entre le drain et la source. Les trois courants modélisés dépendant de la température sont: le courant de fuite de la structure (I_{DSS}), le courant du changement du canal dû à la variation de la tension seuil (V_{Th}), et le courant de changement du canal qui est dû à la variation de la résistance de contact drain-source.

Dans [213]: les auteurs ont ajouté au modèle standard du MOSFET: une source de tension dépendant de la température en série avec la grille, pour modéliser la variation de la tension seuil (V_{Th}) avec la température de fonctionnement. Deux sources de courant dépendant de la température ont été mises en parallèle, pour décrire successivement le comportement de la mobilité des porteurs, et l'effet d'avalanche en fonction de la température. Ainsi une source de tension dépendant de la température a été mise en série, avec le drain pour représenter la chute de tension due à la résistance de drift en fonction de la température.

Dans [221]: les auteurs ont introduit un modèle simple du MOSFET de puissance. C'est un modèle SPICE niveau 3. Ce modèle a eu une excellente fonctionnalité d'extraction rapide des paramètres, et a été initialement proposé pour un canal court CMOS.

Dans [208]: un modèle du MOSFET de puissance a été utilisé pour simuler le SiC-MOSFET de puissance en haute tension. Ce modèle est basé sur les caractéristiques statiques liées aux comportements dynamiques d'un Si-MOSFET de puissance. Il se base sur la physique des semiconducteurs, et des structures physiques du transistor. Ses paramètres sont extraits à partir des caractéristiques mesurées

IV.4.4. Modèles Numérique.

Dans [213]: Un modèle numérique 2-D du transistor 4H-SiC-MOSFET 1200 V de puissance a été créé en utilisant le simulateur SILVACO ATLAS. Ce modèle tient compte des effets de la recombinaison, le rétrécissement de la bande interdite, l'ionisation par impact, et le réseau d'échauffement thermique.

Un modèle considérant la mobilité des porteurs et l'état d'interface numérique complets a été développé dans [205]. La distribution du courant du canal en fonction de la tension de polarisation a été résolue numériquement en deux dimensions.

IV.4.5. Modèles Semi-Numérique

La faible mobilité des électrons dans la surface de la couche d'inversion du canal est une limitation sévère de SiC-MOSFET fonctionnant à des conditions de puissance et de température élevées [37].

Cette faible mobilité de la surface d'inversion est due au grand nombre de défauts d'interface au cours du processus d'oxydation thermique du MOSFET. Un modèle physique complet a été donné, incorporant la densité des porteurs de charges, la rugosité de la surface de diffusion, la diffusion des électrons, la vitesse de saturation, etc. [207].

La rugosité de la surface de diffusion réduit la mobilité de la surface dans les régions sous-seuil. Alors que le courant de saturation est limité par la vitesse de saturation des porteurs.

IV.4.6. Modèles Comportementaux.

Ces modèles comportementaux sont largement développés pour les Si-MOSFET, ce sont des macromodèles électrothermiques représentant les caractéristiques statiques et dynamiques du transistor. Ils sont basés dans la plupart des cas sur le modèle Shichman-Hodges [105] [222], sur le modèle EKV [223] [224] [105], ou sur le modèle Berkeley IGFET (BSIM) [3] [223].

Dans [225]: un modèle comportemental sous SPICE a été utilisé. Les caractéristiques statiques, dynamiques et thermiques ont été représentées par des sources de tension et de courants commandées, et des composants passifs (résistances, capacités et inductances).

Dans [206]: un modèle SPICE simple pour le SiC-MOSFET de puissance a été proposé avec quelques modifications spécifiques dans l'approche de la modélisation du canal conventionnel du Si MOSFET. Cependant, des sources de tension et de courant dépendantes de la température ont été ajoutées pour décrire les variations des caractéristiques du circuit d'entrée (la tension seuil et la transconductance du semiconducteur) en fonction de la température. La réduction de la mobilité des porteurs dans les régions de drift et de JFET a été considérée dans la modélisation de la résistance R_{On} . Le modèle proposé a été validé dans la gamme de température de 25°C à 200°C.

Dans [211]: les auteurs ont proposé un modèle comportemental avec PSPICE pour le SiC-MOSFET de puissance de 1200V/30A pour une large gamme de température. Ce modèle a été construit en utilisant les paramètres physiques représentant les comportements statiques, dynamiques, et thermiques du SiC-MOSFET de puissance. Les effets des parasites du circuit sur la commutation sont aussi inclus dans ce modèle.

Pour tenir compte des caractéristiques dynamiques à la mise en conduction d'un SiC-MOSFET, un modèle comportemental de MOSFET a été proposé dans [216] sous Matlab. Celui de SiC-MOSFET se compose d'une résistance drain-source et de trois capacités interélectrodes. La résistance drain-source R_{On} peut être commutée de l'infini à une petite valeur finie et vice versa, en fonction de la tension de grille du transistor. Les inductances parasites du boîtier du composant ont été envisagées pour simuler avec précision les oscillations transitoires.

Dans [217]: les auteurs ont développé un modèle SiC MOSFET comportemental à l'aide des fonctions polynomiales pour estimer les pertes dans l'interrupteur de puissance afin de mettre en évidence les avantages de la technologie SiC par rapport à son homologue en Si. La résolution de ces équations est basée sur des programmes Matlab.

IV.4.7. Conclusion

Cette analyse chronologique a montré une diversité de modèles des transistors SiC-MOSFET sous de multiples simulateurs et de langages de simulation, ce qui favorise le choix (selon leur disponibilité) pour les concepteurs de circuit.

Comme déjà montrés, les modèles physiques restent les plus précis, mais ils sont aussi les plus complexes puisqu'ils font introduire les équations de base de la physique du semiconducteur. Alors que les modèles comportementaux restent les plus simples et de précision acceptable. Ils sont alors les plus adaptés pour les concepteurs des circuits.

IV.5. Modèle proposé

Comme déjà montrée, la modélisation comportementale possède un bon compromis simplicité-précision. Notre démarche de contribution à la modélisation du transistor SiC-MOSFET sera un modèle électrothermique comportemental. En raison de sa structure cellulaire et son fonctionnement unipolaire, le MOSFET se prête bien la modélisation par circuit équivalent [199]. Il est donc possible de modéliser séparément le comportement statique. Puis, on y ajoute les capacités interélectrodes (C_{GD} , C_{GS} , et C_{DS}), et la diode de structure [226] [227].

Dans cette partie, on présente en détail notre approche adoptée pour concevoir le modèle électrothermique comportemental du transistor SiC-MOSFET sous SPICE, de même la manière que celle présentée pour la diode. Ce modèle est basé sur le modèle MOS niveau 1 de SPICE autour

duquel on ajoute des sources de tension et de courant de la bibliothèque ABM contenant des équations liées aux imperfections, aux caractéristiques statiques, dynamiques et au comportement thermique du transistor SiC-MOSFET.

IV.5.1. Modélisation de la caractéristique statique

Les caractéristiques statiques ou le comportement statique d'un transistor MOSFET reflètent son fonctionnement en état stable du courant/tension (DC). Le fonctionnement du MOSFET en conduction peut être séparé en deux régimes : linéaire (ohmique) et active (Figure IV.28). Dans le premier régime, le courant est imposé par le circuit externe, dans ce cas le MOSFET se comporte comme une résistance modulée par la tension V_{GS} . Cependant dans le second régime, le courant est limité par le transistor et ne dépend plus que de la tension V_{GS} . En tout cas le courant I_D est influé par l'augmentation de la température de jonction du transistor causée par son échauffement.

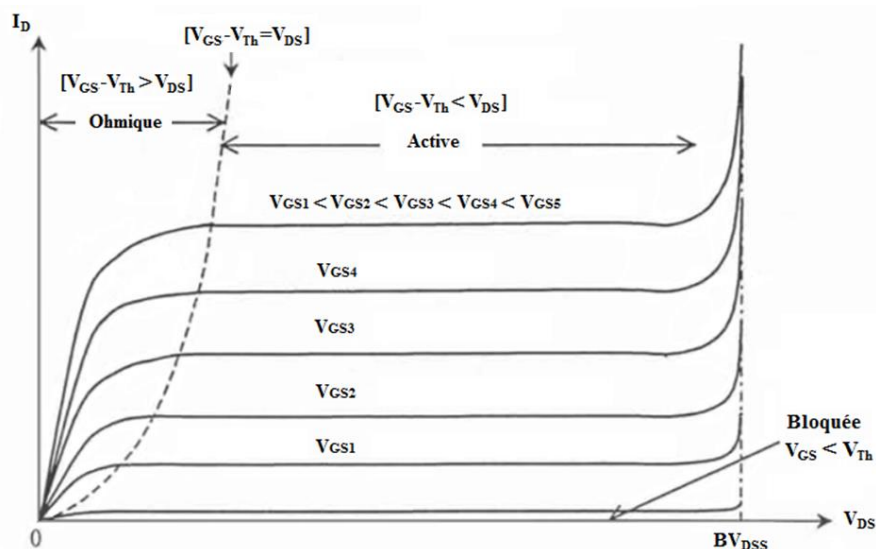


Figure IV.28: Caractéristique de sortie I_D (V_{DS}) pour différentes valeurs de V_{GS}

Le SiC-MOSFET se trouve dans son état de blocage lorsque la tension grille-source V_{GS} est inférieure à la tension seuil V_{Th} , qui est de l'ordre de quelques volts. Dans ce cas, le transistor supporte la totalité de la tension appliquée, qui doit être inférieure à sa tension de claquage (V_{Br}). Lorsqu'il est soumis à une tension V_{GS} élevée, il est amené dans sa zone ohmique où la tension V_{DS} est petite. Alors le SiC-MOSFET est dans sa zone ohmique lorsque:

$$V_{GS} - V_{th} > V_{DS} > 0 \quad (IV.6)$$

Dans la zone active le courant du drain (I_D) est indépendant de la tension drain-source V_{DS} , il dépend uniquement de la tension grille-source (V_{GS}) (parfois, on dit que le courant est saturé et donc on appelle cette zone "Zone de Saturation", ceci peut prêter une confusion avec la saturation dans les transistors bipolaires). Une relation simple du premier ordre, prédit que dans la zone active le courant

de drain est approximativement donné par (IV.7), où K_p est une constante dépendant de la géométrie du transistor.

$$I_D = K_p \cdot (V_{GS} - V_{th})^2 \quad (IV.7)$$

À la frontière entre la zone active et la zone ohmique (ligne en pointillé Figure IV.33) où V_{DS} est égale à $V_{GS} - V_{th}$, l'équation (IV.7) devient (IV.8).

$$I_D = K_p \cdot V_{DS}^2 \quad (IV.8)$$

Ceci est une manière de délimiter la frontière entre les deux zones comme montrée sur la figure IV.28. La relation exprimée par l'équation (IV.7) est raisonnablement appliquée pour les MOSFETs de faibles signaux, quant aux MOSFETs de puissance, leur caractéristique de transfert est plutôt linéaire (Figure IV.29).

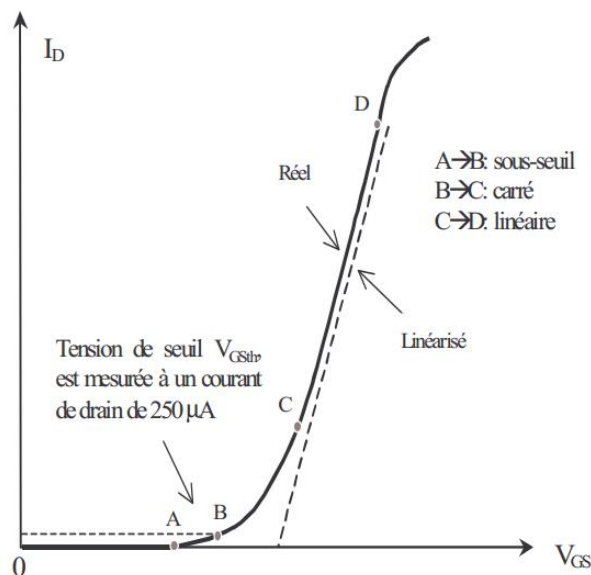


Figure IV.29: Caractéristique de transfert du transistor MOSFET de puissance

Dans notre démarche de modélisation, le comportement statique à modéliser comprend:

- Caractéristique de transfert.
- Tension seuil V_{Th} .
- Caractéristique de sortie et Résistance interne de l'état passant R_{On}
- Diode de structure $I_{SD}(V_{SD})$.
- Courant de fuite du drain I_{DSS} .

IV.5.1.1. Caractéristique de transfert.

Comme montré précédemment, cette caractéristique représente la variation du courant de drain I_D dans la zone active. Alors pour la modélisation de cette caractéristique, on va se servir de l'équation (IV.7). Pour le faire, on propose de mettre un transistor MOSFET du niveau 1 de SPICE (MOSNiv1) comme le cœur du modèle, il est utilisé pour décrire le gain du transistor à la température ambiante ($T=25^\circ\text{C}$) sur toute la plage du courant à partir de la région sous-seuil. Les paramètres V_{TO} (zero-bias threshold voltage) et K_p (Transconductance parameter) du MOSNiv1 sont extraits à partir de l'interpolation de la courbe de transfert $I_D(V_{GS})$ (Figure.IV.30) sous forme d'équation (IV.7).

Utilisant la méthode d'optimisation par le recuit simulé, précédemment présentée, on a corrélié la courbe de la caractéristique de transfert fournie par le databook du transistor SiC-MOSFET (Figure IV.31) à la température ambiante avec l'équation (IV.7), pour avoir les valeurs des deux paramètres V_{Th} et K_p , la figure IV.31 montre le résultat de cette démarche.

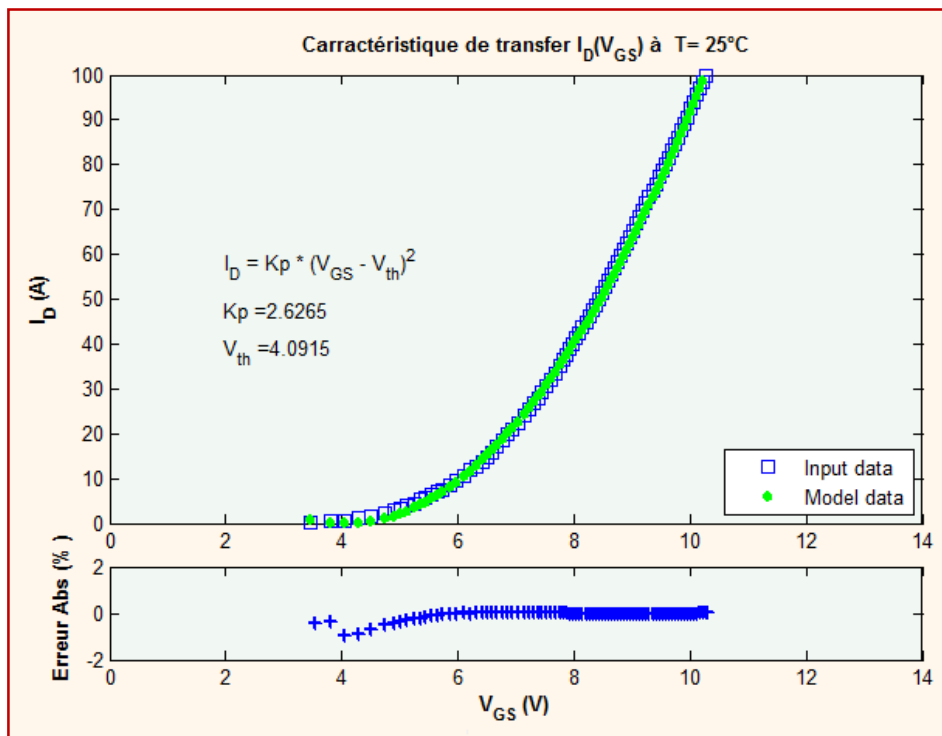


Figure IV.30: Interpolation polynomiale de la caractéristique de transfert du SiC-MOSFET de puissance (haut), et son erreur relative (bas)

Comme montré sur la figure IV.31, la caractéristique de transfert est influencée par la température. Alors pour en tenir compte on ajoute une source ABM (VCVS) E3 pour adapter la transconductance du transistor à la température de jonction. On s'intéresse dans ce cas à la partie linéaire de la courbe de la caractéristique de transfert $I_D(V_{GS})$.

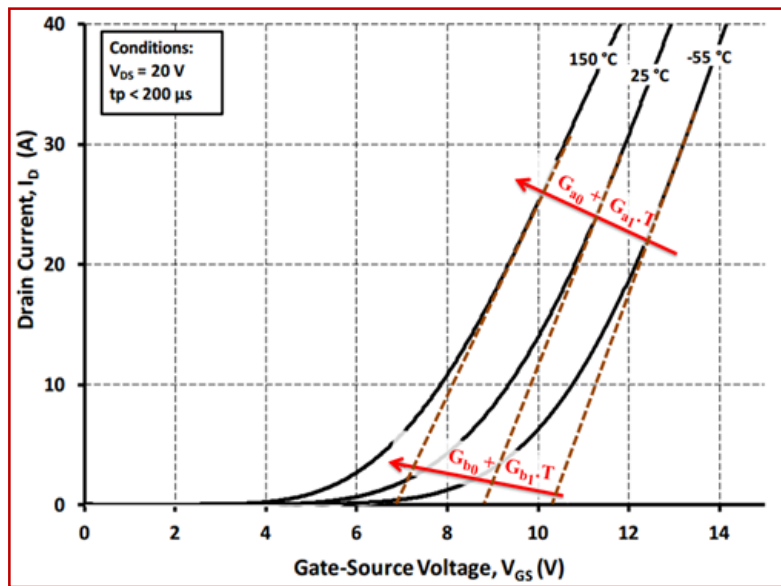


Figure IV.31: Dépendance en température de la caractéristique de transfert du SiC-MOSFET

L'équation représentant cette caractéristique est la suivante:

$$E_3 = (G_{a0} + G_{a1} \cdot V(T)) \times V_{GS} + (G_{b0} + G_{b1} \cdot V(T)) \quad (IV.9)$$

Cette équation, est l'équation de commande de la source STCT E3, les coefficients G_{a0} , G_{a1} , G_{a2} , G_{b0} , G_{b1} , et G_{b2} sont les coefficients des polynômes d'interpolation polynomiale des courbes de données du fabricant (Figure IV.32), obtenues par la méthode d'optimisation adoptant le recuit simulé à une erreur près :

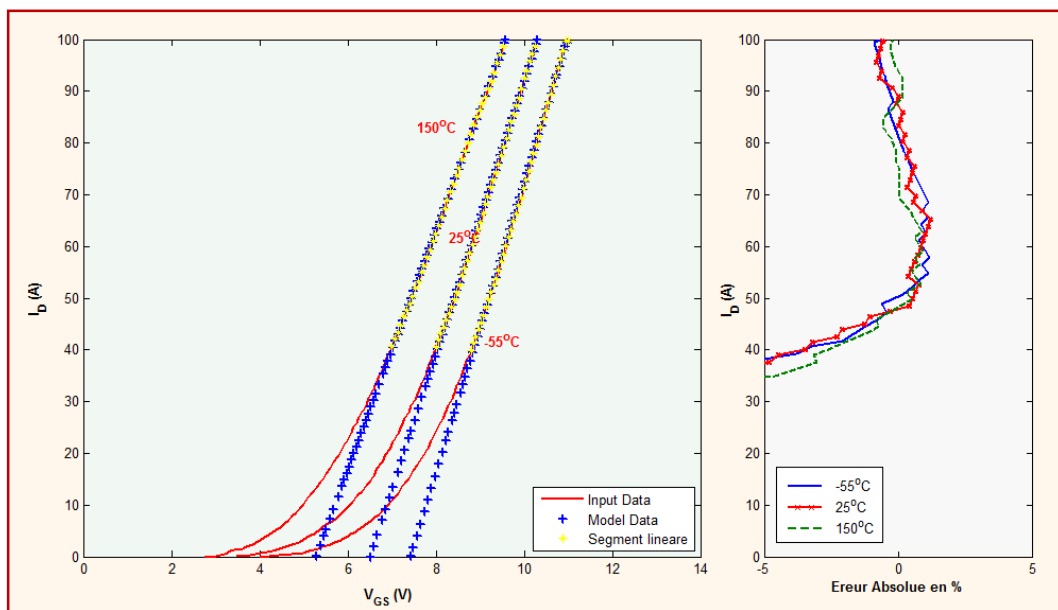


Figure IV.32: Résultats de l'interpolation polynomiale de la caractéristique de transfert (transconductance) du SiC-MOSFET (gauche) et son erreur relative (droite)

Le modèle complet de la caractéristique de transfert est le suivant:

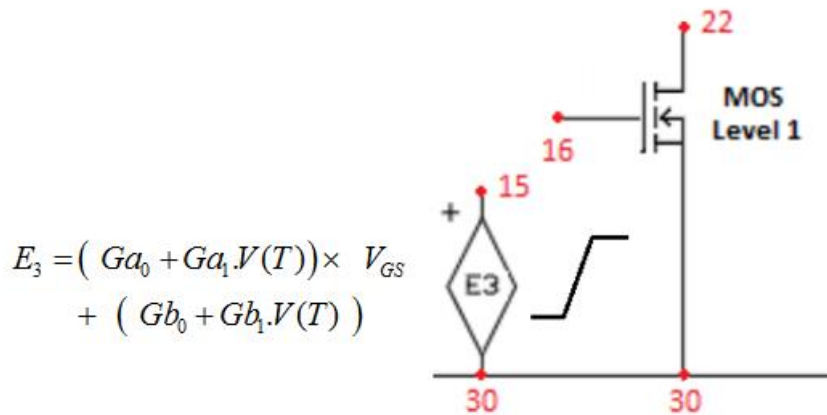


Figure IV.33: Modèle SPICE proposé pour la caractéristique de transfert du SiC-MOSFET

IV.5.1.2. Tension Seuil V_{Th}

Même si les transistors SiC-MOSFET de puissance couvrent une large plage de puissance selon leurs technologies et leurs tailles. Ils sont très souvent pilotés par des niveaux de tension de grille standardisés de -10 à 25V et ont des tensions de seuil de 1.6 à 4V [18] [22]. Cette tension de seuil est généralement influencée par d'autres paramètres physiques liés à la géométrie et la structure intertransistor [18]. La température est l'un de ces paramètres, cependant les fabricants des SiC-MOSFET fournissent la courbe de variation de cette tension avec la température dans leur databook. Cette variation est souvent linéaire ou relativement linéaire (Figure IV.34).

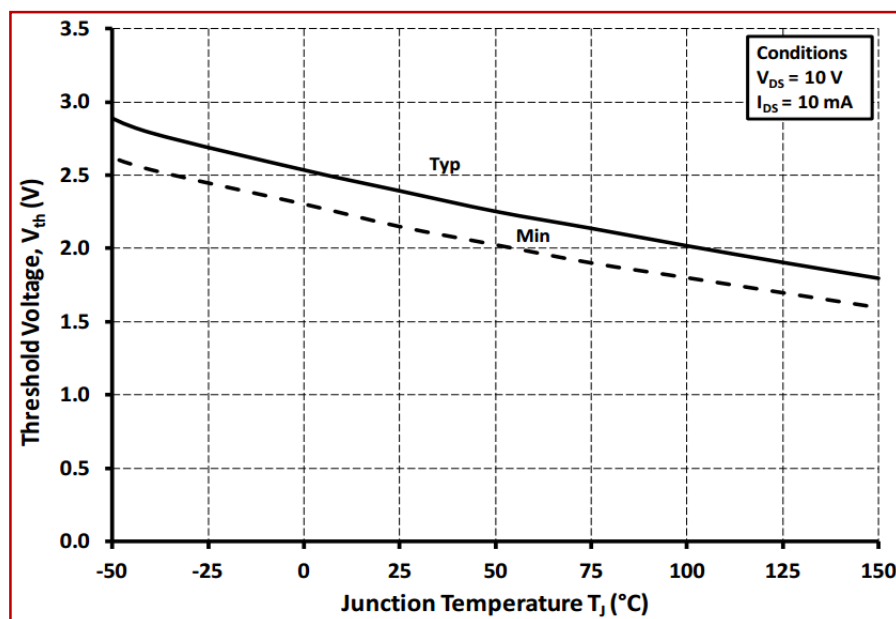


Figure IV.34: Courbe de variation de la tension seuil avec la température donnée par le fabricant

Le modèle proposé pour cette caractéristique est une source de tension E4 commandée par une tension placée en série avec le MOSFET niveau 1 (cœur du modèle complet). La fonction de commande est une équation linéaire (droite) en fonction de la température (IV.10).

$$V_{th} = a V(T) + b \tag{IV.10}$$

Cette équation est l'équation de commande de la source STCT E4, les coefficients a et b sont obtenus par la méthode d'optimisation adoptant le recuit simulé comme le montre la figure suivante :

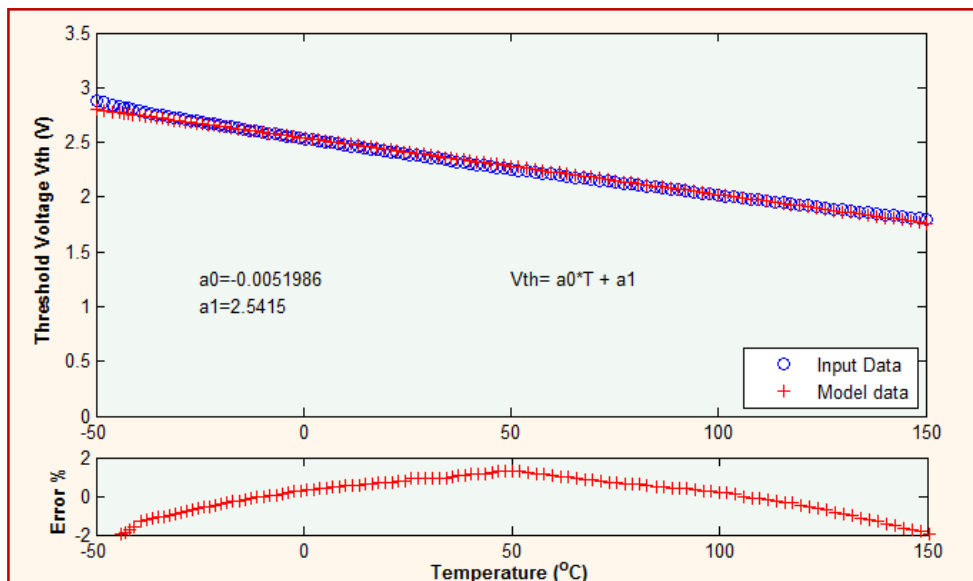


Figure IV.35: Résultats de l'interpolation polynomiale de la tension seuil du SiC-MOSFET (haut) et son erreur relative (bas).

Le modèle proposé pour cette caractéristique est le suivant:

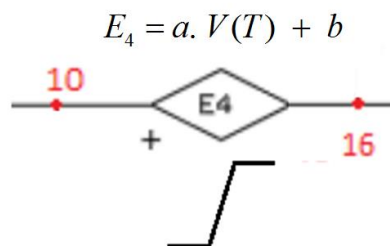


Figure IV.36: Modèle SPICE proposé pour la tension seuil du SiC-MOSFET

IV.5.1.3. Caractéristique de sortie et Résistance à l'état passant Ron.

La comparaison des transistors Si-MOSFET et SiC-MOSFET a montré une grande différence au niveau de la répartition des zones ohmiques, de saturation, et de quasi-saturation [69]. Pour le Si-MOSFET, ces trois zones sont très distinctes (Figure IV.37). En effet, la zone ohmique est large, la

zone de quasi-saturation est très étroite et la zone de saturation s'obtient vite après quelques voltes de la variation de V_{DS} . Par contre pour le SiC-MOSFET comprend une zone ohmique étroite, une zone de quasi-saturation très large, et la zone de saturation relativement loin, elle est obtenue après plus de 10V de V_{DS} (Figure IV.37).

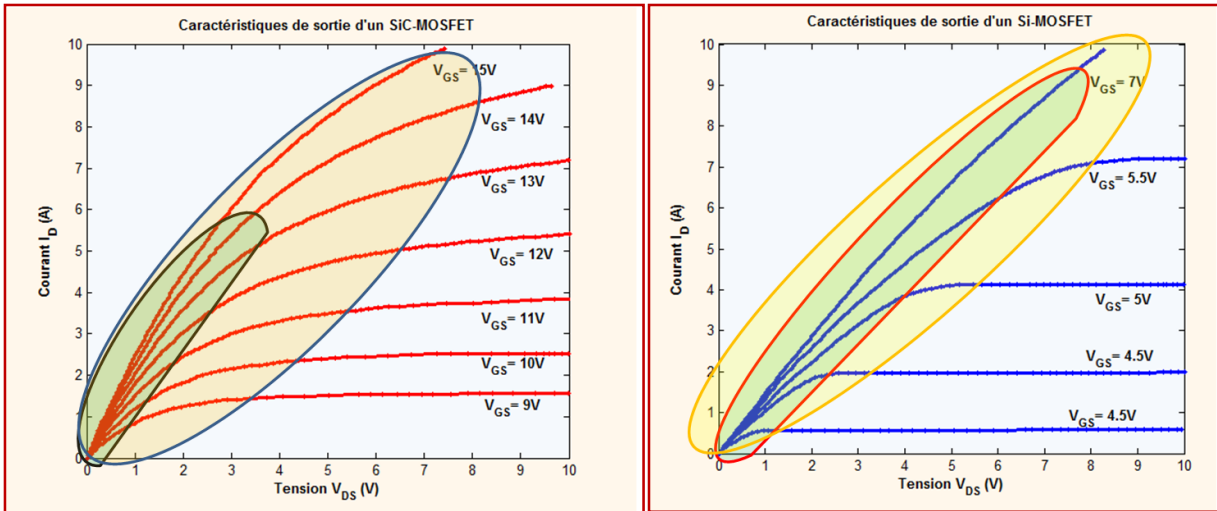


Figure IV.37: Caractéristiques de sortie des SiC-MOSFET (gauche) et Si-MOSFET (droite)

La modélisation de la zone ohmique d'un SiC-MOSFET a posé une certaine difficulté vu son étroitesse. Pour simplifier la modélisation de cette zone (Ohmique), on considère toutes les dépendances de V_{DS} avec I_D , V_{GS} et T° linéaires, la modélisation se fait de la manière suivante:

Dans un premier temps, V_{DS} est linéaire avec I_D , alors la tension V_{DS} s'écrit sous forme :

$$V_{DS}(I_D) = R_A \cdot I_D + R_B \quad (IV.11)$$

On interpole les données numérisées pour chaque température et pour chaque tension V_{GS} . La figure IV.38 montre les résultats de cette interpolation ($V_{DS}(I_D)$) pour les tensions V_{GS} de 10 à 20V à la température de 25°C pour le transistor SiC MOSFET APT40 de MicroSemi.

Après avoir obtenu les coefficients R_A et R_B pour chaque tension V_{GS} , on interpole ces données une autre fois d'une manière linéaire en fonction de V_{GS} , on obtient les équations suivantes:

$$\begin{aligned} R_A(V_{GS}) &= R_{A0} \cdot V_{GS} + R_{A1} \\ R_B(V_{GS}) &= R_{B0} \cdot V_{GS} + R_{B1} \end{aligned} \quad (IV.12)$$

Donc
$$V_{DS}(I_D, V_{GS}) = (R_{A0} \cdot V_{GS} + R_{A1}) \cdot I_D + (R_{B0} \cdot V_{GS} + R_{B1}) \quad (IV.13)$$

Les résultats de cette interpolation ($V_{DS}(I_D, V_{GS})$) pour les tensions V_{GS} de 10 à 20V et à la température de 25°C pour le transistor SiC MOSFET APT40 de MicroSemi sont montrés sur la figure IV.39.

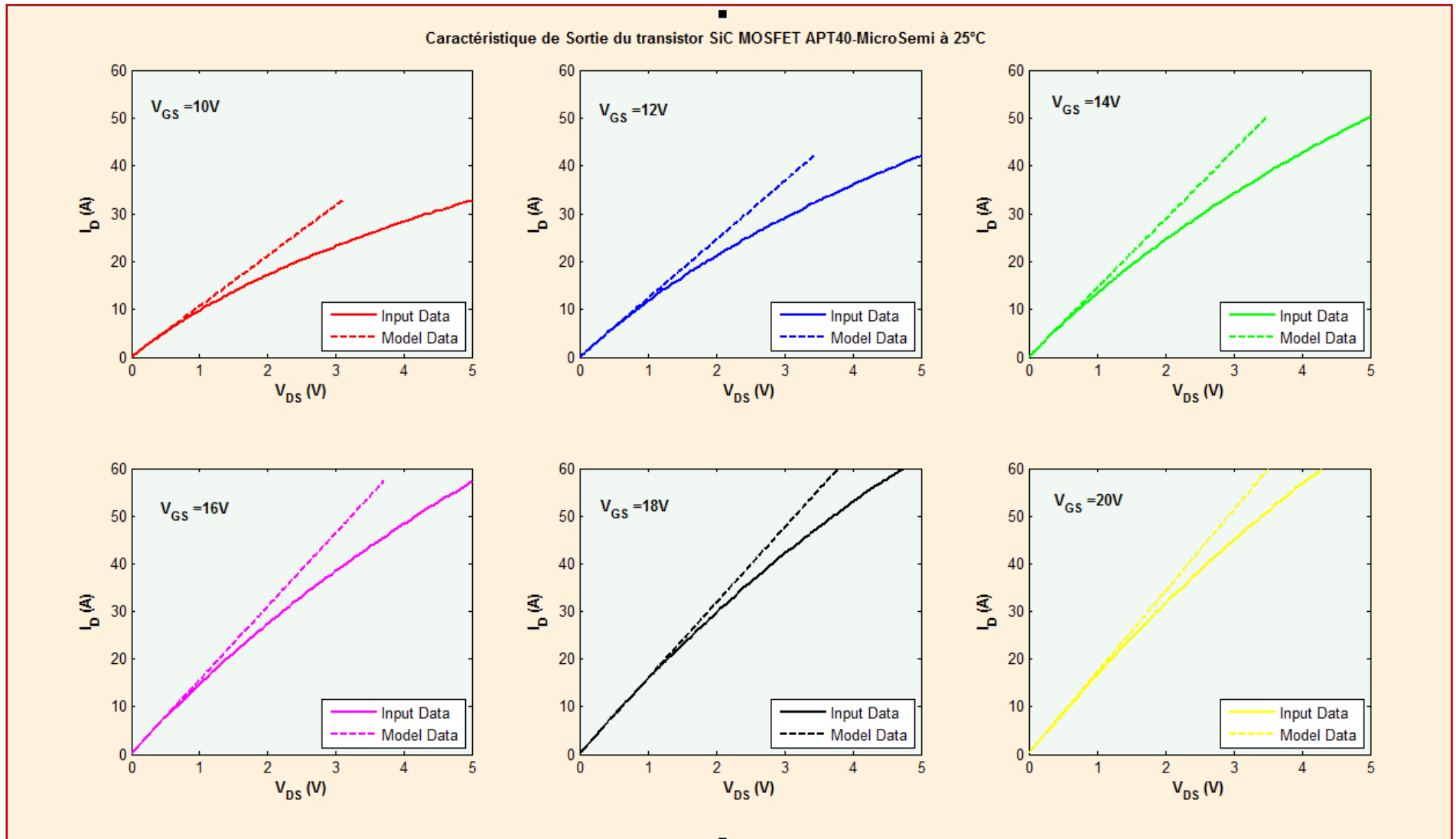


Figure IV.38: Résultats d'interpolation linéaire de V_{DS} (I_D) pour les tensions V_{GS} (de 10V à 20V)

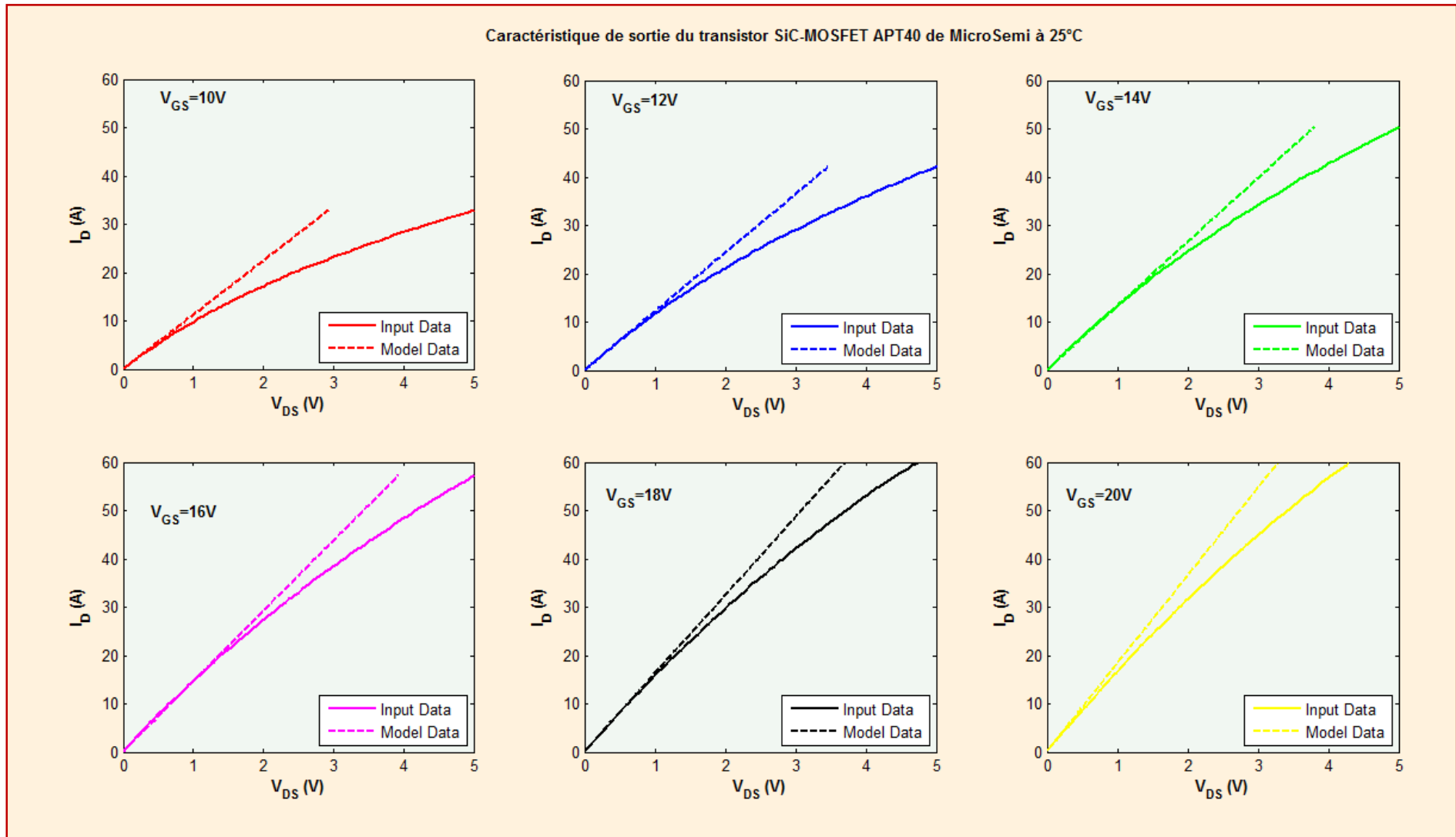


Figure IV.39: Résultats d'interpolation linéaire de V_{DS} (I_D, V_{GS}) pour les tensions V_{GS} (de 10V à 20V)

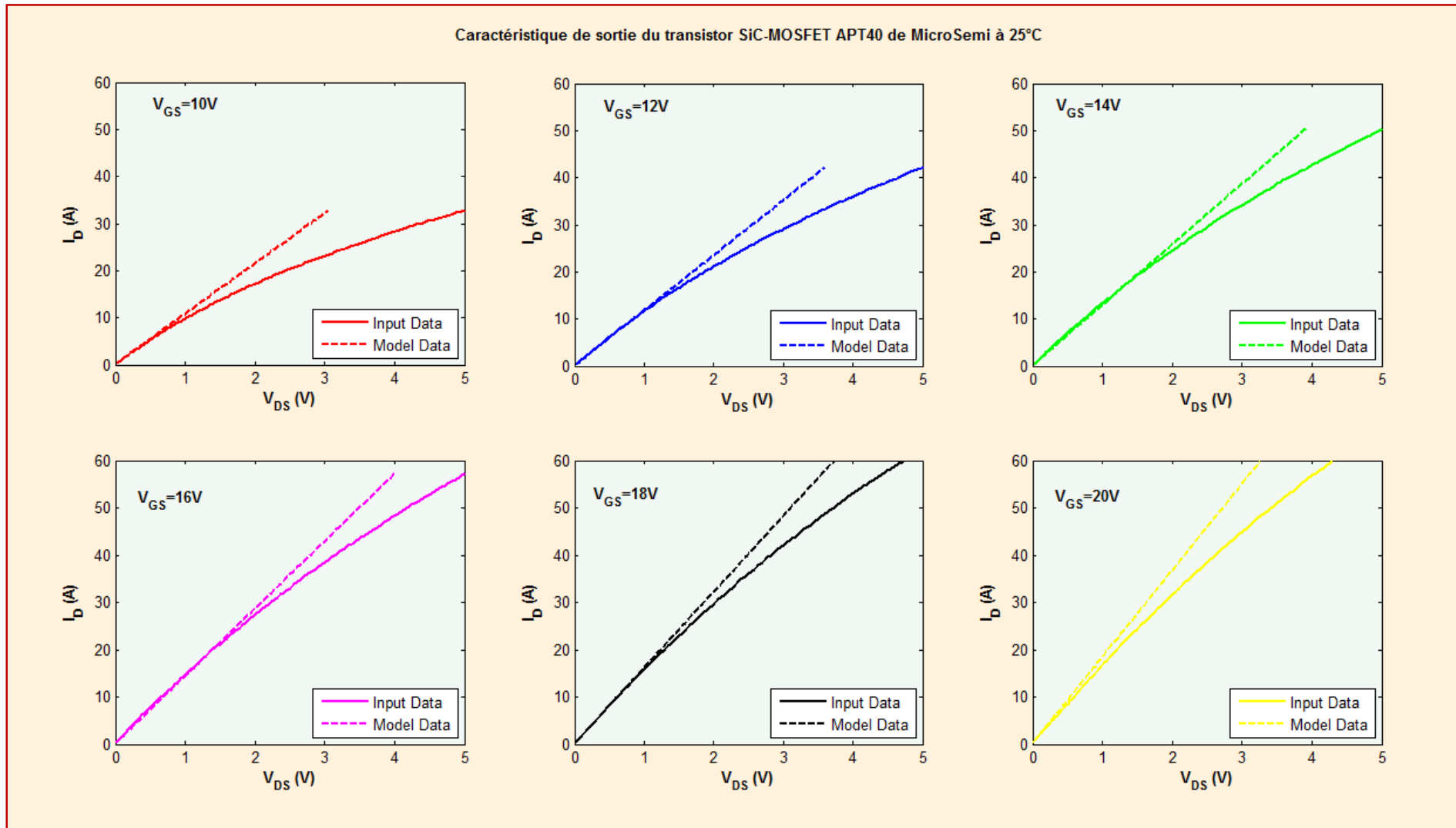


Figure IV.40: Résultats d'interpolation linéaire de V_{DS} (I_D, V_{GS}, T°) pour les tensions V_{GS} (de 10V à 20V)

Pour tenir compte de la variation de la caractéristique de sortie en fonction de la température; les coefficients R_{A0} , R_{A1} , R_{B0} , et R_{B1} sont aussi interpolés linéairement en fonction de la température (T°), et on obtient les équations suivantes:

$$\begin{aligned} R_{A0} &= R_{A00} \cdot T + R_{A01} \\ R_{A1} &= R_{A10} \cdot T + R_{A11} \\ R_{B0} &= R_{B00} \cdot T + R_{B01} \\ R_{B1} &= R_{B10} \cdot T + R_{B11} \end{aligned} \quad (\text{IV.14})$$

$$V_{DS}(I_D, V_{GS}, T^\circ) = \left[\left(\{R_{A00} \cdot T + R_{A01}\} \cdot V_{GS} + \{R_{A10} \cdot T + R_{A11}\} \right) \cdot I_D + \left(\{R_{B00} \cdot T + R_{B01}\} \cdot V_{GS} + \{R_{B10} \cdot T + R_{B11}\} \right) \right] \quad (\text{IV.15})$$

Les coefficients R_{A00} , R_{A01} , R_{A10} , R_{A11} , R_{B00} , R_{B10} , R_{B01} , et R_{B11} sont obtenus à partir de cette interpolation linéaire. La figure IV.40 montre les résultats de cette approche ($V_{DS}(I_D, V_{GS}, T^\circ)$) pour avoir tous les coefficients de l'équation (IV.15).

Le modèle proposé pour cette caractéristique est sous forme d'une source E_6 (STCT) contrôlée par l'équation (IV.15) qu'on réécrit sous la forme suivante:

$$E_6 = \left[\left(\{R_{A00} \cdot T + R_{A01}\} \times V_{GS} + \{R_{A10} \cdot T + R_{A11}\} \right) \times I(V_1) + \left(\{R_{B00} \cdot T + R_{B01}\} \times V_{GS} + \{R_{B10} \cdot T + R_{B11}\} \right) \right] \quad (\text{IV.16})$$

La sortie de la source SVCT E_6 représentant la caractéristique statique de sortie ($I_D(V_{DS})$) au niveau de la zone ohmique en fonction de la température est une rampe limitée par la valeur maximale de la région ohmique (20V, 100A).

Il faut noter aussi que la source E_3 représentant la caractéristique de transfert (Figure IV.28) contribue de sa part à la modification de la caractéristique de sortie (positionnement du MOSFET : zone ohmique ou zone active). Cependant pour ajuster cette modification on ajoute encore une source STCT E_5 , représentant l'erreur amplifiée, causée par la chute de tension drain-source, et qui limite le courant I_D à une valeur déterminée par l'admittance d'entrée du modèle (E_3) comme le montre l'équation suivante:

$$E_5 = Gain \times (I_D - I_{adm}) \quad (\text{IV.17})$$

La sortie de E_5 est une rampe limitée par la valeur maximale de la tension V_{DS} de la région active (1200V). Le modèle proposé représentant toute la caractéristique de sortie est montré sur la figure IV.41.

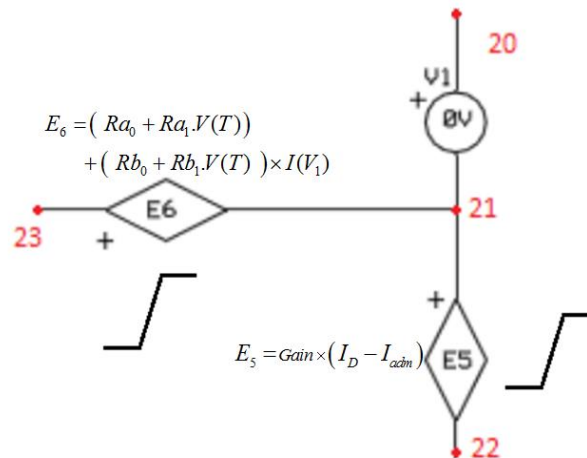


Figure IV.41: Modèle SPICE proposé pour la caractéristique de sortie du SiC-MOSFET

IV.5.1.4. Diode de structure.

La principale difficulté de l'utilisation de la diode de structure d'un transistor MOSFET de puissance est sa caractéristique de recouvrement inverse. En raison de la longue durée de vie des porteurs dans la région de drift du transistor, la diode de structure se trouve à l'exposition d'un recouvrement inverse très lent avec une grande quantité de charges recouverte [139]. Cependant dans la diode, on observe un très fort courant de recouvrement inverse (I_P) qui croit avec l'augmentation de dI_D/dt (avec une vitesse de commutation plus élevée). Malheureusement, le courant de crête inverse (I_P) circule dans le circuit à travers le transistor imposant une dissipation de puissance et conduisant à sa fatigue.

Il est préliminaire de tenir compte de cette diode, et faire intégrer son modèle dans celui de l'interrupteur, puisque cette diode garde les mêmes caractéristiques de la diode normale. Alors son modèle est similaire à celui de la diode du chapitre III. De côté simplification, afin de ne pas trop alourdir le modèle du composant on propose juste de modéliser cette diode à sa polarisation directe, c'est lorsque le SiC-MOSFET est en inverse. Cependant, les données de la caractéristique de la diode de structure sont fournies par le fabricant sous forme des courbes $I_{SD}(V_{SD})$ pour chaque température ($T = -55, T = 25$ et $T = 150^\circ\text{C}$) et pour les V_{GS} négatives ($V_{GS} = -5, -2$ et 0V). Le modèle de la diode de structure comprend une diode de référence niveau 1 de SPICE en série avec la source de tension commandée E_7 [228].

Pour chaque température, les courbes $I_{SD}(V_{SD})$ en fonction de V_{GS} ont la même allure et sont très proches entre elles (Figure IV.42). Alors pour réduire la complexité du modèle on a pris que les courbes de $V_{GS} = 0\text{V}$, c'est la tension commune pour tous les composants étudiés.

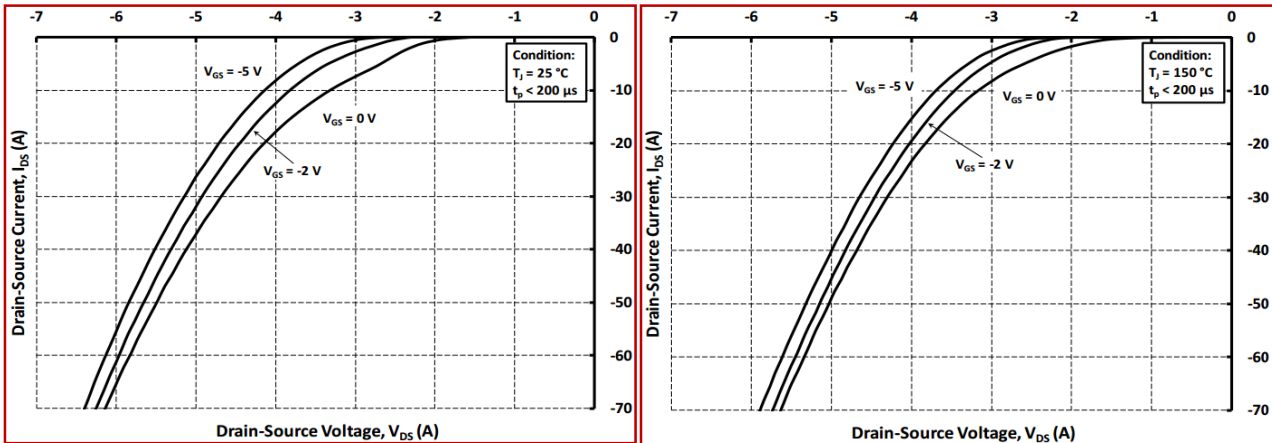


Figure IV.42: Caractéristique de la diode de structure pour les températures 25°C et 150°C

L'équation de commande de la source E7 est la suivante :

$$E_7 = \log\left(\frac{I_D}{10^{-14}} + 1\right) \times (Da_0 + Da_1.V_{Tj} + Da_2.V_{Tj}^2) \times 0.0257 + (Db_0 + Db_1.V_{Tj} + Db_2.V_{Tj}^2) \times I_D \quad (IV.18)$$

Les coefficients Da_0 , Da_1 , Da_2 , Db_0 , Db_1 , et Db_2 sont les coefficients des polynômes d'interpolation polynomiale des courbes données par les fabricants. La fonction de commande de E_7 est en fonction du courant de drain traversant la diode. La valeur de ce dernier est relevée par la source de tension V3 qui se comporte ici comme un Ampèremètre puisque sa tension est de 0V. Le modèle proposé est le suivant.

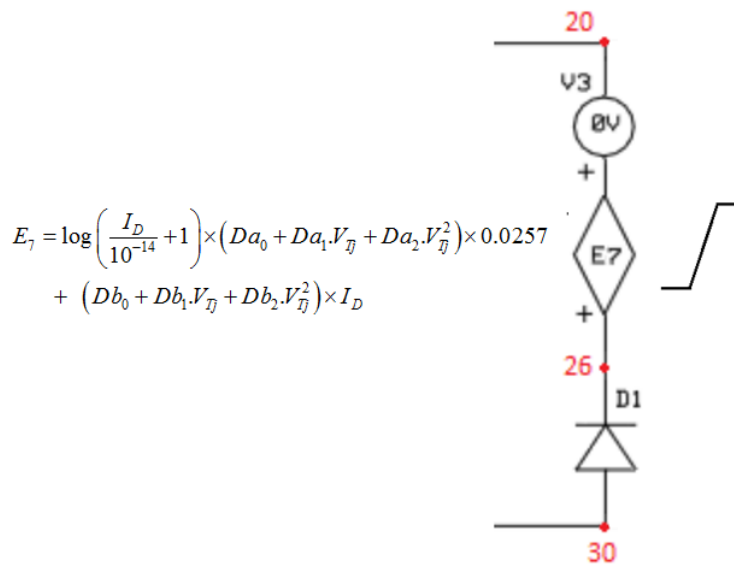


Figure IV.43: Modèle SPICE proposé pour la diode de structure du SiC-MOSFET

IV.5.1.5. Courant de fuite du drain I_{DSS}

Le courant de fuite au blocage du transistor I_{DSS} est évalué sous la tension drain source V_{DS} et en court-circuitant ses bornes grille-source ($V_{GS}=0$) pour les températures étudiées. Les mesures montrent que I_{DSS} augmente légèrement avec la température [2].

Le fabricant donne dans le databook la valeur maximale de I_{DSS} sous certaines conditions ($V_{DS}=1200V$, et $V_{GS}=0V$) (voir tableau IV.2). Pour simplifier le modèle, on représente I_{DSS} par une source de courant $G2$ de valeur constante, en série avec une source de tension de $0V$ servant à relever la valeur de ce courant (calcul de puissance dissipée). Dans le cas où le fabricant donnerait la courbe d'évolution de I_{DSS} en fonction de V_{DS} paramétrée en T° , alors I_{DSS} sera une source de courant commandée par une équation extraite à partir de la courbe des données. Le modèle proposé est le suivant:

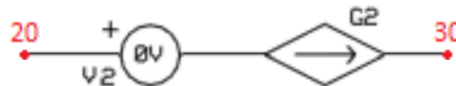


Figure IV.44: Modèle SPICE proposé pour le courant de fuite du SiC-MOSFET

IV.5.2. Modélisation de la Caractéristique Dynamiques.

Plusieurs modèles de circuits équivalents représentant la caractéristique dynamique ont été proposés pour le Si-MOSFET de puissance par les chercheurs [229] [56] [230] [231]. Les MOSFET de puissance sont intrinsèquement plus rapides que les transistors bipolaires, car ils n'ont pas trop de porteurs stockés devront se déplacer dans les couches faiblement dopées du semiconducteur. Les seules charges à déplacer sont celles des capacités parasites et des capacités de la couche de déplétion.

IV.5.2.1. Capacités du transistor SiC- MOSFET.

a. Présentation

Le SiC-MOSFET comprend principalement trois capacités parasites interélectrodes: C_{GS} , C_{GD} , et C_{DS} qui caractérisent son comportement dynamique. Ils sont liés entre eux par l'intermédiaire de la capacité d'entrée C_{iss} , la capacité de Miller C_{rss} , et la capacité de sortie C_{oss} (équation IV.5).

Vu l'importance des capacités du MOSFET, les fabricants fournissent des données concernant les capacités non linéaires dans leurs databooks sous forme des abaques. Sur lesquels, on trouve deux types de données à ce propos: Les trois capacités interélectrodes: C_{iss} , C_{rss} et C_{oss} sont données en fonction de la tension V_{DS} (Figure. IV.45). Alors que la caractéristique de la charge de grille est donnée en fonction de la tension de grille V_{GS} sur la figure IV.46.

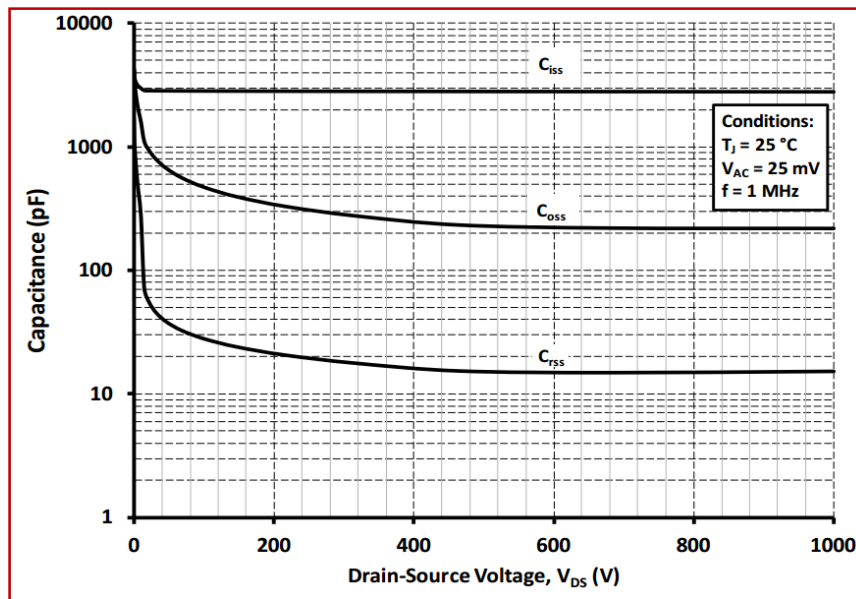


Figure IV.45: Évolution des capacités interélectrodes d'un SiC-MOSFET

La caractéristique de la charge de grille est très utile lors du dimensionnement du transistor. En effet pour la commande elle sert d'une part à comparer les composants selon leurs besoins de commande (puissance nécessaire pour le circuit de commande) et d'autre part, elle indique la vitesse de commutation de l'interrupteur de puissance. La figure IV.46 représente la caractéristique de la charge de grille pour deux différents SiC-MOSFET.

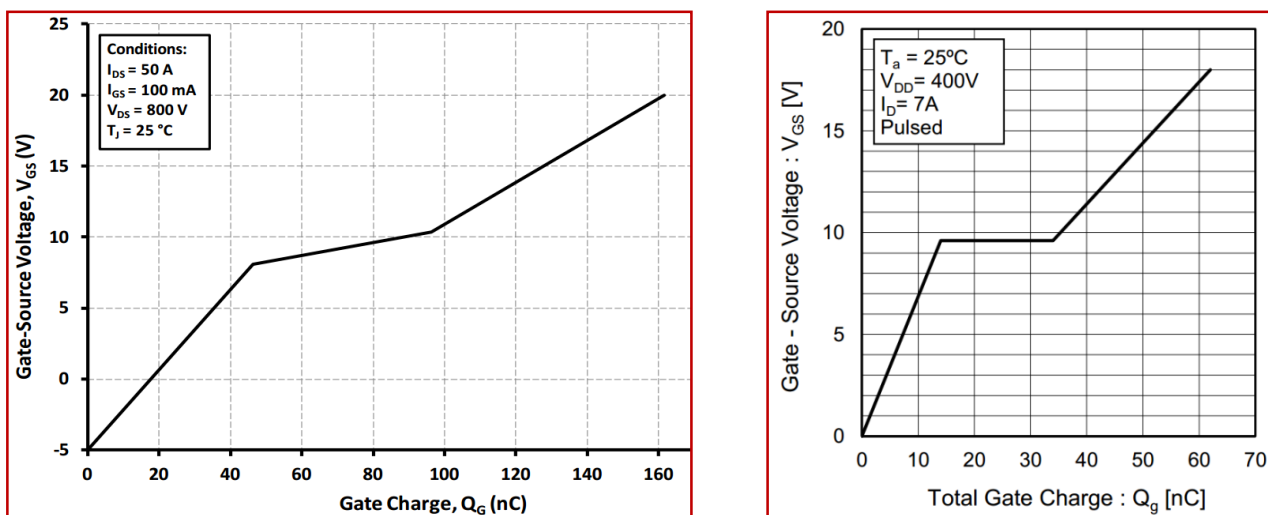


Figure IV.46: Caractéristique de la charge de la grille pour le CD0020120D CREE (gauche), et pour le SCT2080KE ROHM (droite)

Par comparaison de ces deux figures, on remarque une différence au niveau du plateau des deux courbes qui a une valeur fixe pour le SCT2080KE de ROHM, ce qui est similaire avec les transistors Si-MOSFET, par contre le SiC-MOSFET C2M0025120D de CREE a un plateau légèrement incliné.

Si on présente cette caractéristique sous forme d'une capacité non linéaire, à l'aide d'équation (IV.19) on obtient la figure IV.47.

$$C_{iss} = \frac{I_G}{\frac{dV_{GS}}{dt}} \Bigg|_{V_{DS}=cte} = \frac{dQ_G}{dV_{GS}} \Bigg|_{V_{DS}=cte} \quad (IV.19)$$

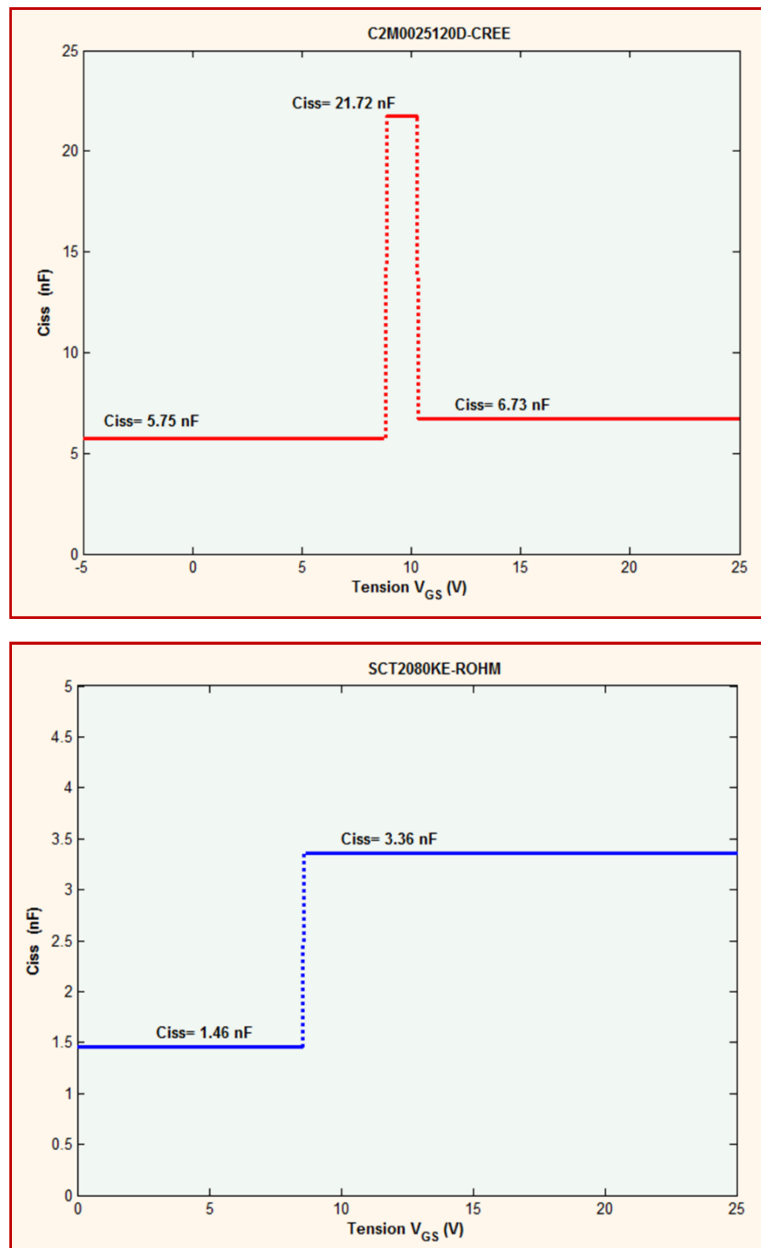


Figure IV.47: Capacité d'entrée en fonction de V_{GS} pour les SiC-MOSFET: CD0020120D CREE, et SCT2080KE ROHM

L'analyse de ces deux courbes nous montre une similitude de la deuxième courbe (SCT2080KE) avec la variation de C_{iss} en fonction de V_{GS} d'un transistor Si-MOSFET. Par contre, la première courbe nous montre une transition intermédiaire de valeur importante, entre les deux valeurs prévues de C_{iss} (valeur de début et valeur de fin de charge de C_{iss}). Cette transition intermédiaire on la trouve dans les SiC-MOSFET de CREE et de STMicro. Dans le sens de la commutation, les transistors SiC-MOSFET sont rapides [196] et le temps du plateau est donc relativement faible. Alors pour notre démarche de modélisation on la néglige, et on considère l'allure d'évolution de cette caractéristique est semblable à celle du transistor Si-MOSFET (plateau constant avec deux valeurs pour C_{iss}).

b. La capacité d'entrée C_{GS}

Les capacités du MOSFET et en particulier la capacité d'entrée sont fortement non linéaires en fonction de la tension appliquée aux bornes du transistor. La capacité d'une structure MOS est une combinaison série de deux capacités (la capacité d'oxyde C_{OX} et la capacité de la couche de déplétion du SiC, C_{SiC}), comme la montre les figures IV.48 et IV.49.

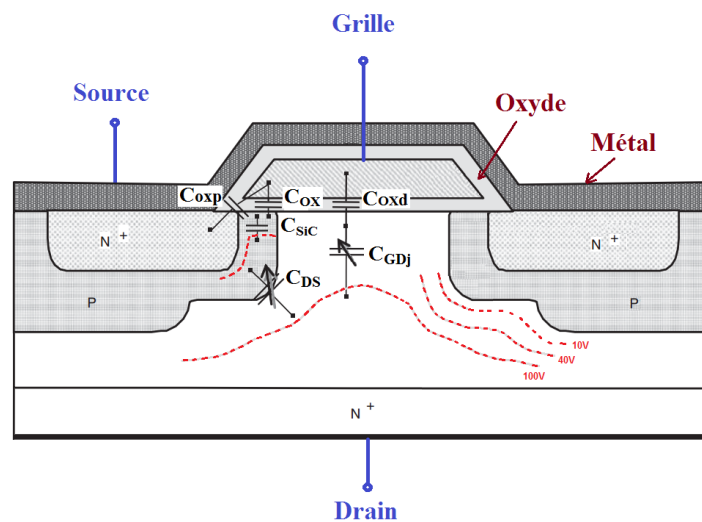


Figure IV.48: Coupe d'une cellule de MOSFET de puissance montrant les principales capacités internes

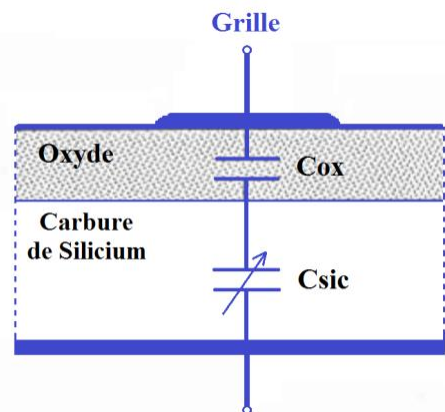


Figure IV.49: Capacités de structure grille source (C_{GS}) du SiC-MOSFET

Alors l'expression de la capacité C_{GS} vaut :

$$C_{GS} = \frac{C_{OX} \cdot C_{SiC}}{C_{OX} + C_{SiC}} \quad (IV.20)$$

Suivant la tension appliquée, trois cas de figure peuvent être distingués à la surface du semiconducteur [37] [22] [38].

Accumulation: Lorsque la grille est soumise à une tension négative, aucun courant ne circule à travers le SiC-MOSFET quelle que soit la valeur de la tension. Dans ce cas, la grille négative attire les trous à la surface du SiC; une accumulation des porteurs majoritaires (ici pour le substrat de type p, des trous) se forme à l'interface oxyde-semiconducteur; en présentant une densité importante des trous à la surface, ce qui entraîne une grande capacité. En effet, la capacité C_{SiC} est grande devant C_{ox} donc $C_{GS} \approx C_{ox}$. À mesure que la tension devient moins négative, la densité des trous diminue à la surface et par conséquent la capacité C_{SiC} diminue.

Déplétion: Lorsque la tension devient positive, les trous sont repoussés de la surface de SiC, et de ce fait une couche dite de déplétion se forme. Cette couche s'élargit avec l'augmentation de la tension, introduisant la réduction des capacités: C_{SiC} et C_{GS} .

Inversion: L'augmentation de la tension de la grille diminue encore la densité des trous à la surface. Alors que la densité des électrons croît en gardant le produit $p_{sic} \cdot n_{sic}$ constant ($n_{sic} \cdot p_{sic} = n_i^2$) [37]. Pour une tension assez grande, la densité des électrons devient plus importante que celle des trous; cela forme une couche d'inversion des électrons. Lorsque la tension augmente au-delà de la tension de seuil, une inversion de plus en plus forte apparaît; la capacité de la couche d'inversion devient plus grande que C_{ox} (c'est-à-dire $C_{SiC} \gg C_{ox}$); donc C_{GS} se rapproche de C_{ox} aux fortes tensions.

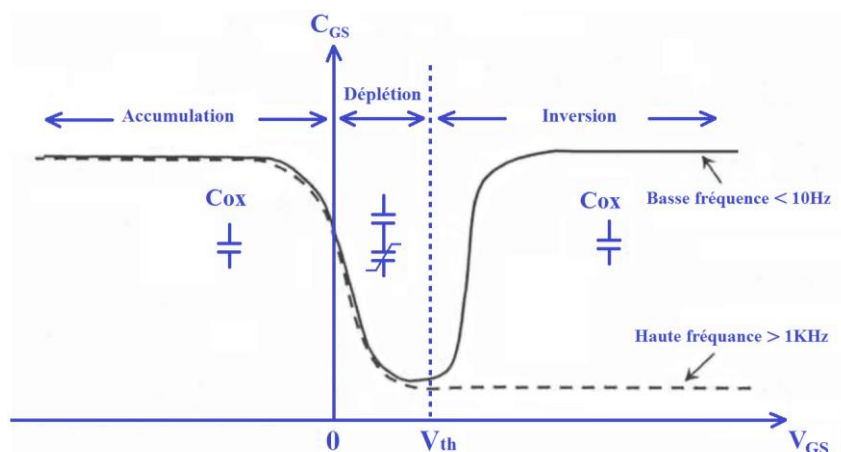


Figure IV.50: Évolution de la capacité C_{GS} du SiC-MOSFET en fonction de la tension de grille V_{GS}

L'allure de la capacité correspondant à ces trois cas est montrée sur la figure IV.50 (pour le substrat de type p). En accumulation et en déplétion, la capacité MOS est déterminée par les porteurs majoritaires tandis qu'en inversion ce sont les porteurs minoritaires qui la déterminent. Lorsque l'on est en haute fréquence, en inversion, la génération des porteurs minoritaires ne peut pas suivre les variations de la tension appliquée; ces porteurs ne contribuent donc à aucune capacité. En revanche, la neutralité des charges est assurée par les porteurs majoritaires aux limites de déplétion d'où un mouvement des limites de déplétion, donc la capacité mesurée est la capacité de déplétion en série avec C_{ox} (en pointillée). En haute fréquence, la capacité C_{iss} augmente en inversion comme en basse fréquence [174].

Notons ici que ces explications ne sont valables que pour la capacité C_{GD} (ou C_{iss}) en fonction de la tension V_{GS} du MOSFET de puissance. L'application d'une tension V_{DS} ou un courant parcourant le canal rend relativement compliquée cette discussion [171].

c. Capacité de rétroaction ou capacité de "Miller": C_{rss}

Nous appelons la capacité grille-drain C_{GD} , la capacité de rétroaction ou la capacité "Miller", car elle est responsable de l'effet Miller. Elle présente une valeur sensiblement constante, tant que la tension drain V_{DS} est inférieure à la tension grille V_{GS} ($V_{DS} < V_{GS}$), et elle évolue lorsque la tension V_{DS} dépasse la tension V_{GS} ($V_{DS} > V_{GS}$). La capacité grille- drain (C_{GD}) est déterminée en réalité dans la zone intercellulaire, par la mise en série d'une capacité d'oxyde (C_{OXd}) avec une capacité de charge d'espace développée dans le carbure de silicium (C_{GDj}).

Tant que la tension de drain est plus faible que la tension de grille, l'accumulation de la charge d'espace est négligeable; dans ces conditions, la capacité de Miller C_{rss} se réduit pratiquement à une seule capacité de l'oxyde intercellulaire ($C_{GD} = C_{OXd}$ Figure IV.48) dont sa valeur peut être définie avec précision à partir des caractéristiques géométriques de l'espace intercellulaire et de l'épaisseur d'oxyde. Lorsque la tension de drain V_{DS} devient supérieure à la tension de grille V_{GS} , la charge d'espace est alors dépeuplée, et la capacité grille-drain se résume à la capacité de charge d'espace ($C_{GD} = C_{GDj}$ Figure IV.48) [232].

La capacité de Miller alors est donnée par:

$$C_{rSS} = \frac{I_G}{\frac{d(V_{GS} - V_{DS})}{dt}} = - \frac{I_G}{\frac{dV_{DS}}{dt}} \Bigg|_{V_{GS}=cte} = - \frac{dQ_G}{dV_{DS}} \Bigg|_{V_{GS}=cte} \quad (IV.21)$$

La capacité Miller est un facteur critique dans la détermination du comportement du MOSFET de puissance durant les commutations. Dans les versions des modèles de Si-MOSFET de puissance conçue pour SPICE, la non-linéarité de cette capacité est prise en compte en fonction de la tension grille-drain; elle est représentée de deux manières différentes: la première utilise l'approche polynomiale en excluant la possibilité de traiter le cas des structures de haute tension et l'étude des

régimes transitoires sur une charge inductive. Alors que la deuxième est plus adéquate et adaptée aux MOSFET de haute tension; elle décrit la capacité grille-drain par deux capacités qui commutent lors du passage à zéro de la tension grille-drain sur un cycle de commutation [56] [229].

La figure IV.51 montre l'évolution de C_{GD} en fonction de V_{DS} , dont on remarque bien la transition de C_{GD} entre les deux valeurs $C_{GD1}=C_{OXd}$ et $C_{GD2} = C_{GDj}$ à la tension $V_{GS}=V_{DS}$.

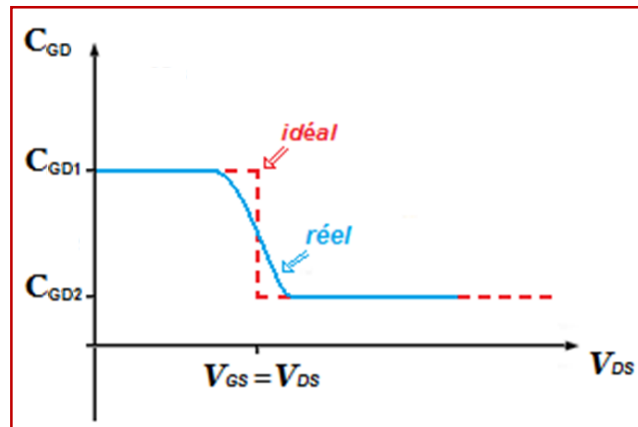


Figure IV.51: Variation de la capacité C_{GD} en fonction de V_{DS}

d. Capacité de sortie:

La capacité de sortie est composée de deux capacités; la capacité Miller C_{GD} et la capacité C_{DS} de transition de la jonction. La capacité C_{DS} trouve son importance à la fin de la commutation lors du blocage de la tension, puisque toute la tension bloquée se trouve aux bornes de la capacité de jonction C_{DS} . Cependant, cette capacité dépend fortement de la tension de diffusion, ainsi de la géométrie de la jonction. Pour des applications de commutation douce, C_{DS} est importante, car elle peut affecter la résonance du circuit.

IV.5.2.2. Détermination des capacités du modèle.

a. Présentation

La compréhension du comportement dynamique du transistor SiC-MOSFET se fait par l'étude du comportement dynamique de ces capacités en commutation (mise en conduction ou blocage). À ce propos, la charge de la grille à courant constant est une caractéristique très importante fournie par le databook du transistor, qui reflète ce comportement.

On peut diviser la courbe de l'évolution de la charge en fonction de la tension grille-source V_{GS} (Figure IV.52) en trois phases distinctes.

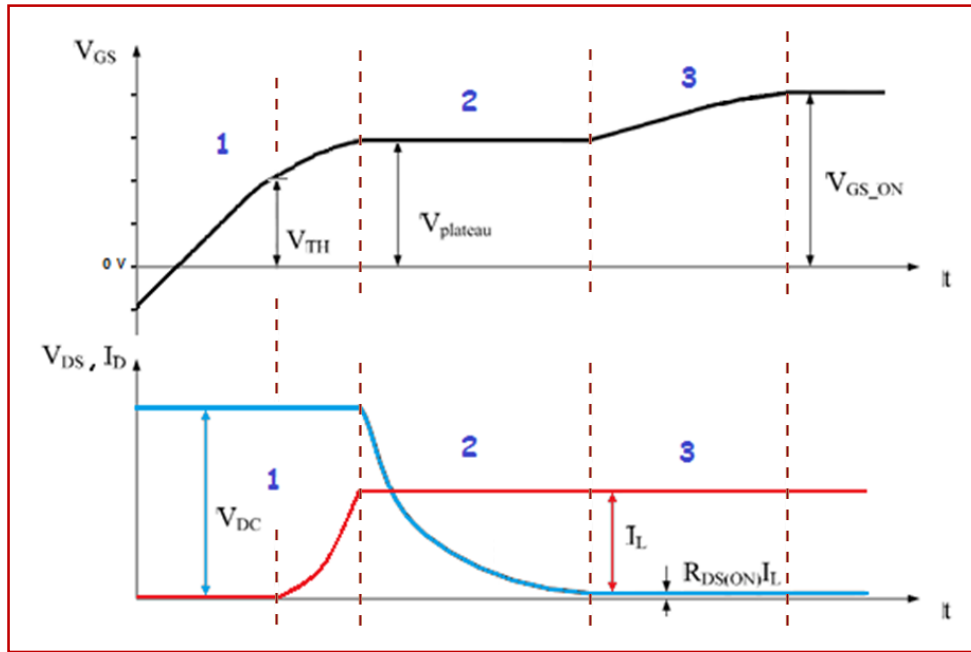


Figure IV.52: Trois principales phases de commutation à la mise en conduction d'un SiC-MOSFET

Phase 1: La tension V_{GS} évolue linéairement, ce qui implique une capacité d'entrée C_{iss} constante. Dans cette zone où la tension V_{DS} est élevée, nous pouvons écrire que $C_{iss} = C_{GS} + C_{GD2} \approx C_{GS}$, puisque C_{GD2} est négligeable. La quantité d'électricité fournie au transistor pendant cette phase est donc stockée dans C_{GS} . Lorsque V_{GS} dépasse $V_{GS_{th}}$ le canal du transistor est pincé, et le courant I_D croît immédiatement et passe de 0 à sa valeur nominale I_D .

Phase 2: La tension V_{DS} chute et provoque un accroissement très important de la capacité d'entrée (Effet Miller) et le courant I_D garde sa valeur constante. La variation de tension sur V_{GS} étant quasiment nulle. Le courant de la grille passe entièrement dans C_{GD} . D'autre part, comme $\Delta V_{GS} = 0$, on peut estimer dans cette région la valeur de C_{GD} :

$$C_{GD} = \frac{I_G}{\frac{d(V_{GS} - V_{DS})}{dt}} = - \frac{I_G}{\frac{dV_{DS}}{dt}} \Bigg|_{V_{GS}=cte} = - \frac{dQ_G}{dV_{DS}} \Bigg|_{V_{GS}=cte} = \frac{\Delta Q_G}{\Delta V_{DS}} \quad (IV.22)$$

Phase 3: Cette phase se produit lorsque la tension V_{DS} s'est installée à la région ohmique et le courant de commande peut charger C_{GS} et C_{GD} de nouveau qui sont maintenant en parallèle. La tension V_{GS} évolue linéairement comme à la première phase, mais avec une pente différente. La tension V_{DS} est maintenant très faible et nous avons pratiquement $C_{iss} = C_{GS} + C_{GD1}$.

Le modèle proposé caractérisant les capacités dynamiques du transistor MOSFET est composé de quatre condensateurs $C1$, $C2$, $C3$ et $C6$, et de deux sources de tension commandées $E1$ et $E2$. L'intérêt de ces capacités et de ces sources est donné comme suit :

b. La capacité C6

Puisque la capacité C_{DS} trouve son importance qu'en fin de commutation (mise au blocage). Elle doit supporter la tension V_{DSmax} (fin de commutation), alors on la représente par la capacité C6 de valeur correspondante à la valeur de C_{oss} à V_{DSmax} .

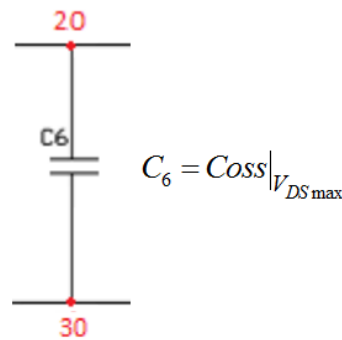


Figure IV.53: Modèle SPICE proposé pour la capacité C_{DS} du SiC-MOSFET

c. La capacité C3

La capacité C_{GS} garde sa valeur constante sur une plus grande partie de la courbe (Figure IV.45), cette capacité est représentée par la capacité C3 de valeur de C_{iss} à la tension V_{DSmax} .

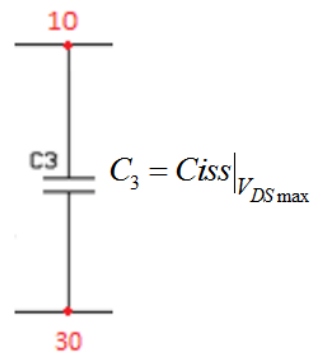


Figure IV.54: Modèle SPICE proposé pour la capacité C_{GS} du SiC-MOSFET

d. Les capacités C1 et C2

On montre sur la figure IV.51, lors de la commutation que la capacité C_{GD} transite entre deux valeurs C_{GD1} et C_{GD2} . Ces deux capacités sont représentées successivement dans ce modèle par les capacités C1 et C2 (Figure IV.55). La valeur de C1 est celle de la capacité C_{rss} (C_{GD}) à la tension $V_{DS}=0$ (C_{GD1} de la Figure IV.51). De même, la valeur de C2 est celle de C_{rss} (C_{GD}) à la tension $V_{DS}=V_{DSmax}$ (C_{GD2} de la Figure IV.51).

e. Les sources STCT E1 et E2

La source STCT E2 est contrôlée par la tension V_{DS} (V_{DS} varie de 0 à V_{DSmax}). D'autre part, la sortie de E2 est sous forme d'une rampe variant entre 0 et 1. La source STCT E1 est contrôlée par la tension V_{GS} multipliée par la sortie de E2, $E1 = V_{GS} \cdot V(E2)$. La figure IV.55 montre le modèle complet de la capacité C_{GD} comportant C1, C2, E1, et E2.

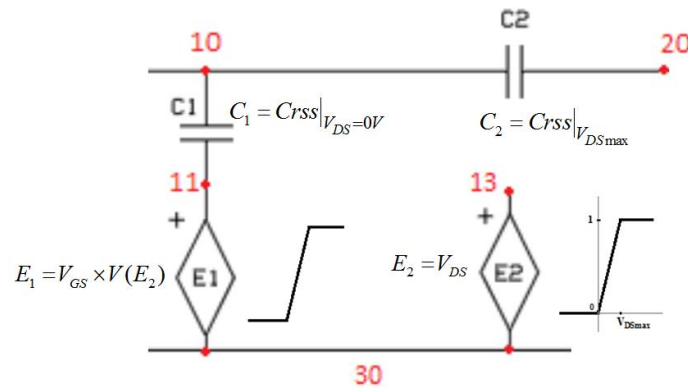


Figure IV.55: Modèle SPICE proposé pour la capacité C_{GD} du SiC-MOSFET

Le fonctionnement du modèle se fait de la manière suivante:

Au départ la tension $V_{DS} = V_{DSmax}$, alors E2 est mise à 1, ce qui conduit E1 à être égale à V_{GS} , donc la capacité C1 se retrouve sous le même potentiel à ses bornes (sa tension est nulle). Dans ce cas, C1 est complètement déchargée et les capacités C3 et C2 se chargent. En effet, la capacité C_{GD} est mise à sa faible valeur (C2), et $C_{iss} \approx C3$. Comme la tension V_{GS} augmente, et quand elle dépasse V_{GSth} , le transistor devient passant alors le courant I_D croit brusquement jusqu'à sa valeur nominale (Fin de la phase 1).

La tension V_{GS} continue à croître jusqu'à sa valeur du plateau V_p (Phase 2) et reste constante. La variation de V_{GS} étant quasiment nulle, le courant de grille passe entièrement dans C_{GD} . D'autre part, la tension V_{DS} décroît le long de cette phase, provoquant la chute de tension $V(E1)$. Cependant, la capacité C1 se retrouve sous une tension croissante pendant la décroissance de V_{DS} , conduisant à la charge de C1. D'autre part, la capacité C2 se retrouve sous une tension décroissante ce qui conduit à sa décharge.

Quand V_{DS} est au voisinage de V_{GS} (Phase 3), la capacité C_{GD} transite de sa faible valeur C2 à sa forte valeur C1, alors la capacité C2 se retrouve aux bornes du même potentiel ($V(C2)=0$). La tension V_{GS} continue à s'accroître, et la tension V_{DS} continue à se diminuer, par conséquent la tension $V(E1)$ décroît jusqu'à 0V, et en même temps la tension $V(C1)$ croît jusqu'à V_{GS} , donc les capacités C1 et C3 se chargent à nouveau. Quand la tension V_{DS} est au voisinage de 0V, la tension $V(E1)$ s'annule, donc $V(C1)$ aura toute la valeur de V_{GS} à ses bornes, donc on peut écrire $C_{iss} = C1 + C3$.

IV.5.3. Modèle Thermique

Comme déjà expliqué pour la diode à la partie III.4.1.4 du chapitre III, le modèle thermique est modélisé indépendamment du modèle électrique sous forme du réseau (R-C) de Foster. Dans le souci d'alléger le modèle et d'une manière optimale on a choisi 4 cellules R-C pour représenter ce réseau. Les valeurs de Ri et de Ci sont extraites à partir d'un code Matlab, après avoir corrélié la courbe de l'impédance de ces 4 cellules avec la courbe de l'impédance thermique fournie par le fabricant dans le databook (Figure IV.56).

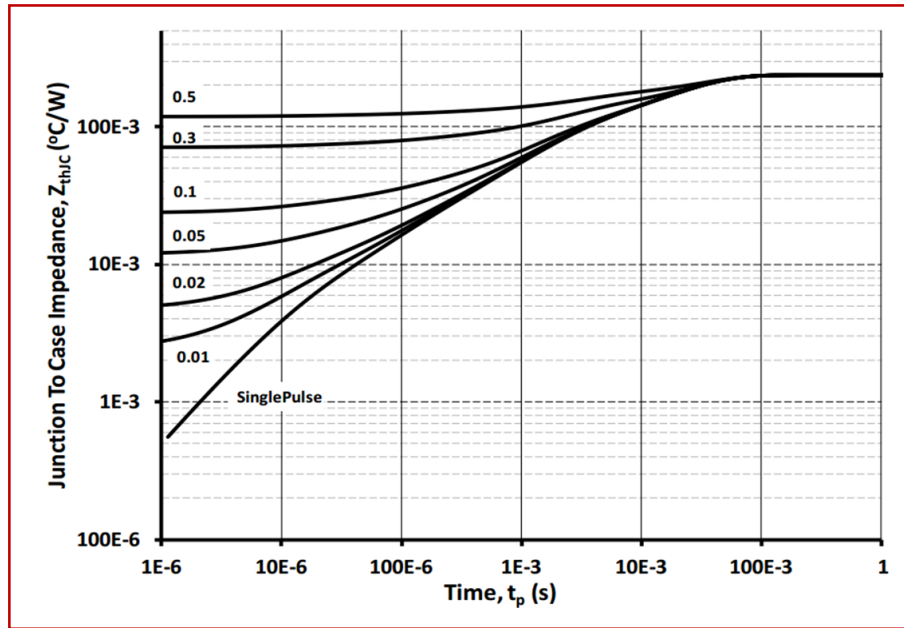


Figure IV.56: Évolution de l'Impédance thermique du SiC-MOSFET en fonction du temps

D'une manière similaire de la diode, toutes les pertes thermiques du MOSFET sont représentées par la source de courant G3 décrivant la dissipation de la puissance instantanée en polarisation directe et inverse pour le modèle thermique. L'équation de contrôle de la source G3 est la suivante :

$$G_3 = V(P) \times V(T_A) \times V_D \times I_D + (V(T_B) \times V(T_C)) + V(N) \times V_{Inv} \times I_{Inv} \quad (IV.23)$$

$$V(T_A) = \begin{cases} 0 & \text{à } t_0 = 0 \mu s \\ 1 & \text{à } t_1 = 1 \mu s \end{cases}$$

$$V(T_B) = \begin{cases} 0 & \text{à } t_0 = 1 \mu s \\ 1 & \text{à } t_1 = 0 \mu s \end{cases}$$

$$V(P) = \begin{cases} 0 & \text{à } V_{DS} = 0.1V \\ 1 & \text{à } V_{DS} = 0.2V \end{cases}$$

$$V(P) = \begin{cases} 0 & \text{à } V_{SD} = 0.2V \\ 1 & \text{à } V_{SD} = 0.1V \end{cases}$$

V(TC) représente la dissipation moyenne comme point de départ pour éviter les problèmes des signaux transitoires, sa valeur (échelle d'un V/W) est fournie par une source de tension externe. C'est l'utilisateur qui va la définir selon la valeur de la puissance dissipée fournie dans le databook. Le modèle proposé est le suivant:

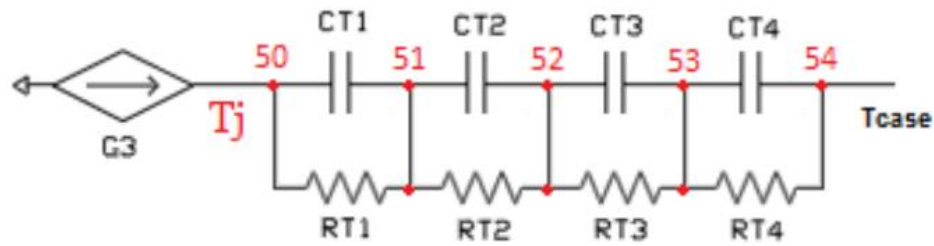


Figure IV.57: Modèle thermique proposé sous SPICE pour SiC-MOSFET

IV.5.4. Modèle Complet

Le modèle complet est rassemblé sur la figure IV.58. On peut remarquer que les caractéristiques du transistor SiC-MOSFET et la dépendance en température sont représentées par des éléments simples de la bibliothèque SPICE. Ces éléments sont des résistances, des capacités, des inductances, et des sources de tension et de courant contrôlés de la bibliothèque ABM de SPICE. Le modèle global du transistor SiC-MOSFET est représenté sur la figure ci-dessous (Figure IV.58). Les caractéristiques statiques sont représentées en noir, les caractéristiques dynamiques en vert, le modèle thermique en orange et en jaune des filtres passe-bas pour la bonne représentation des signaux.

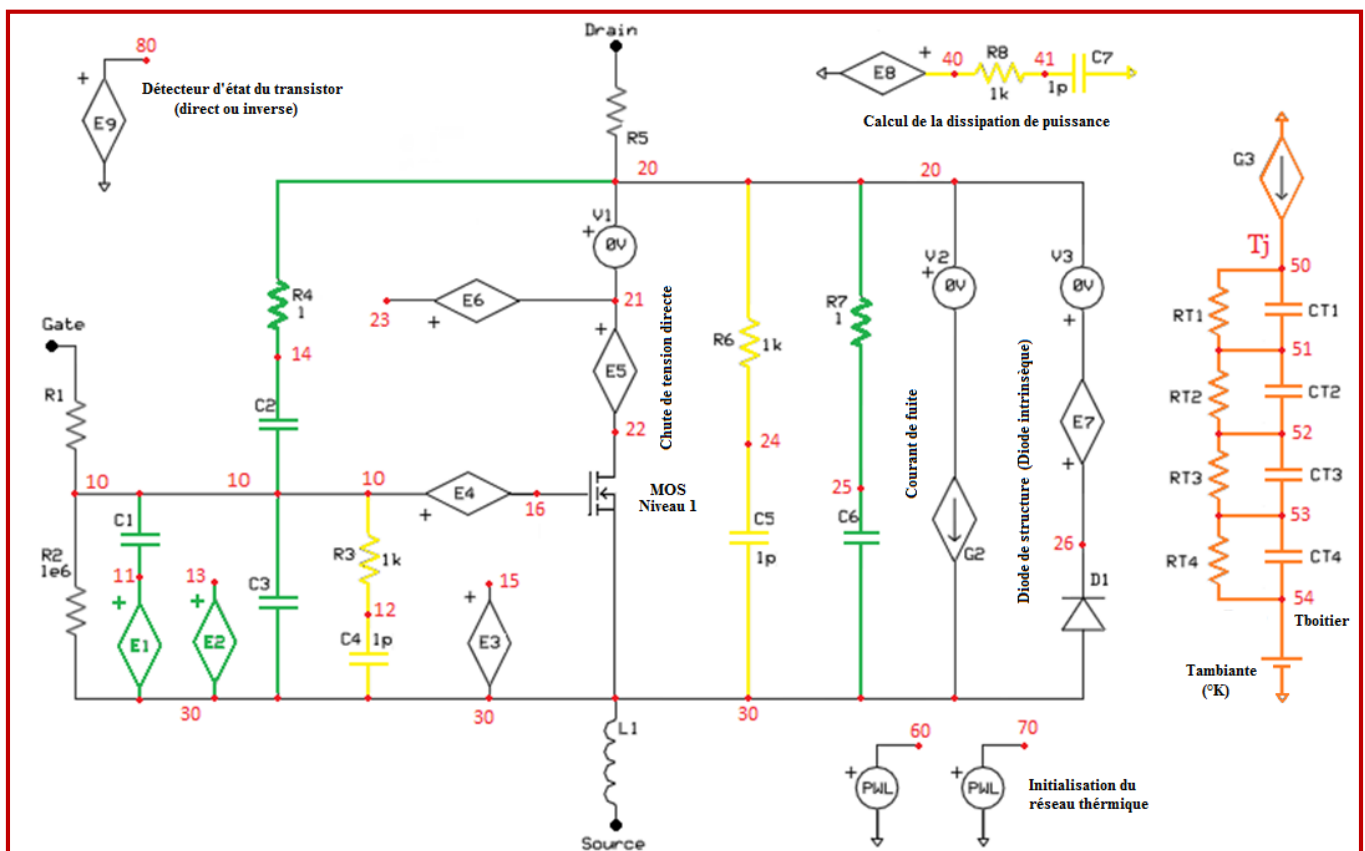


Figure IV.58: Modèle SPICE complet proposé pour le transistor SiC-MOSFET

IV.5.5. Validation du modèle proposé

Nous avons effectué des simulations sur les six transistors SiC-MOSFET de cette étude [163] [164] [165] [166] [167] [168]. Les valeurs des paramètres de leurs modèles obtenues par des scripts Matlab sont regroupées dans le tableau (Annexe V). Dans le tableau suivant (Tableau IV.8) on [219] présente les valeurs des coefficients des équations du modèle du transistor SiC-MOSFET C2M0025120D de CREE:

Tableau IV. 8 : Valeurs des paramètres des équations du modèle du transistor SiC-MOSFET

Paramètres Thermiques	R1	R2	R3	R4	C1	C2	C3	C4
	7.80 e-2	3.29 e-2	7.47 e-3	1.20 e-1	4.36 e-1	7.78 e-2	1.27 e-2	3.28 e-6
Caractéristique de transfert	Ga0	Ga1	Ga2	Gb0	Gb1	Gb2		
	-3.52 e+2	7.34e-1	-4.27 e-4	3.37e+1	-2.16 e-2	-1.04 e-5		
Capacités Dynamiques	C1	C2	C3	C6	V_{DMax}			
	1.05 e-9	1.50e-11	2.74 e-9	2.05e-10	1.20 e+3			
Chute de tension directe	Ra0	Ra1	Rb0	Rb1	Rc0	Rc1		
	7.57 e-2	1.22 e-4	1.25 e-3	7.87e-5	-2.01 e-4	1.21 e-6		
Diode de Structure	Da0	Da1	Db0	Db1	Dc0	Dc1		
	4.282e+02	5.984e-01	-3.170 e-03	9.213e+00	7.580e-02	-2.087 e-04		
Tension Seuil	a	b						
	5.200e-03	2.542e+00						

Pour valider le modèle présenté et montrer son intérêt, les résultats de mesures (databook) et de simulations sous SPICE des caractéristiques du transistor SiC-MOSFET de puissance sont confrontés entre eux. Le transistor mis dans cette étude est le C2M0025120D CREE (1200V, 90A) [188].

L'analyse des caractéristiques statiques se fait sous OrCAD SPICE par le balayage de type DC « DC Sweep » comme le montre la figure IV.59 suivante :

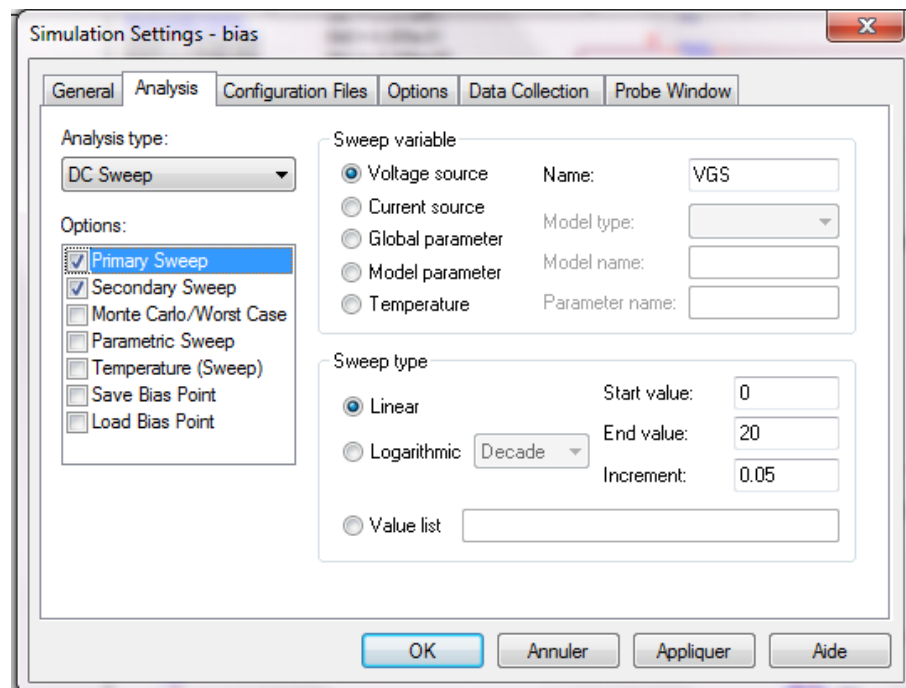


Figure IV.59: Feuille du choix de type d'analyse du simulateur OrCAD SPICE.

L'analyse « DC Sweep » permet de calculer la grandeur (tension ou courant) voulue sur une plage de valeurs lors du balayage : d'une source de tension ou de courant, des températures, d'un paramètre global ou d'un paramètre du modèle. La valeur balayée peut être variée d'une manière linéaire ou logarithmique ou peut être une liste de valeurs croissantes. En effet, la réponse du circuit pour un changement de valeurs des tensions, d'entrée (V_{GS}) et de sortie (V_{DS}) sera l'objectif de cette analyse afin d'avoir les caractéristiques de transfert et de sortie successivement.

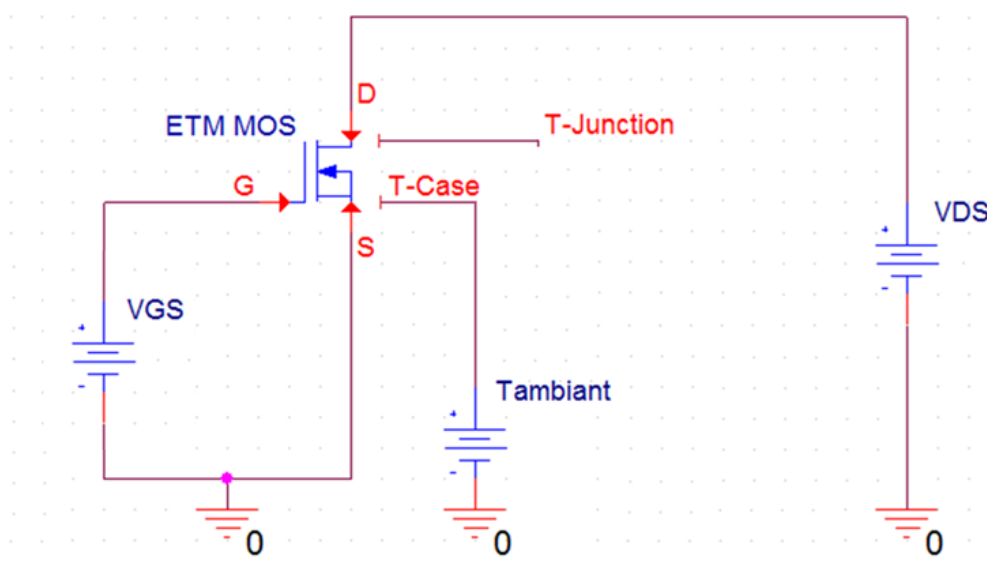


Figure IV.60: Circuit de simulation des caractéristiques statiques du transistor SiC-MOSFET

IV.5.5.1. Caractéristiques de transfert

Les courbes de la caractéristique de transfert $I_D(V_{GS}, T_j^\circ)$ du transistor SiC-MOSFET sont obtenues par le balayage DC (DC Sweep). En effet le courant I_D varie en fonction de deux variables balayées: la tension V_{GS} est le balayage primaire et la température de jonction T_j° représente le balayage secondaire. D'autre part pour une comparaison légale les conditions de mesure du fabricant sont respectées dans la simulation ($t_p \leq 200\mu s$, $V_{DS}=20V$).

Le courant du drain I_D est enregistré par des balayages successifs de la tension V_{GS} pour les valeurs échelonnées de la température T_j° ($-55^\circ C$, $25^\circ C$ et $150^\circ C$), produisant une série de courbes comme le montre la figure IV.61a.

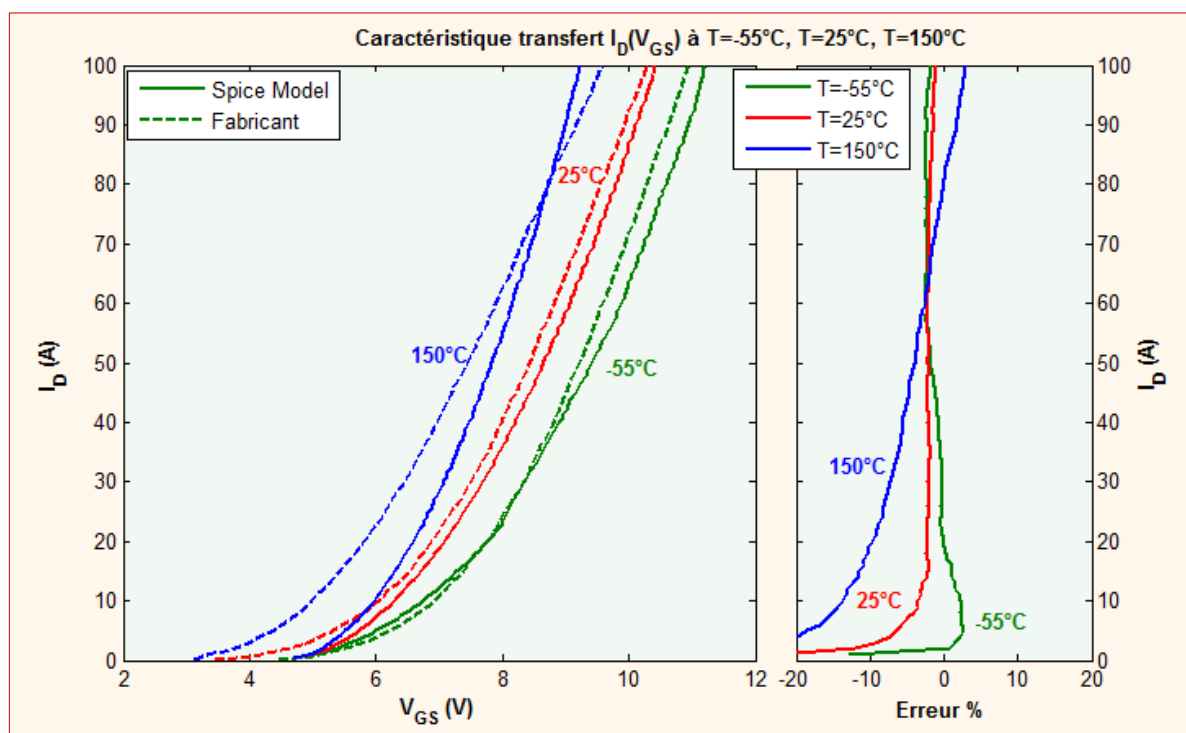


Figure IV.61: Comparaison de la caractéristique de transfert entre le modèle proposé (ligne continue), et les données du fabricant (ligne discontinue) pour $T=-55^\circ C$, $T=25^\circ C$, et $T=150^\circ C$ (gauche), Erreur relative de cette comparaison (droite).

D'après la figure IV.61 on peut dire que les résultats obtenus pour le modèle de la caractéristique de transfert ($I_D(V_{GS})$) sont très intéressants, surtout pour les températures de $-55^\circ C$ et $25^\circ C$.

IV.5.5.2. Caractéristiques de sortie

Ici, on s'intéresse à la zone ohmique du transistor. Les courbes de la caractéristique de sortie $I_D(V_{DS}, V_{GS}, T_j^\circ)$ du transistor SiC-MOSFET sont obtenues par le balayage DC (DC Sweep) en fonction des variables balayées pour chaque température de jonction T_j° (-55°C , 25°C et 150°C). En effet, la tension V_{DS} est le balayage primaire et la tension V_{GS} est le balayage secondaire.

Le courant du drain I_D est enregistré par des balayages successifs de la tension V_{DS} pour les valeurs échelonnées de la tension V_{GS} (16V, 18V, et 20V) pour les températures T_j° de -55°C , de 25°C et de 150°C , produisant une série de courbes montrée sur les figures IV.62, IV.63 et IV.64 successivement.

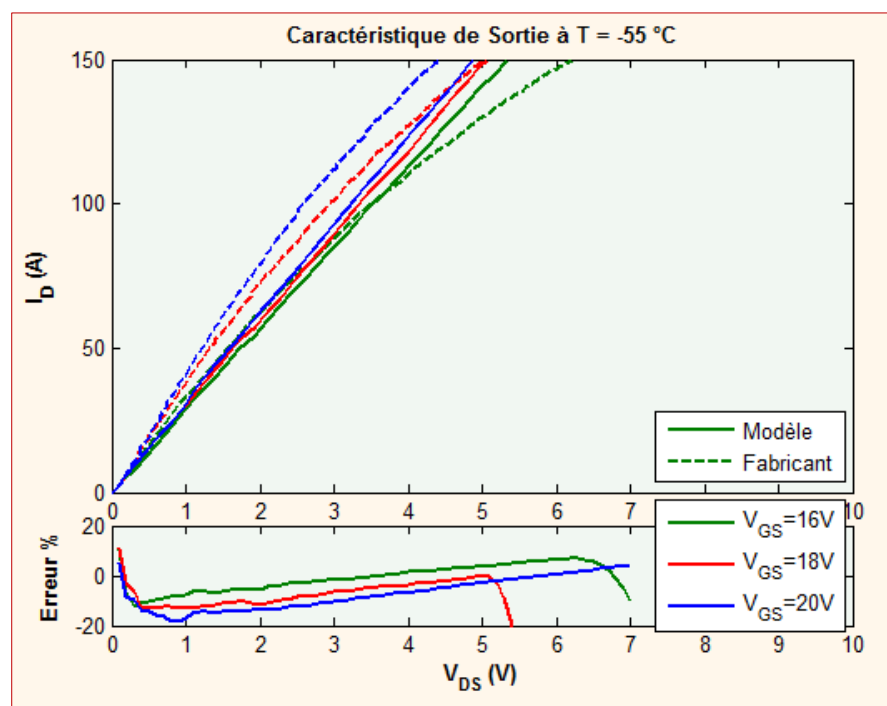


Figure IV.62: Comparaison de la caractéristique de sortie entre le modèle (ligne continue) et le fabricant (ligne discontinue) à $T=-55^\circ\text{C}$ pour $V_{GS}=16V$, $V_{GS}=18V$, et $V_{GS}=20V$ (gauche), Erreur relative (droite).

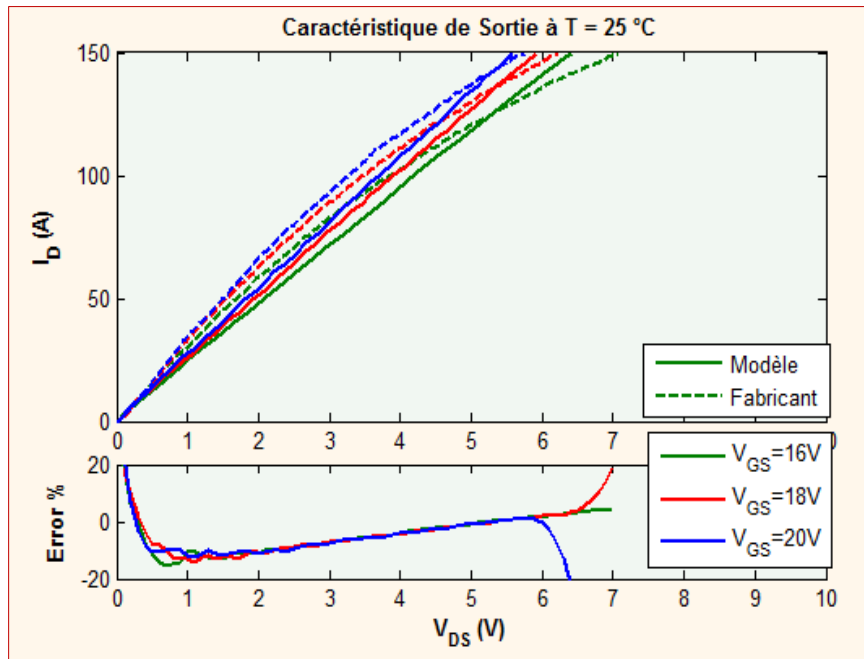


Figure IV.63: Comparaison de la caractéristique de sortie entre le modèle (ligne continue) et le fabricant (ligne discontinue) à T=25°C pour $V_{GS}=16V$, $V_{GS} =18V$, et $V_{GS} =20V$ (gauche), Erreur relative (droite).

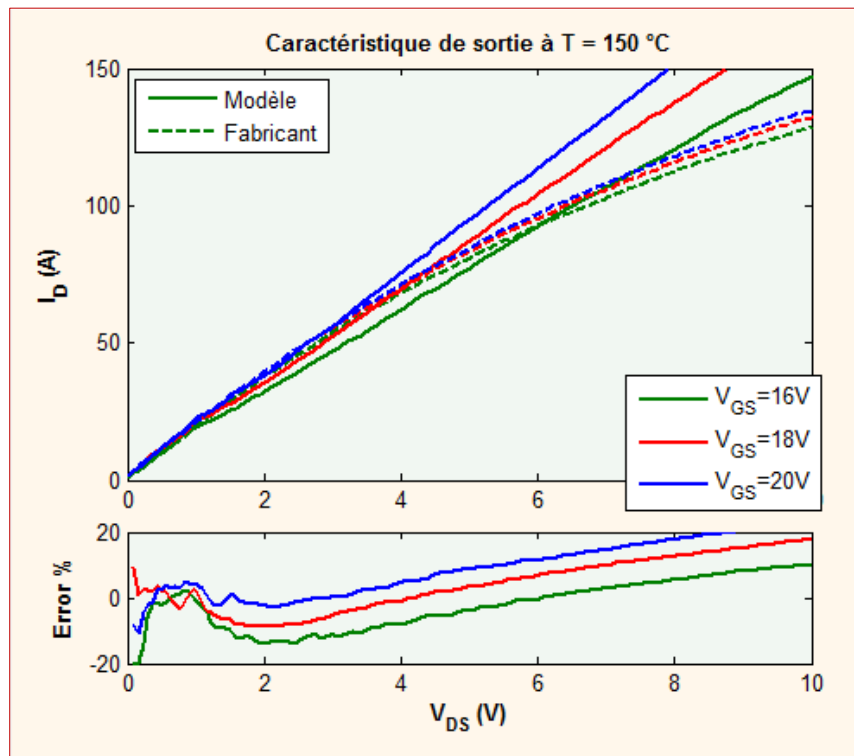


Figure IV.64: Comparaison de la caractéristique de sortie entre le modèle (ligne continue) et le fabricant (ligne discontinue) à T=150°C pour $V_{GS}=16V$, $V_{GS} =18V$, et $V_{GS} =20V$ (gauche), Erreur relative (droite).

Les résultats de la caractéristique de sortie (Figures: IV.62, IV.63, et IV.64) montrent aussi l'intérêt de ce modèle pour les trois températures étudiées, surtout pour la température 25°C.

IV.5.5.3. Impédance Thermique

Les résultats de la comparaison du modèle d'impédance thermique avec les données du fabricant (simple impulsion) sont montrés sur la figure (Figure IV.65.a).

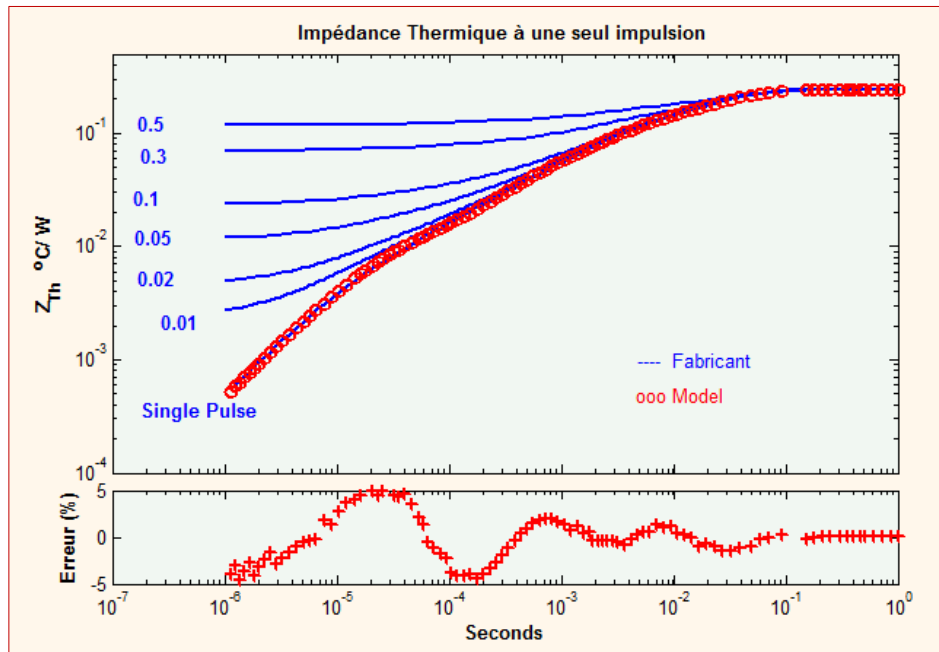


Figure IV.65: Comparaison de l'impédance thermique entre le modèle (rouge) et le fabricant (bleu) (haut), Erreur relative de cette comparaison (bas).

On remarque d'après cette figure (Figure IV.65.b) que l'erreur relative ne dépasse pas $\pm 5\%$, la chose qui montre l'importance du modèle proposé.

IV.5.5.4. Diode de structure

Les résultats de la comparaison du modèle de la diode interne de structure avec les données du fabricant pour les trois températures: -55°C, 25°C, et 150°C, sont montrés sur la figure IV.66.a.

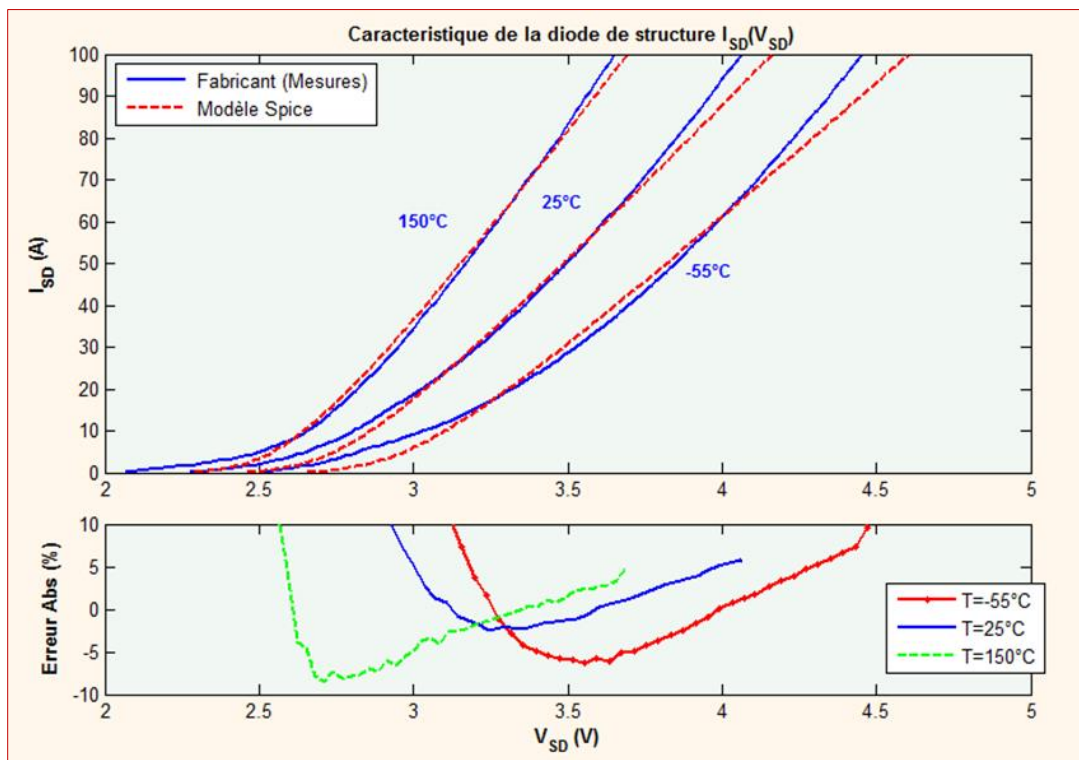


Figure IV.66: Comparaison de la caractéristique de la diode de structure entre le modèle (ligne continue) et le fabricant (ligne discontinue) pour $T = -55^\circ\text{C}$, $T = 25^\circ\text{C}$, et $T = 150^\circ\text{C}$ (haut), Erreur relative (bas).

Cette figure (Figure IV.61b) nous montre que l'erreur relative pour 95% de la courbe est limitée à $\pm 10\%$, ce qui prouve l'importance du modèle proposé.

IV.6 Conclusion

Ce chapitre est divisé en quatre parties. Dans la première partie, on a présenté les principales structures des transistors SiC-MOSFET, afin de montrer la différence entre eux et la raison derrière la commercialisation de la structure VDMOSFET en SiC par les fabricants des dispositifs à semiconducteur en SiC. Cela nous a conduits à faire une analyse des propriétés physiques des transistors SiC-DMOSFET (1200V) les plus réputés en commerce dans le but de montrer les performances de chaque référence. Après on a présenté une chronologie de différents modèles des transistors MOSFET en SiC existant en bibliographie tous en montrant les contributions apportées, et leur compatibilité avec les logiciels et les langages de simulation.

En fin de ce chapitre, on a présenté notre modèle électrothermique comportemental proposé pour la modélisation du transistor SiC-MOSFET. Ce modèle est basé sur le modèle niveau 1 de SPICE (MOSFET niveau 1), autour duquel on a ajouté des sources de tension et de courant contrôlées par tension (ABM) et des composants passifs (L, R, C) pour représenter les caractéristiques statiques, dynamiques et thermiques de ce composant. Les équations de contrôle des sources (STCT, et SCCT) sont extraites à partir des courbes caractéristiques fournies dans le databook du fabricant. La prise en

compte de la variation de la température de jonction a été incluse à travers des polynômes du premier degré qui sont en fonction de cette température. En effet, les paramètres de toutes les équations figurées dans ce modèle sont extraits à partir des courbes représentant les différentes caractéristiques du transistor (databook du fabricant) en utilisant des programmes Matlab, adoptant la méthode d'optimisation: le Recuit Simulé.

Pour montrer l'importance de notre technique de modélisation et son application sur le transistor SiC-MOSFET (modèle du MOSFET), on a confronté les résultats obtenus des caractéristiques statiques (Analyse DC sweep d'OrCAD Spice) du transistor C2M0025120D de CREE (1200 V, 90 A), avec les résultats de mesures fournis par le fabricant dans le databook du composant. Les résultats de cette comparaison pour la caractéristique de transfert, la caractéristique de sortie, l'impédance thermique transitoire, et la diode de structure nous ont montré l'intérêt apporté par ce modèle (moins de 10% d'erreur relative).

Ce modèle nous a prouvé des résultats satisfaisants, permettant aux concepteurs des circuits d'électronique de puissance à partir du databook du composant d'avoir leurs propres modèles afin de pouvoir faire leurs simulations.

CONCLUSION GENERALE & PERSPECTIVES

Conclusion Générale

Le carbure de silicium (SiC) a des caractéristiques physiques exceptionnelles par rapport au silicium (Si) tel que : sa large bande interdite (gap) E_g , son fort champ de claquage (E_c), sa vitesse de saturation des porteurs élevée (V_{Sat}), et sa très bonne conductivité thermique (λ_{Th}). Tous ces avantages de ce matériau ont été très favorables pour le développement des composants d'électronique de puissance à base de SiC, capable de fonctionner en haute température, en forte puissance, en haute tension et à des fréquences élevées. Toutefois le problème qui se pose pour cette nouvelle technologie, c'est la disponibilité des modèles de ces composants afin de permettre aux concepteurs des circuits d'étudier et d'élaborer leurs convertisseurs de puissance.

L'analyse des types de modèles existants en bibliographie nous a montré un ensemble de problèmes présentés par ces modèles. En effet, ils sont soit complexes, contenant beaucoup de paramètres, nécessitant des expériences, ainsi une très bonne connaissance de leurs géométries (modèles physiques et numériques), ou sont moins précis et ne dominent pas tous les phénomènes intersemiconducteur (Macromodèles). En effet, les concepteurs des circuits d'électronique de puissance cherchent toujours à optimiser leurs simulations. De ce fait, ils exigent des modèles optimaux possédant un bon compromis entre la simplicité et la précision.

L'analyse bibliographique nous a guidés à proposer une approche de modélisation électrothermique comportementale des composants de puissance en SiC (la Diode Schottky et le MOSFET) en tenant compte des principales caractéristiques des semiconducteurs. Cette approche nous a permis de construire le modèle juste à partir des courbes fournies par le fabricant dans le databook du composant. Ces courbes représentent les principales caractéristiques statiques, dynamiques et thermiques du composant à semiconducteur.

La technique adoptée dans notre approche de modélisation consiste dans un premier temps de numériser ces courbes (caractéristiques) pour les rendre sous forme de données numériques, facilement manipulables par Matlab. Ensuite, on cherche l'équation paramétrique représentant cette courbe (caractéristique) en fonction de la température de jonction. Les équations représentant les caractéristiques du composant sont les équations de commande des sources de tension ou de courant de la bibliothèque ABM de SPICE utilisées dans le modèle. Les paramètres de ces équations sont obtenus à partir des scripts Matlab adoptant la méthode d'optimisation : le Recuit Simulé. Une fois que toutes les valeurs des paramètres des équations sont obtenues, le modèle est facilement intégré dans les différents logiciels de simulation de type SPICE, soit sous forme de code Netlist, ou sous forme de schématique (Capture). La conformité de ces équations paramétriques avec les courbes du fabricant a été évaluée à une erreur relative moins de 10%.

Dans ce travail, on a également présenté une étude comparative des principales caractéristiques statiques, dynamiques, et thermiques des meilleurs transistors SiC-MOSFET de puissance (1200V) commercialisés par les différents fabricants, afin d'élaborer un plan de choix guidant les concepteurs des circuits d'électronique de puissance de sélectionner le composant le plus adapté à leur cahier de

charge, selon leurs objectifs et selon les performances de leurs convertisseurs de puissance. En effet, cette étude nous a montré que le transistor SiC-MOSFET C2M0025120D de CREE est le plus adapté aux différents convertisseurs en raison de ses performances: sa capacité en puissance (1200V, 90A), sa très faible résistance interne ($R_{on}=25m\Omega$), sa faible tension seuil...

La méthode de modélisation proposée nous a permis de modéliser avec excellence la diode Schottky et le transistor MOSFET en carbure de silicium (SiC) sous le simulateur SPICE. Les résultats obtenus par les modèles proposés ont été validés par la confrontation avec les différentes caractéristiques des composants à semiconducteurs du fabricant CREE (la diode C2D20120D, et le MOSFET C2M0025120D). Cette comparaison nous a montré une concordance très satisfaisante.

Dans ce travail, on a contribué à la résolution du problème majeur rencontré lors de la modélisation des semiconducteurs de puissance : c'est la prise en compte de la variation de la température interne de jonction, qui contribue à la modification des caractéristiques internes du semiconducteur de puissance essentiellement en forte puissance.

Ce travail ce n'est qu'un point de départ de notre méthode de modélisation proposée, en effet les étapes de cette technique ne sont pas évidentes, d'ailleurs la numérisation des courbes caractéristiques se fait manuellement point par point, et pour avoir une grande précision, ces points sont très proches entre eux, ce qui augmente la taille des données et alourdir encore ce processus. D'autre part, le traitement et l'interpolation de ces données demandent un nombre important de scripts Matlab. Cela nous ouvre une suite logique de ce travail afin d'apporter des améliorations pour simplifier les processus de cette méthode.

Perspectives

Ce travail de recherche bien sûr ne s'arrêtera pas ici, nous envisageons comme perspectives les points suivants :

- Les SiC diodes Schottky, et les SiC MOSFET traités dans cette étude ne sont qu'une première étape de cette modélisation. En effet, les convertisseurs de forte puissance ont souvent besoin du transistor IGBT, des thyristors et des GTO, d'où le grand intérêt de les modéliser. D'autre part, en raison de la récence de cette technologie, la disponibilité des modèles de ces dispositifs sous SPICE est très limitée. En effet, le premier IGBT en SiC a été mis en commerce à la fin de 2013 et les GTO en SiC ne sont pas encore jusqu'à l'instant. L'extension de cette technique de modélisation au SiC-IGBT, au SiC-thyristor et au SiC-GTO est une suite normale de ce travail.
- En raison des difficultés rencontrées au niveau de traitement des données recueillies par les scripts Matlab. Alors on propose de trouver un moyen d'automatisation partielle du processus de traitement des données. En effet, une interface graphique (GUI) sous Matlab peut être formée pour simplifier la saisie des données telles que la référence du composant, les températures de jonction et les limites des données. Cette interface va faciliter la tâche de traitement de données afin de faciliter cette démarche. D'autre part, l'intégration du logiciel de numérisation (Get Data Digitizer) dans Matlab afin d'automatiser la numérisation des courbes caractéristiques sera un travail très important en raison que cette étape est la plus ennuyeuse, mais pas la collecte de données d'entrées (la phase la plus ennuyeuse).
- Les modèles proposés dans ce travail sont modulaires, alors chaque caractéristique est modélisée séparément. D'autre part, le concepteur des circuits cherche toujours à simplifier son circuit de simulation sans perdre de précision. Par ailleurs, les objectifs de simulation changent d'un circuit à un autre. Alors on envisage dans les futurs travaux la possibilité de choisir les caractéristiques à inclure à partir d'une interface graphique (GUI), avec la possibilité d'intégrer dans le modèle les paramètres voulus.

BIBLIOGRAPHIE

Références bibliographiques

- [1] A. Maxim, D. Andreu and J. Boucher, "High Performance Power MOSFET SPICE Macromodel," in *IEEE Catalogue Number: 97TH8280. ISIE'97-*, Guimarses, Portugal, 1997.
- [2] Z. Chen, "Electrical integration of SiC power devices for high-power-density applications," Ph.D. dissertation, Dept. Elect. Comput. Eng., Virginia Tech, Blacksburg, VA,, 2013.
- [3] W. Liu, *MOSFET Models for SPICE Simulation including BSIM3v3 and BSIM4*, Canada: John Wiley & Sons, Inc, 2001.
- [4] A. Maxim, D. Andreu and J. Boucher, "A Unified High Accuracy SPICE Library for the Power Semiconductor Devices Built with the Analog Behavioural Macromodeling Technique," in *12th International Symposium on Power Semiconductor Devices and IC's*, May 2000.
- [5] A. Maxim and G. Maxim, "A high accuracy power MOSFET SPICE behavioural macromodel including the device self-heating and safe operating area simulation," in *40th APEC*, 177–183, Dallas, 1999.
- [6] P. A. Mawby, P. M. Igic and M. S. Towers, "Physically based compact device models for circuit modelling applications," *Microelectronics Journal*, vol. 32, pp. 433-447, 2001.
- [7] EIA, "'Internal Energy Outlook 2006," [http://www.fypower.org/pdf/E1A_IntlEnergyOutlook\(2006\).Pdf](http://www.fypower.org/pdf/E1A_IntlEnergyOutlook(2006).Pdf), 2006.
- [8] CEPS, " <http://www.nsf.gov/pubs/2000/nsff0137/nsf00137u.pdf>, *changing the way electricity is used*, 2000.
- [9] E. Carroli, "Power electronics for very high power applications," *Power Engineering Journal*, vol. 13, issue 2 April, pp. 81-87., 1999.
- [10] G. Majumdar, "Future of power semiconductors," *Proceedings of the 35th Annual IEEE Power Electronics Specialists Conference*, vol. 1, pp. pp. 10-15, 20-25 June 2004.
- [11] CREE, "<http://www.cree.com/About-Cree/History-and-Milestones/Milestones>," 2015. [Online].
- [12] Toshiba, "www.semicon.toshiba.co.jp/eng/prd/pdf_presen/tr_IEGT_200502_e.pdf," 2005.
- [13] E. R. Brown, "Megawatt solid-state electronics," *Solid-State Electronics*, vol. 42, issue 12, December, pp. 2119-2130, 1998.
- [14] B. K. Bose, "Technology advancements and trends in power electronics," *IEEE IECON*, vol. 3, Nov. , pp. 3019-3020, 2003.
- [15] L. M. Tolbert, O. B. I. S. K and M. Chinthavali, "Wide Bandgap Semiconductors for Utility Applications," in *JASTED International Conference on Power and Energy Systems (PES 2003)*, California, 2003.
- [16] C. J. Wort and R. S. Balmer, "Diamond as an electronic material," *Materials today*, pp. 22–28, 2008.
- [17] D. Martineau, T. Mazeaud, M. Legros, P. Dupuy and C. Levade, "Characterization of ageing failures on power MOSFET devices by electrons and ions," *Microelectronics Reliability*, vol. 49, no. 9-11, Nov, pp. pp. 1330-1333, 2009.
- [18] B. J. Baliga, *Silicon Carbide Power Devices*, World Scientific Publishing Co. Pte. Ltd., 2005.
- [19] R. G. Neudeck and M. L. G, "An overview of silicon carbide device technology," in *Ninth Symposium on Space Nuclear Power Systems*, Albuquerque, New Mexico, 1992.
- [20] W. Wondrak, "Physical Limits and Lifetime Limitations of Semiconductor Devices at High temperature," *Microelectronics Reliability*, Vol. 39, 6-7, June-July, pp. 1113-1120, 1999.

- [21] L. Menager, "Contribution à l'intégration des convertisseurs de puissance en 3D," Lyon, Décembre , 2008.
- [22] . S. E. Saddow and A. Agarwal, *Advances in Silicon Carbide Processing and Applications*, London: Artech House, Inc., 2008.
- [23] S. J. Pearton, J. C. Zolper, R. J. Shul and F. and Ren, "GaN: Processing, defects, and devices," *Journal of Applied Physics*, vol. 86, issue 1, July 1, pp. 71-78, 1999.
- [24] M. Trivedi and K. Shenai, "High temperature capability of devices on Si and wide band gap materials," in *the 33rd Annual Meeting of the IEEE Industry Applications Society, 12-15 Oct, vol. 2*, Rome, Italy, 1998.
- [25] A. Fissel, "Artificially layered heteropolytypic structures based on SiC polytypes: molecular beam epitaxy, characterization and properties," *Physics Report 379*, Elsevier, pp. 149-255, 2003.
- [26] R. Schorner, P. Friedrichs, D. Peters and D. Stephani, "Significantly Improved Performance of MOSFET's on Silicon Carbide Using the 15R-SiC Polytype," *IEEE ELECTRON DEVICE LETTERS*, VOL. 20, NO. 5, MAY, pp. 241-244, 1999.
- [27] SiC-Market-, "Silicon carbide (SiC) semiconductor materials and devices (discrete & chips) market, global forecasts & analysis (2012-2022) – focus on wide band gap, compound & next generation power, opto & high-temperature semiconductors," 2012. [Online]. Available: <http://www.marketsandmarkets.com/Market-Reports/silicon-carbide-electronics-market-439.html>, June 2012..
- [28] SiC-Market, "SiC market 2013 technology and market for sic wafers, devices and power modules," 2013. [Online]. Available: <http://www.i-micronews.com/reports/SiC-Market-2013..>
- [29] SiC_Market, "Marketsandmarkets: Global sic semiconductor devices market worth \$5.34 billion by 2020," 2014. [Online]. Available: <http://www.marketsandmarkets.com/PressReleases/silicon-carbide.asp..>
- [30] A. Toftul, "Characterization and Testing of a 5.8 kv SiC PiN diode for Electric Space Propulsion Applications," The Graduate College at the University of Nebraska, 2014.
- [31] Mitsubishi, "Mitsubishi electric to launch railcar traction inverter with all-sic power module," December 2013. [Online]. Available: <http://www.mitsubishielectric.com/news/2013/>.
- [32] J. Liu and K. L. Wong, "Silicon carbide (SiC) 10kw interleaved boost converter achieves 99.1% peak efficiency," *Bodo's Power System*, Dec, 2012.
- [33] M. O'Neill, "Silicon carbide diodes make solar power systems more efficient,," *Cree Inc.'s Documentation*, Oct, 2008.
- [34] D. K. Mrinal, "Sic mosfet module replaces up to 3x higher current si igbt modules in voltage source inverter application," *Bodo's Power System*, Feb, , 2013.
- [35] SINTEF, "High temperature power electronics for downhole exploration," 2013. [Online]. Available: [http://www.sintef.no/project/PowerElectronics/..](http://www.sintef.no/project/PowerElectronics/)
- [36] B. Delinchant and L. Gerbaud, "Capitalisation et Réutilisation de modèles," G2ELab, équipe MAGE, ALSTOM Tarbes, février, 2008.
- [37] B. J. Baliga, *Fundamentals of Power Semiconductor Devices*, Springer Science Business Media,, 2008.
- [38] S. M. Sze and K. N. Kwok, *Physics of Semiconductor Devices*, 3rd Edition, New York: Wiley Inter science, 2007.
- [39] I. K. Budihardjo, P. O. Lauritzen and H. A. Mantooth, "Performance Requirements for Power MOSFET Models," *IEEE Transactions on Power Electronics*, vol. 12, issue 1, Jan., pp. 36-45, 1997.

- [40] H. A. Mantooth and J. L. Duliere, "A Unified Diode Model for Circuit Simulation," *IEEE Transactions on Power Electronics*, vol. 12, issue 5, Sep., pp. 816-823, 1997.
- [41] H. Goebel, "A Unified Method for Modelling Semiconductor Power Devices," *IEEE Transactions on Power Electronics*, vol. 9, issue 5, Sep., pp. 497-505., 1994.
- [42] Jankovic, N; Ueta, T; Hamada, K, "Unified Approach in Electro-Thermal Modelling of IGBT's and Power Pin Diodes," in *19th International Symposium on Power Semiconductor Devices and IC's Symposium, May 2007*, pp. 165-168, 2007.
- [43] R. Kraus, P. Turkes and J. Sigg, "Physics-Based Models of Power Semiconductor Devices for the Circuit Simulator SPICE," in *IEEE Power Electronics Specialists Conference*, vol. 2 May 1998.
- [44] H. P. Yee and P. O. Lauritzen, "SPICE Models for Power MOSFETs: An Update," in *IEEE Applied Power Electronics Conference and Exposition*, Feb., 1988.
- [45] Y. Y. Tzou and L. J. Hsu, "A Practical SPICE Macro Model for the IGBT," in *International Conference on Industrial Electronics, Control, and Instrumentation*, vol. 2, Nov, 1993.
- [46] J. S. Yuan and J. J. Liou, *Semiconductor Device Physics and Simulation*, Plenum Press, 1998.
- [47] K. Ammous, "Contribution à la construction systématique des modèles moyens de convertisseurs de puissance," CEGELY de l'INSA de Lyon, 2002.
- [48] M. H. Bierhoff and F. W. Fuchs, "Semiconductor losses in voltage source and current source IGBT converters based on analytical derivation," in *IEEE 35th Annual Power Electronics Specialists Conference*, vol. 4, 2004.
- [49] J. S. Lai, R. W. Young, G. W. Ott and J. W. McKeever, "Efficiency modelling and evaluation of a resonant snubber based soft-switching inverter for motor drive applications," in *26th Annual IEEE Power Electronics Specialists Conference*, vol. 2, June 18-22, 1995.
- [50] J. J. Rodriguez, Z. Parrilla, M. Velez Reyes, A. Hefner, D. Berning, J. Reichl and J. Lai, "Thermal component models for electro thermal analysis of multichip power modules," in *Conference Record of the Industry Applications Conference*, vol. 1, Oct. 13-18, 2002.
- [51] T. Kojima, Y. Nishibe, Y. Yamada, T. Ueta, K. Torii and S. and Sasaki, "Novel electro-thermal coupling simulation technique for dynamic analysis of HV (hybrid vehicle) inverter," in *37th IEEE Power Electronics Specialists Conference*, 18-22 June, 2006.
- [52] D. Linzen and R. W. De Doncker, "Simulation of power losses with MATLAB/Simulink using advanced power device models," in *IEEE Workshop on Computers in Power Electronics*, June 3-4,, 2002.
- [53] J. Liu, W. Chen, J. Zhang, D. Xu and F. C. Lee, "Evaluation of power losses in different CCM mode single-phase boost PFC converters via a simulation tool," in *IEEE Industry Applications Conference*, vol. 4, Sept. 30- Oct. 4, 2001.
- [54] O. Al-Naseem, R. W. Erickson and P. Carlin, "Prediction of switching loss variations by averaged switch modelling," in *Fifteenth Annual IEEE Applied Power Electronics Conference and Exposition*, vol. 1, Feb. 6-10,, 2000.
- [55] F. Profumo, A. Tenconi, S. Facelli and B. Passerini, "Instantaneous junction temperature evaluation of high-power diodes (thyristors) during current transients," in *IEEE Transactions on Power Electronics*, vol. 14, no. 2, March , 1999.
- [56] D. Xu, H. Lu, L. Huang, S. Azuma, M. Kimata and R. Uchida, "Power loss and junction temperature analysis of power semiconductor devices," *IEEE Transactions on Industry Applications*, vol. 38, no. 5, Sept.-Oct. , pp. pp. 1426-1431 , 2002.
- [57] H. A. Mantooth and A. R. Hefner, "Electrothermal simulation of an IGBT PWM inverter," *IEEE Transactions on Power Electronics*, vol. 12, no. 3, May, pp. pp. 474-484, 1997.

- [58] S. Munk-Nielsen, L. N. Tutelea and U. Jaeger, "Simulation with ideal switch models combined with measured loss data provides a good estimate of power loss," in *IEEE Industry Applications Conference*, vol. 5, Oct. 8-12, 2000.
- [59] A. Odaka, J. Itoh, I. Sato, H. Ohguchi, H. Kodachi, N. Eguchi and H. Umida, "Analysis of loss and junction temperature in power semiconductors of the matrix converter using simple simulation methods," in *IEEE Industry Applications Conference*, vol. 2, Oct. 3-7, 2004.
- [60] Z. Pan, X. Jiang, H. Lu, L. Huang, S. Azuma, M. Kimata and M. Seto, "Junction temperature analysis of IGBT devices," in *The Third International Power Electronic and Motion Control Conference*, vol. 3, Aug. 15-18, 2000.
- [61] D. I. M. De Silva, N. K. Shrestha, P. R. Palmer, F. Udrea, G. A. J. Amaratunga, D. Chamund, L. Coulbeck and P. Waingand, "Accurate conduction and switching loss models of IGBTs for resonant converter design," in *IEEE 35th Annual Power Electronics Specialists Conference*, vol. 4, 2004.
- [62] B. Fatemizadeh, P. O. Lauritzen and D. Siber, "Modelling of power semiconductor devices, problems, limitations and future trends," in *IEEE Workshop on Computers in Power Electronics*, Aug, 1996.
- [63] K. J. Tseng, S. Pan and C. F. Foo, "Issues in power diode modelling for circuit simulation," in *International Conference on Power Electronics and Drive Systems*, vol. 1, May 26-29, 1997.
- [64] K. Sheng, B. W. Williams and S. J. Finney, "A Review of IGBT Models," *IEEE Transactions on Power Electronics*, vol. 15, issue 6, Nov, pp. 1250-1266., 2000.
- [65] P. O. Lauritzen and C. L. Ma, "A simple power diode with reverse recovery," *IEEE Trans. Power Electron.*, vol. 6, no. 2, pp. 188-191, 1991.
- [66] R. Kraus and H. J. Mattausch, "Status and Trends of Power Semiconductor Device Models," *IEEE Transactions on Power Electronics*, vol. 13, issue 3, May, pp. 452-465, 1998.
- [67] C. L. Ma, P. O. Lauritzen and J. Sigg, "Modelling of power diodes with the lumped-charge modelling technique," *IEEE Transactions on Power Electronics*, vol. 12, no. 3, May, pp. 398-405, 1997.
- [68] A. T. Bryant, X. Kang, E. Santi, P. R. Palmer and J. L. Hudgins, "Two-step parameter extraction procedure with formal optimization for physics-based circuit simulator IGBT and PiN diode models," *IEEE Transactions on Power Electronics*, vol. 21, no. 2, March, pp. 295-309, 2006.
- [69] T. R. McNutt, A. R. Hefner, H. A. Mantooth, D. Berning and S. H. Ryu, "Silicon Carbide Power MOSFET Model and Parameter Extraction Sequence," *IEEE Transactions on Power Electronics*, vol. 22, no. 2, pp. 353-363, March 2007.
- [70] A. Claudio, M. Cotorogea and M. A. Rodriguez, "Parameter extraction for physics-based IGBT models by electrical measurements," in *IEEE 33rd Annual Power Electronics Specialists Conference*, vol. 3, June 23-27,, 2002.
- [71] K. Rajendran and G. S. Samudra, "Modelling of transconductance-to-current ratio (g/I) analysis on double-gate SOI MOSFETs," *Semicond. Sci. Technol*, pp. 139-144, 2000.
- [72] M. Ruff, H. Mitlehner and R. Helbig, "SiC devices: physics and numerical simulation," *IEEE Transactions on Electron Devices*, vol. 41, no. 6, June, pp. 1040-1054, 1994.
- [73] M. Hasanuzzaman, S. K. Islam, L. M. Tolbert and M. T. Alam, "Temperature dependency of MOSFET device characteristics in 4H- and 6H-silicon carbide (SiC)," *Solid State Electron*, Vols. 48, Oct.-Nov, no. 10-11, pp. 1877-1881, 2004.
- [74] R. Ramovic, M. Jevtic, J. Hadzi-Vukovic and D. Randjelovic, "A novel analytical model of a SiC MOSFET," in *Proc. 23rd International Conf on Microelectronics*, 12-25 May, vol. 2, pp. 447-450, 2002.
- [75] G. Buiatti, "Modelling and Simulation of Power PiN Diodes within SPICE," Politecnico DI TORINO, 2006.

- [76] A. G. M. Strollo and P. Spirito, "A new PiN diode modelling approach for power electronic PSPICE simulations," in *in PESC'94 Rec, vol.1*, 1994.
- [77] A. G. M. Strollo, "A new SPICE subcircuit model of Power PiN diode," *IEEE Trans. Power Electronics, vol.9*, pp. 553-559, 1994.
- [78] A. G. M. Strollo, "SPICE modelling of power PiN diode using asymptotic waveform evaluation," in *PESC'96 Rec, vol.1*, pp. 44-49, 1996.
- [79] A. G. M. Strollo, "A New SPICE Model of Power PiN Diode Based on Asymptotic Waveform Evaluation," *IEEE Trans. Power Electronics, Vol.12*, pp. 12-20, 1997.
- [80] L. T. Pillage and R. A. Rohrer, "Asymptotic Waveform Evaluation for timing analysis," *IEEE Trans. on CAD, vol.9*, pp. 352-366, 1990.
- [81] p. Leturcq, B. M and J. L. Massol, "Implementation and validation of a New Diode Model for Circuit Simulation," LAAS Report 95421, October, 1995.
- [82] A. T. Bryant, P. R. Palmer, S. E and J. L. Hudgins, "A Compact Diode Model for the Simulation of Fast Power Diodes including the Effects of Avalanche and Carrier Lifetime Zoning," in *PESC'05 Rec.*, 2005.
- [83] P. R. Palmer, E. Santi, J. L. Hudgins and K. J. J. C. Xiaosong, "Circuit simulator models for the diode and IGBT with full temperature dependent features," *IEEE Trans. Power Electronics, vol. 18, no.5*, pp. 1220-1229, 2003.
- [84] X. Kang, A. Caiafa, E. Santi, J. L. Hudgins and P. L. Palmer, "Parameter extraction for a power diode circuit simulator model including temperature dependent effects," in *APEC'02 Rec., vol. 1*, 2002.
- [85] Y. Bulut and K. Pandya, "Thermal modelling for power MOSFETs in DC/DC applications," in *Proceedings of the 5th International Conference on Thermal and Mechanical Simulation and Experiments in Microelectronics and Microsystems*, 2004.
- [86] T. Kojima, Y. Yamada, M. Ciappa, M. Chiavarini and W. Fichtner, "A novel electro-thermal simulation approach of power IGBT modules for automotive traction applications," in *The 16th International Symposium on Power Semiconductor Devices and ICs, May 24-27*, 2004.
- [87] V. Blasko, R. Lukaszewski and R. Sladky, "On line thermal model and thermal management strategy of a three-phase voltage source inverter," *IEEE Industry Application Society Annual Meeting, October 3-7, Phoenix, Arizona*, pp. pp 1423-1431, 1999.
- [88] H. J. Boenig, J. W. Schwartzberg and L. J. Willinger, "Design and Testing of High Power Repetitively Pulsed, Solid-State Closing Switches," in *IEEE Industry Applications Conference, vol. 2, Oct.*, 1997.
- [89] A. S. Kashyap, P. L. Ramavarapu, S. M. Lal, T. R. McNutt, A. B. Lostetter, T. Funaki and H. A. Mantooth, "Compact circuit simulation model of silicon carbide static induction and junction field effect transistors," in *IEEE Workshop on Computer in Power electronics, Aug. 15-18*, 2004.
- [90] A. Mihaila, F. Udrea, and G. Brezeanu, "A comprehensive analysis of breakdown mechanisms in 4H-SiC MOSFET and JFET," in *International Semiconductor Conference, vol. 1, Oct. 10-14*, 2000.
- [91] TopSPICE, "User's Guide / Simulator Reference, Rev. 11a, Penzar Development,," 2004.
- [92] K. Asparuhova and T. Grigorova, "IGBT Behavioural PSPICE Model," in *25th International Conference of Microelectronics, July*, 2006.
- [93] A. Maxim and G. Maxim, "A Novel Analog Behavioural IGBT SPICE Macromodel," in *IEEE Power Electronics Specialists Conference, vol. 1, Aug.*, 1999.
- [94] W. El Manhaway and W. Fikry, "Power MOSFET Macromodel Accounting for Saturation and Quasi Saturation Effect," in *Canadian Conf on Electrical and Computer Engineering, vol. 4, May*, 2004.

- [95] K. Sheng, S. J. Finney and B. W. Williams, "Fast and Accurate IGBT Model for PSpice," *IET Electronics Letters*, vol. 32, issue 25, Dec., pp. 2294-2295, 1996.
- [96] T. Riesgo, Y. Torroja and E. Torre, "Design Methodologies Based on Hardware Description Languages," *IEEE Transaction on Power Electronic*, Vol. 46, No. 1, February, pp. 3-11, 1999.
- [97] B. Sheng, H. Wallace and J. Ignowski, "Analog Behavioural Modelling and Mixed-Mode Simulation with SABER and Verilog," *Hewlett Packard Journal*, Apr, 1997.
- [98] "MAST," 2012. [Online]. Available: www.synopsys.com/Systems/Saber/Pages/MAST.aspx.
- [99] Synopsys, 2015. [Online]. Available: www.synopsys.com/Systems/Saber/Pages/default.aspx.
- [100] A. S. Kashyap, "Compact modelling of silicon carbide junction field effect devices," 2005.
- [101] A. T. Yang, Y. Liu and J. T. Yao, "An efficient nonquasistatic diode model for circuit simulation," *IEEE Trans. Computer-Aided Design*, vol.13, no. 2, pp. 231-239, 1994.
- [102] C. L. Ma and P. O. Lauritzen, "A simple power diode model with forward and reverse recovery," *IEEE Trans. Power Electron.*, vol. 8, no.4, pp. 342-345, 1993.
- [103] K. J. Tseng, C. F. Foo and P. R. Palmer, "Implementing power diode models in SPICE and Saber," in *Conf. Rec. IEEE PESC'94, 1994*, 1994.
- [104] L. T. Pillage, R. A. Rohrer and C. Visweswariah, *Electronic circuit and system simulation methods*, New York: McGraw-Hill, 1995.
- [105] G. Massobrio and P. Antognetti, *Semiconductor Device Modelling with SPICE*, 2nd edition, McGraw Hill, 1993.
- [106] R. Chibante, *Simulated Annealing The Applications*, Sciyo First published, Septembre 2010.
- [107] N. Metropolis, A. Rosenbluth, M. Rosenbluth, A. Teller and E. Teller, "Simulated Annealing," *Journal of Chemical Physics*, vol. 21, pp. 1087-1094, 1953.
- [108] R. V. V. Vidal, *Applied Simulated Annealing*, Springer-Verlag, 1993.
- [109] M. K. Das, J. J. Sumakeris, B. A. Hull, J. Richmond, S. Krishnaswami and A. R. Powell, "Drift-free, 50 A, 10 kV 4H-SiC PiN diodes with improved device yields," in *Proceedings of the conference ECSCRM, 31 aout – 4 septembre*, Bologne, Italie, 2004.
- [110] Y. Sugawara, D. Takayama, K. Asano, R. Singh, J. W. Palmour and T. Hayashi, "12-19kV 4H-SiC PiN diodes with low power loss," in *Proceedings of the conference ISPSD, Osaka, Japon, 4-7 juin*, 2001.
- [111] R. Singh, S. RYU, J. W. Palmour and A. L. J. Hefner, "1500V, 4A 4H-SiC JBS diodes," in *Proceedings of the conference ISPSD, Toulouse, France, 22-25 mai*, 2000.
- [112] J. Lai, X. Huang, H. Yu, A. Hefner, D. Berning and R. Singh, "High current SiC JBS diode characterization for hard and soft switching applications," in *Proceedings of the conference IAS, 30 septembre – 4 octobre*, vol. 1, 2001.
- [113] M. Kneifel, D. Silber and R. Held, "Predictive modelling of SiC-device power Schottky diode for investigations in power electronics," in *in Proc. 8th IEEE. Power Electron. Conf. Expo. Mar.*, 1996.
- [114] H. A. Mantooth and J. L. Duliere, "A Unified Diode Model for Circuit Simulation," *IEEE Transactions on Power Electronics*, vol. 12, issue 5, Sep. 1997, pp. 816-823, 1997.
- [115] T. R. McNutt, A. R. Hefner, H. A. Mantooth, J. Duliere, D. W. Berning and R. Singh, "Silicon carbide PiN and merged PiN Schottky power diode models implemented in the Saber circuit simulator," *IEEE Trans. Power Electron*, vol. 19, no. 3, May, p. 573-581, 2004.
- [116] T. R. McNutt, A. R. Hefner, H. A. Mantooth, J. Duliere, D. W. Berning and R. Singh, "Silicon carbide PiN and merged PiN Schottky power diode models implemented in the Saber circuit simulator," in *in Proc. 32nd IEEE Power Electron. Specialists Conf, Jun*, 2001.

- [117] T. R. McNutt, A. R. Hefner, H. A. Mantooth, J. L. Duliere, D. W. Berning and R. Singh, "Parameter extraction sequence for silicon carbide Schottky, merged PiN Schottky, and PiN power diode models," in *in Proc. 33rd IEEE Power Electron. Specialists Conf., Jun., 2002*.
- [118] T. R. McNutt, A. R. Hefner, H. A. Mantooth, J. L. Duliere, D. W. Berning and R. Singh, "Physics-based modelling and characterization for silicon carbide power diodes," in *Solid-State Electron., vol. 50, no. 3, Mar, 2006*.
- [119] R. Kolessar and H. P. Nee, "A new physics-based circuit model for 4H-SiC power diodes implemented in SABER," in *in Proc. 16th IEEE Appl. Power Electron. Conf. Expo. Mar., 2001*.
- [120] M. Zubert, M. Napierlska, G. Jablonski, L. Starzak, M. Janicki and A. Napieraski, "Static electro-thermal model of SiC merged PiN Schottky diodes," in *in Proc. 10th Int. Seminar Power Semiconductors, Sep., 2002*.
- [121] M. Zubert, L. Starzak, G. Jablonski, M. Napierlska, M. Janicki and A. Napieraski, "Novel SPICE dynamic model of SiC merged PiN Schottky diodes," in *in Proc. 18th Int. Conf. Mixed Design Integr. Circuits Syst, Jun, 2011*.
- [122] B. Opineci and L. M. Tolbert, "Characterization of SiC Schottky diodes at different temperatures," *IEEE Power Electron Lett., vol. 1, no. 2, Jun., p. 54–57, 2003*.
- [123] M. Giesselmann, R. Edwards, S. Bayne, S. Kaplan and E. Shaffer, "Forward and reverse recovery spice model of a JBS silicon carbide diode," in *in Proc. 26th Int. Power Modulator Symp. High-Voltage Workshop, May., p. 364–367, 2004*.
- [124] Z. Ouennoughi, R. Weiss, S. Benlala and H. Ryssel, "Extracting of silicon carbide Schottky diode model parameters using lateral optimization method including the parallel conductance," in *in Proc. 5th Int. Conf. Adv. Semiconductor Devices Microsyst., Oct. , 2004*.
- [125] R. L. Thomas, M. Morgenstern and B. Bayne, "Silvaco modelling of a 10 kV SiC PiN diode," in *in Proc. 26th Int. Conf. Power Modular Symp., May , 2004*.
- [126] J. Zarebski and J. Dabrowski, "SiC Schottky power diode modelling in SPICE," in *in Proc. 12th IEEE Int. Conf. Electron, Circuits Syst, Dec., 2005*.
- [127] J. Zarebski and J. Dabrowski, "SPICE modelling of power Schottky diodes," *Int. J. Numer. Model, Electron. Netw, Devices Fields, vol. 21, no. 6, pp. 551-561, 2008*.
- [128] J. Zarebski and J. Dabrowski, "Modelling power Schottky diodes," in *in Proc. Int. Conf. Modern Problems Radio Eng., Telecommun. Comput. Sci. Feb, pp. 90-93, 2006*.
- [129] H. Zhang, L. M. Tolbert and B. Ozpineci, "System modelling and characterization of SiC Schottky power diodes," in *in Proc. IEEE Workshops Comput. Power Electron., Jul., 2006*.
- [130] L. Zhu and T. P. Chow, "Analytical modelling of high-voltage 4H-SiC junction barrier Schottky (JBS) rectifiers," *IEEE Trans. Electron Devices, vol. 55, no. 8, Aug., pp. 1857-1863, 2008*.
- [131] B. Ozpineci, M. S. Chinthavali, L. M. Tolbert, A. S. Kashyap and H. A. Mantooth, "A 55-kW three-phase inverter with Si IGBTs and SiC Schottky diodes," *IEEE Trans. Ind. Appl., vol. 45, no. 1, Jan./Feb. , pp. 278-285, 2009*.
- [132] J. Wang, Y. Du, S. Bhattacharya and A. Q. Huang, "Characterization, modelling of 10-kV SiC JBS diodes and their application prospect in X-ray generators," in *in Proc. IEEE Energy Convers. Congr. Expo., Sep., 2009*.
- [133] A. T. Bryant, "Physical modelling of large area 4H-SiC PiN diodes," in *in Proc. IEEE Energy Convers. Congr. Expo., Sep. 2009,, 2009*.

- [134] S. Bellone, F. G. Della Corte, L. F. Albanese and F. Pezzimenti, "An analytical model of the forward I–V characteristics of 4H-SiC p-i-n diodes valid for a wide range of temperature and current," *IEEE Trans. Power Electron.*, vol. 26, no. 10, Oct, p. 2835–2843, 2011.
- [135] S. Ahmed, H. A. Mantooth, M. Mudholkar and R. Singh, "Characterization and modelling of SiC junction barrier Schottky diode for circuit simulation," in *Proc. IEEE 14th Workshop Control Modelling Power Electron. (COMPEL)*, Jun, 2013.
- [136] L. Starzak and e. al, "Behavioural approach to SiC MPS diode electrothermal model generation," *IEEE Trans. Electron Devices*, vol. 60, no. 2, Feb, p. 630–638, 2013.
- [137] R. Fu, A. Grekov, K. Peng and E. Santi, "Parameter extraction procedure for a physics-based power SiC Schottky diode model," in *Proc. 28th Annu. IEEE Appl. Power Electron. Conf. Expo.*, Mar., p. 545–552, 2013.
- [138] L. Lu, A. Bryant, E. Santi, J. L. Hudgins and P. R. Palmer, "Physical modelling and parameter extraction procedure for PiN diodes with lifetime control," in *Proc. 41st IAS IEEE Ind. Appl. Conf.*, Oct., 2006.
- [139] B. J. Baliga, *Power Semiconductor Devices*, PWS Publishing, 1996.
- [140] J. Lou and e. al, "Temperature Dependence of Ron-sp in Silicon Carbide and GaAs Schottky Diode," *Reliability Physics Symposium*, Apr, 2002.
- [141] N. Mohan, T. M. Undeland and W. P. Robbins, *Power Electronics-Converters, Applications, and Design*, 3rd Edition, John Wiley & Sons, 2003.
- [142] A. Guerra and F. Vallone, "Electro-Thermal SPICE Schottky Diode Model Suitable Both at Room Temperature and at High Temperature," *International Rectifier*, Dec, 1999.
- [143] O. Apeldoorn, S. Schroder and R. W. DeDoncker, "A New Method for Power Electronics System Simulation with PSpice," in *Proceedings of the IEEE International Symposium on Industrial Electronics*, vol. 2, July, 1997.
- [144] MicroSim, "Center, The Design; Analysis," Microsim Corporation, Jan, 1992.
- [145] Getdata-Graph, "Getdata-Graph-Digitizer Softwear," 2015. [Online]. Available: www.getdata-graph-digitizer.com.
- [146] RADC, "Reliability Engineer's Toolkit," Rome Air Development Center, July, 1988.
- [147] N. Beck and e. al, "How Low Can You Go? A White Paper on Cutting Edge Efficiency in Commercial Desktop Computers," *Electric Power Research Institute*, Mar, 2008.
- [148] M. Coyaud, "Caractérisation Fonctionnelle de Composants en Carbure de Silicium," Thèse de Doctorat de l'Université Joseph Fourier, Grenoble, 2002.
- [149] M. Akhbari, "Modèle de cellule de commutation pour les études de pertes et de performances CEM," *Laboratoire d'Electrotechnique de Grenoble (LEG)*, Fev, 2000.
- [150] P. O. Jeannin, "Le transistor MOSFET en commutation : Application aux associations série et parallèle de composants à grille isolée," *Laboratoire d'Electrotechnique de Grenoble (LEG)*, Mai, 2001.
- [151] Y. C. Liang and V. J. Gosbell, "Diode Forward and Reverse Recovery Model for Power Electronic SPICE Simulations," *IEEE Transactions on power electronics*, vol. 5, no. 3, pp. 346 - 356, July 1990.
- [152] B. Tien and C. Hu, "Determination of carrier lifetime from rectifier ramp recovery waveform," *IEEE Electron Device Letters*. vol. 9, no. 10, pp. pp. 553-555, 1988.
- [153] H. T. Russell, "The SPICE Diode Model," OPAL Engineering, Inc. under contract with Motorola Inc. August 4, San Jose, CA 95117, 1991.

- [154] C. Gautier, "Contribution au développement d'outils logiciels en vue de la conception des convertisseurs statiques intégrant la compatibilité électromagnétique," ENS de Cachan, Cachan Cedex, 2000.
- [155] C2D20120D, "Silicon Carbide Schottky Diode Datasheet, Rev. F," CREE Inc, 2013.
- [156] K. L. Pandya and W. McDaniel, "A Simplified Method of Generating Thermal Models for Power MOSFETs," in *18th Annual IEEE Symposium on Semiconductor Thermal Measurement and Management*, Mar, 2002.
- [157] On-Semiconductor, "Basic Thermal Properties of Semiconductors, HBD856/D,," On Semiconductor, June, 2009.
- [158] T. Schutze, "Thermal Equivalent Circuit Models," Infineon Application Note, AN2008-03, June , 2008.
- [159] M. Marz and P. Nance, "Thermal Modelling of Power Electronic Systems," Fraunhofer Institute, Apr., 2000.
- [160] S. Ghedira, "Contribution à l'estimation des paramtres technologiques de la diode PIN de puissance à partir de mesures en commutation," INSA Lyon, 1998.
- [161] A. Ammous, S. Ghedira, B. Allard, H. Morel and D. Renault, "Choosing a Thermal Model for Electrothermal Simulation of Power Semiconductor Devices," *IEEE Transactions on Power electronics*, vol. 14, no. 2, March, pp. pp 300-307, 1999.
- [162] M. Zubert, L. Starzak, G. Jablonski, M. Napieralska, M. Janicki, T. Pozniak and A. Napieralski, "An accurate electro-thermal model for merged SiC PiN Schottky diodes," *ScienceDirect, Elsevier, Microelectronics Journal* 43, pp. 312-320, 2012.
- [163] GB20SLT12, "Silicon Carbide Schottky Diode Datasheet, Rev 247," GeneSiC,, 2014.
- [164] APT20SCD120B, "Silicon Carbide Schottky Diode Datasheet, Rev. A 10," MicroSemi, 2012.
- [165] SCS220KGHR, "Silicon Carbide Schottky Diode Datasheet, Revf A," ROHM, 2014.
- [166] IDW20G120C5B, "Silicon Carbide Schottky Diode Datasheet, Rev 2," Infineon, 2014.
- [167] C4D20120A, "Silicon Carbide Schottky Diode Datasheet, Rev. H," CREE Inc, 2014.
- [168] UJ2D1220K, "Silicon Carbide Schottky Diode Datasheet, Rev 1," USCi Inc, 2013.
- [169] F. Morancho, Physique et modélisation des composants et des circuits intégrés de puissance, Lavoisier, 2007.
- [170] M. Bhatnagar and J. J. Baliga, "Analysis of silicon carbide power device performance," in *3rd International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, pp 176-180, 1991.
- [171] D. A. Grant and J. Gowar, Power MOSFETs: Theory and Applications, John Wiley and Sons, 1989.
- [172] B. J. Baliga and M. Bhatnagar, "Method of Fabricating Silicon Carbide Field Effect Transistor," U. S. Patent 5,322,802, Issued June 21, 1994.
- [173] L. Lorenz, G. Deboy, A. Knapp and M. Marz, "COOLMOS - A New Milestone in High Voltage Power MOS," in *IEEE International Symposium on Power Semiconductor Devices and ICs*, pp. 3-10, 1999.
- [174] B. J. Baliga, Advanced Power MOSFET Concepts, Springer, 2010.
- [175] B. J. Baliga, "Power Semiconductor Devices for Variable Frequency Drives," *Proceedings of the IEEE*, Vol. 82, pp. 1112-1122, 1994.
- [176] J. N. Shenoy, J. A. Cooper and M. R. Melloch, "High Voltage Double-Implanted Power MOSFETs in 6H-SiC," *IEEE Electron Device Letters*, vol. 18, pp. 93-95, 1997.
- [177] B. J. Baliga, "Silicon Carbide Semiconductor Devices having Buried Silicon Carbide Conduction Barrier Layers Therein," U. S. Patent 5,543,637, Issued August 6, 1996.

- [178] B. J. Baliga, "Evolution of MOS-Bipolar Power Semiconductor Technology," in *Proceeding of the IEEE*, Vol. 74, pp. 409-418, 1988.
- [179] B. J. Baliga, "Silicon Carbide Switching Device with Rectifying Gate," U. S. Patent 5,396,085, Issued March 7., 1995.
- [180] B. J. Baliga, "Silicon Carbide Field Effect Device," U. S. Patent 5,323,040, Issued June 21, 1994.
- [181] B. J. Baliga, "Smart Power Technology: An Elephantine Opportunity," in *IEEE International Electron Devices Meeting, Abstract 1.1.1*, pp. 3-6,, 1990.
- [182] B. J. Baliga, "An Overview of Smart Power Technology," *IEEE Transactions on Electron Devices*, vol. 38, pp. 1568-1575, 1991.
- [183] Y. S. Huang and B. J. Baliga, "Extension of the RESURF Principle to Dielectrically Isolated Power Devices," in *International Symposium on Power Semiconductor Devices and ICs, Abstract 2.2*, pp. 27-30, 1991.
- [184] J. A. Appels and H. M. J. Vaes, "High Voltage Thin Layer Devices (RESURF Devices)," *IEEE International Electron Devices Meeting*, pp. 238-241, 1979.
- [185] J. Splitz, "2.6kV 4H-SiC Lateral DMOSFET's," *IEEE Electron Device Letters*, vol. 19, pp. 100-102, 1998.
- [186] T. Kimoto, "Design and Fabrication of RESURF MOSFETs on 4H-SiC and 6H-SiC," *IEEE Transactions on Electron Devices*, vol. 52, pp. 112-117, 2005.
- [187] k. Fukuda, M. K. k. Kato and J. Senzaki, "Effect of gate oxidation method on electrical properties of metal-oxide-semiconductor field-effect transistors fabricated on 4H-SiCC(000 1) face," *Application. Physics. Letters*, vol. 84, no. 12, pp. 2088-2090, Mar. 2004, pp. 2088-2090, Mars, 2004.
- [188] CREE, "C2M0025120D," 2015. [Online]. Available: <http://www.cree.com/~media/Files/Cree/Power/Data%20Sheets/C2M0025120D.pdf>.
- [189] CREE, "C2M0080120D," 2015. [Online]. Available: <http://www.cree.com/~media/Files/Cree/Power/Data%20Sheets/C2M0080120D.pdf>.
- [190] MicroSemi, "APT50SM120B," 2015. [Online]. Available: http://www.microsemi.com/index.php?option=com_docman&task=doc_download&gid=133872.
- [191] MicroSemi, "APT40SM120B," 2015. [Online]. Available: http://www.microsemi.com/index.php?option=com_docman&task=doc_download&gid=133871.
- [192] ROHM, "SCT2080KE," 2015. [Online]. Available: <http://rohmf.s.rohm.com/en/products/databook/datasheet/discrete/sic/mosfet/sct2080ke-e.pdf>.
- [193] ROHM, "SCT2160KE," 2015. [Online]. Available: <http://rohmf.s.rohm.com/en/products/databook/datasheet/discrete/sic/mosfet/sct2160ke-e.pdf>.
- [194] STMicro, "SCT20N120," 2015. [Online]. Available: <http://www.st.com/web/en/resource/technical/document/datasheet/DM00118513.pdf>.
- [195] STMicro, "SCT30N120," 2015. [Online]. Available: <http://www.st.com/st-web-ui/static/active/en/resource/technical/document/datasheet/DM00053079.pdf>.
- [196] S. Seddow and A. Agarwal, *Advances in Silicon Carbide Processing and Applications*, Boston: Artech House, Inc., 2004.
- [197] S. H. Ryu, S. Krishnaswami, B. A. Hull, B. Heath, F. Husna, J. Richmond, A. Agarwal, J. Palmour and J. Scofield, "A comparison of high temperature performance of SiC DMOSFETs and JFETs," in *Mater. Sci. Forum*, vols. 556-557, pp. 775-778,, 2007.

- [198] M. Mudholkar, S. Ahmed, M. N. Ericson, S. S. Frank, C. L. Britton and H. A. Mantooh, "Datasheet driven silicon carbide power MOSFET model," *IEEE Trans. Power Electron*, vol. 29, no. 5, pp. 2220–2228, May 2014.
- [199] L. Aubard, "Modélisation des transistors MOS de puissance pour l'électronique de commutation," Thèse de Doctorat de INPG, 1999.
- [200] A. Lakrim and D. Tahri, "Etude de la cellule de commutation d'une alimentation à découpage dans le cadre de la compatibilité électromagnétique," *Revue des Energies Renouvelables*, vol. 17, no. 3, p. 387–402, 2014.
- [201] T. McNutt, A. Hefner, A. Mantooh, D. Berning and S. Ryu, "Silicon carbide power MOSFET model and parameter extraction sequence," in *Proc. IEEE 34th Annu. Power Electron. Specialist Conf*, pp. 217–226., Jun. 2003.
- [202] M. Hasanuzzaman, S. K. Islam, L. M. Tolbert and B. Ozpineci, "Model simulation and verification of a vertical double implanted (DIMOS) transistor in 4H-SiC," in *Proc. 7th Int. Multi-Conf. Power Energy Syst.*, 2003.
- [203] M. Hasanuzzaman, S. K. Islam, L. M. Tolbert and B. Ozpineci, "Design, modelling, testing and SPICE parameter extraction of DIMOS transistor in 4H-silicon carbide," in *Int. J. High Speed Electron. Syst.*, vol. 16, no. 2, pp. 733–746., 2006.
- [204] M. Hasanuzzaman, S. K. Islam and L. M. Tolbert, "Effects of temperature variation (300–600 K) in MOSFET modelling in 6H–silicon carbide," *Solid-State Electron*, vol. 48, no. 1, p. 125–132, Jan 2004.
- [205] S. K. Powell, N. Goldsman, J. M. McGarrity, J. Bernstein, C. J. Scozzie and A. Lelis, "Physics-based numerical modelling and characterization of 6H-silicon-carbide metal–oxide–semiconductor field-effect transistors," *J. Appl. Phys.*, vol. 92, no. 7, pp. 4053–4061, Oct 2007.
- [206] J. Wang, "Characterization, modelling, and application of 10-kV SiC MOSFET," *IEEE Trans. Electron Device*, vol. 55, no. 8, p. 1798–1806, Aug. 2008.
- [207] S. Potbhare, N. Goldsman, A. Lelis, J. M. McGarrity, F. B. McLean "A physical model of high temperature 4H-SiC MOSFETs," *IEEE Trans. Electron Devices*, vol. 55, no. 8, p. 2029–2040, 2008.
- [208] N. Phankong, T. Funaki and T. Hikiyara, "A static and dynamic model for a silicon carbide power MOSFET," in *Proc. 13th Eur. Conf. Power Electron. Appl.*, pp. 1–10., Sep, 2009.
- [209] R. Fu, A. Grekov, J. Hudgins, A. Mantooh and E. Santi, "Power SiC DMOSFET model accounting for nonuniform current distribution in JFET regions," *IEEE Trans. Ind. Appl.*, vol. 48, no. 1, p. 181–190, Jan./Feb. 2012.
- [210] M. Mudholkar, M. Saadeh and H. A. Mantooh, "A datasheet driven power MOSFET model and parameter extraction procedure for 1200 V, 20 A SiC MOSFETs," in *Proc. 14th Eur. Conf. Power Electron. Appl. (EPE)*, pp. 1–10., 2011.
- [211] Y. Cui, M. Chinthavali and L. M. Tolbert, "Temperature dependent Pspice model of silicon carbide power MOSFET," in *Proc. 27th IEEE Appl. Power Electron. Conf. Expo. (APEC)*, 1698–1704, Feb. 2012.
- [212] S. Yin, T. Wang, K. J. Tseng, and X. Hu, "Electro-thermal modelling of SiC power devices for circuit simulation," in *Proc. 39th Annu. Conf. IEEE Ind. Electron. Soc. (IECON)*, pp. 718–723, Nov. 2013.
- [213] B. N. Pushpakaran, S. B. Bayne and A. A. Ogunniyi, "Electro thermal transient simulation of silicon carbide power MOSFET," in *Proc. 19th IEEE Pulsed Power Conf. (PPC)*, p. 1., Jun. 2013.,
- [214] K. Sun, H. Wu, J. Lu, and L. Huang, "Improved modelling of medium voltage SiC MOSFET within wide temperature range," in *IEEE Trans. Power Electron.*, vol. 29, no. 5, pp. 2229–2237, May 2014.

- [215] J. Lu, K. Sun, H. Wu, Y. Xing and L. Huang, "Modelling of SiC J. Lu, K. Sun Modeling of SiC MOSFET with temperature dependent parameters and its applications," in *Proc. 28th Annu. IEEE Appl. Power Electron. Conf. Expo. (APEC)*, pp. 540–544., Mar, 2013.
- [216] P. Alexakis, O. Alatise, L. Ran and P. Mawby, "Modelling power converters using hard switched silicon carbide MOSFETs and Schottky barrier diodes," in *Proc. 15th Eur. Conf. Power Electron. Appl. (EPE)*, pp. 1–9., Sep. 2013.
- [217] A. Merkert, T. Krone and A. Mertens, "Characterization and scalable modelling of power semiconductors for optimized design of traction inverters with Si- and SiC-devices," *IEEE Trans. Power Electron*, vol. 29, no. 5, p. 2238–2245, Jan. 2014..
- [218] V. d'Alessandro and e. al, "SPICE modelling and dynamic electrothermal simulation of SiC power MOSFETs," in *IEEE 26th Int. Symp. Power Semiconductor Devices IC's (ISPSD)*, pp. 285–288., Jun 2014.
- [219] P. Giammatteo, C. Buccella and C. Cecati, "Matlab/Simulink modelling of SiC power MOSFETs," *International Review of Electrical Engineering (IREE)*, vol. 9, no. 4, pp. 671-680, 2014.
- [220] B. Ozpine, L. M. Tolbert, S. K. Islam and F. Z. Peng, "Testing, Characterization, and Modelling of Sic Diodes for Transportation Applacations," in *The 33 Annual IEEE Power Electronics Specialists Conference (PESC'02)*, pp 1973-1678, Cairns, Australia, 2002.
- [221] T. Sakurai and A. R. Newton, "A simple MOSFET model for circuit analysis," *IEEE Trans. Electron Devices*, vol. 38, no. 4, p. 887–894, Apr. 1991.
- [222] H. Shichman and D. A. Hodges, "Modelling and simulation of insulated-gate field-effect transistor switching circuits," *IEEE J. Solid-State Circuits*, vol. 3, no. 5, pp. 285-289, Sep. 1968.
- [223] D. Foty, MOSFET Modelling With SPICE: Principles and Practice, Hall PTR, 1997.
- [224] C. C. Enz, F. Krummenacher and E. A. Vittoz, "An analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications," *J. Analog Integr. Circuits Signal Process*, vol. 8, pp. 83 - 114, July 1995.
- [225] J. Zarebski and K. Gorecki, "The Electrothermal Large-Signal Model of Power MOS Transistors for SPICE," *IEEE TRANSACTIONS ON POWER ELECTRONICS*, vol. 25, no. 5, pp. 1265 - 1274, 2010.
- [226] A. Lakrim and D. Tahri, " The DC Behavioural Electrothermal Model of Silicon Carbide Power MOSFETs under SPICE," in *IEEE International Conference on Industrial Technology (ICIT)*, , Seville, 17-19 March 2015 .
- [227] A. Lakrim and D. Tahri, "Spice Electro-thermal Behavioural Model for a Silicon Carbide Power MOSFET," *International Journal of Emerging Trends in Engineering and Development (IJETED)* , vol. 5, no. 4, pp. 134-146, 2014.
- [228] A. Lakrim and D. Tahri, "Merged PiN and Schottky (MPS) Power Diodes Electrothermal Modelling in SPICE," *Journal of Energy Technologies and Policy* , vol. 4, no. 6, pp. 18 - 27, 2014.
- [229] C. E. Cordonnier, "SPICE Model for TMOS Power MOSFETs," Motorola Application note AN1043, 1989.
- [230] B. Andreyca, "New Drive ICs Optimize High Speed Power MOSFET Switching Characteristics," Application Notes, UNITRODE, 1996.
- [231] C. F. Wheatley, H. R. Ronan and G. M. Dolny, "Spicing-up SPICE II Softwear for Power MOSFET Modelling," Application Notes Databook of Harris Semiconductor , 1991.
- [232] J. L. Debrie, "Modèle distribué de transistor IGBT pour simulation de circuits en électronique de puissance," Thèse de Doctorat de INSA N°388, Toulouse, 1996.
- [233] P. J. M. Van Laarhoven and E. H. L. Aarts, Simulated Annealing: Theory and Applications, Springer-Science+Business Media, B.V, 1992.

ANNEXES

Annexe I : Les Equations Physiques du Semiconducteur

Les équations des semiconducteurs gouvernant les semiconducteurs, limités en 1D pour l'étude de la diode.

Equation de Poisson

$$\frac{\partial E}{\partial x}(x,t) = \frac{\rho}{\epsilon_s}(x,t) \quad (\text{AI.1})$$

$$\rho(x,t) = q[\Gamma(x) + p(x,t) - n(x,t)]$$

Equation de Faraday (Potentiel Electrique)

$$\frac{\partial V}{\partial x}(x,t) = -E(x,t) \quad (\text{AI.2})$$

Equations de Continuité

$$\frac{\partial p}{\partial x}(x,t) = -U(x,t) - \frac{1}{q} \frac{\partial J_p}{\partial x}(x,t) \quad (\text{AI.3})$$

$$\frac{\partial n}{\partial x}(x,t) = -U(x,t) + \frac{1}{q} \frac{\partial J_n}{\partial x}(x,t) \quad (\text{AI.4})$$

Equations de transport : dérive et diffusion

$$J_p(x,t) = q\mu_p p(x,t)E(x,t) - qD_p \frac{\partial p}{\partial x}(x,t) \quad (\text{AI.5})$$

$$J_n(x,t) = q\mu_n n(x,t)E(x,t) - qD_n \frac{\partial n}{\partial x}(x,t) \quad (\text{AI.6})$$

Annexe II : Algorithme du Recuit Simulé et Exemple d'application

Les Métaheuristiques sont le plus souvent des recherches locales modifiées pour éviter les minima locaux. Leur conception commence par l'étude d'une recherche locale classique (définition d'un voisinage, avec transformations simples), que l'on promeut ensuite en une méthode plus puissante si elle s'avère insuffisante. Il s'agit des méthodes très générales, dans lesquelles plusieurs composants doivent être précisés en fonction du problème à traiter. La méthode du recuit simulé, conçu pour chercher un optimum global parmi plusieurs minima locaux [233].

Méthode du Recuit Simulé

Le recuit simulé est la première méthode Métaheuristique qui a été proposée. Elle repose sur une analogie avec la métallurgie et le recuit des métaux : un métal refroidi trop vite présente de nombreux défauts qui correspondent à des excédents d'énergie interne. L'objectif du recuit est de minimiser ces excédents de façon à obtenir une configuration d'énergie minimale. Pour le réaliser, on réchauffe le métal ce qui a pour effet d'augmenter encore l'énergie interne (Figure II. 6): mais un réglage judicieux de la température de refroidissement permet de sortir de l'état initial et d'obtenir finalement une énergie interne plus faible. L'application de ce principe à l'optimisation est le suivant : Il est possible, contrairement à un algorithme de recherche locale, d'accepter une dégradation de la fonction objectif avec une certaine probabilité, sachant que cette dégradation pourra entraîner une amélioration ultérieurement.

Cette méthode d'optimisation s'appuie sur les travaux de Metropolis (1953) [107], qui permettent de décrire l'évolution de l'équilibre thermodynamique d'un système.

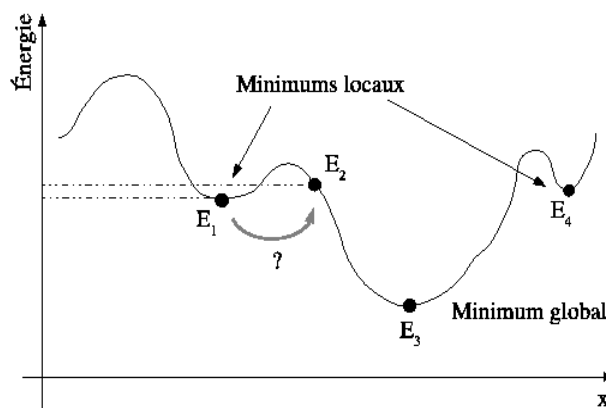


Figure AII. 1: Schéma du principe du Recuit Simulé

Algorithme en pseudo-code (minimisation de f) :

Début

Engendrer la solution initiale S_0 */* Choix de la solution initiale S_0 */*

Mini = S_0

Répéter

 Choix de $S_i \in V(S_i)$

 Calcul de $\Delta d = f(S_i) - f(\text{Mini})$

 Si $\Delta d < 0$

 Alors Mini = S_i */* Identique à l'algorithme de la descente */*

 Sinon tirer p dans $[0,1]$ suivant une distribution uniforme

 Si $p \leq e^{(-\Delta d/T)}$

 Alors Mini = S_i */* solution moins bonne */*

 Sinon S_i est rejeté

$T = g(T)$ */* avec g décroissant, par exemple $T=0.9995 \times T$ */*

Jusqu'à ce que T sera proche de 0

Fin

Exemple d'application

Le Recuit Simulé peut être appliqué au problème du voyageur de commerce. Le but est alors de trouver le circuit hamiltonien de coût minimal dans un graphe. L'énergie représentera la distance totale à parcourir, et l'état du système représentera le chemin entre les villes. L'algorithme va donc tenter de minimiser la longueur totale du chemin, en modifiant l'ordre des villes à parcourir.

Soit le graphe suivant représentant un ensemble de villes :

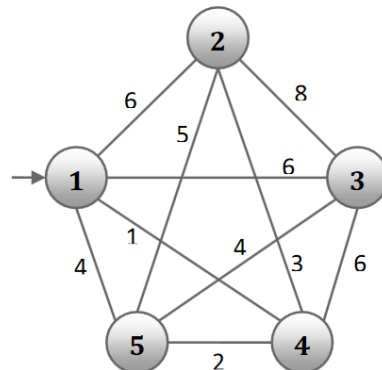


Figure AII. 2: Ensemble de villes (Nœuds) reliées entre eux par des routes (arcs).

La solution la plus simple est de parcourir les villes dans l'ordre.



Figure AII. 2: Une première solution (parcours suivant l'ordre des villes)



Figure AII. 3: Résultat donné par l'algorithme glouton (se décaler d'un sommet vers son plus proche voisin).

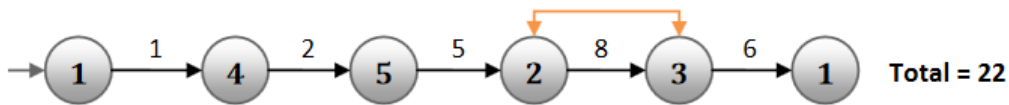


Figure AII. 4: Résultats obtenus en échangeant les sommets 2 et 3

Dans la figure AII. 4, le résultat obtenu en échangeant les sommets 2 et 3, la distance totale a augmenté. Pour une heuristique classique cette solution est rejetée, car la distance doit être minimisée, mais le Recuit Simulé pourra l'accepter si la température est encore élevée, et cette solution qui est « Mauvaise » par rapport à la première va lui permettre de trouver une solution meilleure :

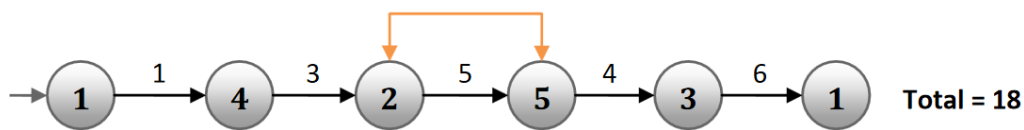


Figure AII.5 : Résultat obtenu en échangeant les sommets 5 et 2

Le graphique suivant résume les résultats trouvés :

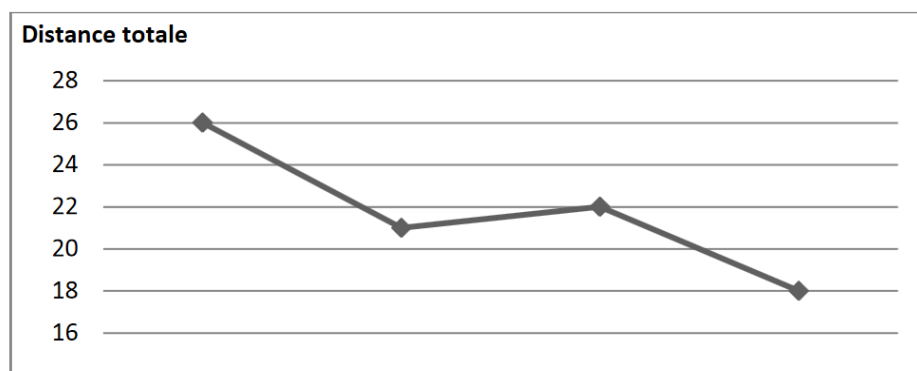


Figure AII.6 : Résultats obtenus dans l'exemple

Pour conclure : le Recuit Simulé, en acceptant une mauvaise solution, à réussi d'échapper du minima local et à obtenir une solution meilleure.

Annexe III

Tableau AIII : Différentes références de différents fabricants des diodes Schottky en SiC

Vendeur	Référence	Calibre en tension à T_{max}	Calibre en courant à T_{max}	Date de production	Température supportée
NXP	NXPSC10650	650V	10A	Mai 2015	175°C
GeneSiC	GB20SLT12-247	1200V	20A	Aout 2014	175°C
GeneSiC	GB50SLT12-247	1200V	40A	Décembre 2014	175°C
MicroSemi	APT10SCE170B	1700V	10A	Mars 2014	175°C
MicroSemi	APT20SCE120B	1200V	20A	Octobre 2012	150°C
MicroSemi	APT30SCD120B	1200V	30A	Octobre 2012	150°C
STMicro	STPSC6H12	1200V	10A	Mars 2015	150°C
ROHM	SCS210KE2HR	1200V	10A*	Mai 2014	175°C
ROHM	SCS220KGHR	1200V	20A	Mai 2014	175°C
Infineon	IDW40G120C5B	1200V	40A*	Juin 2014	175°C
Infineon	IDW20G120C5B	1200V	20A*	Juin 2014	175°C
CREE	C2D20120D	1200V	25A*	Juin 2013	175°C
CREE	C2D20120A	1200V	20A	Juin 2013	175°C
CREE	C4D20120D	1200V	30A*	Juin 2014	175°C
CREE	C4D30120D	1200V	40A*	Juin 2014	175°C
CREE	C4D30120D	1200V	50A*	Juin 2014	175°C
USCi	UJ2D1220K	1200V	20A*	Juin 2014	175°C
USCi	UJ2D1230K	1200V	30A*	Juin 2014	175°C

* Composant à deux diodes en parallèle.

Annexe IV

Tableau AIV : Valeurs des paramètres des équations du modèle de la diode Schottky en SiC

		GB20SLT12 GeniSiC	APT20SCD120B Microsemi	SCS220KGHR ROHM	IDW20G120C5B Infineon	C4D20120A CREE	UJ2D1220K USCi
Paramètres Thermiques							
R	R1	2.432e-01	5.654e-01	5.838e-01	3.459e-02	1.450e-01	4.806e-01
	R2	9.938e-01	1.353e+00	4.679e-01	6.801e-01	3.305e-01	7.073e-02
	R3	1.211e+00	4.806e-01	7.535e-01	2.115e+00	9.898e-01	1.874e-02
	R4	2.675e-01	7.073e-02	7.535e-01	1.613e-01	1.067e-01	4.363e-01
	R5	4.541e-02	1.874e-02	2.107e-02	3.287e-01	1.816e-01	3.401e-03
	R6	7.200e-02	6.214e-03	8.517e-02	8.459e-02	7.008e-02	8.547e-02
C	C1	4.363e-01	5.609e-01	2.484e-01	6.597e+01	5.359e-01	8.970e-04
	C2	1.890e-02	3.401e-03	2.955e-02	3.550e-02	4.597e-02	1.341e-04
	C3	1.674e-03	8.970e-04	2.058e-03	1.230e-03	4.028e-03	3.021e-05
	C4	1.671e-03	1.341e-04	4.246e-04	2.679e-04	1.141e-03	1.001e-01
	C5	1.337e-03	3.021e-05	4.309e-05	1.375e-08	2.031e-07	1.967e-03
	C6	6.321e-04	7.581e-06	7.903e-06	5.425e-08	1.879e-07	2.587e-03
Chute de tension en polarisation directe							
DD10	5.871e-01	8.862e-01	7.123e-01	8.659e-01	9.548e-01	6.597e+01	
DD11	9.642e-04	-8.151 e-05	-1.721 e-03	1.398e-04	-8.042 e-04	3.550e-02	
DD12	-2.991 e-06	-1.729 e-06	5.297e-07	-2.238 e-06	-6.598 e-07	1.230e-03	
DD20	2.885e-01	2.957e-01	9.332e-02	3.963e-01	1.001e-01	2.484e-01	
DD21	-1.426e-03	-1.732 e-03	-3.877 e-04	-1.967 e-03	-3.816 e-04	2.955e-02	
DD22	2.847e-06	3.794e-06	8.559e-07	3.956e-06	6.596e-07	2.058e-03	
Charge en polarisation inverse							
QR10	8.894e-03	7.1244e-03	2.449e-03	1.331e-02	2.750e-03	6.597e+01	
QR11	4.072e-04	2.8045e-04	2.166e-04	5.901e-04	2.178e-04	3.550e-02	
QR12	-1.223e-06	- 4.9053e-07	-6.314 e-07	-6.917 e-07	-5.722 e-07	1.230e-03	
Courant de fuite en polarisation inverse							
DI10	9.452e+00	4.131e+00	9.443e+02	1.080e+03	-5.312 e+03	4.806e-01	
DI11	-4.458 e-02	-1.024 e-02	-5.433 e+00	-6.624 e+00	1.179e+01	7.073e-02	
DI12	5.279e-05	1.499e-05	7.720e-03	1.011e-02	1.899e-02	1.874e-02	
DI20	-6.145 e+01	3.139e+02	4.282e+02	8.983e+02	2.593e+03	4.363e-01	
DI21	5.100e+00	1.285e+00	5.984e-01	1.376e+00	-9.529 e+00	3.401e-03	
DI22	-9.340 e-03	-2.328 e-03	-3.170 e-03	-2.876 e-03	1.403e-02	8.970e-04	
DI30	-1.070e+02	-8.821 e+00	9.213e+00	6.234e+00	-2.737 e+01	1.341e-04	
DI31	6.884e-01	1.222e-01	7.580e-02	-2.149 e-02	1.679e-01	3.021e-05	
DI32	-9.643 e-04	-1.824 e-04	-2.087 e-04	4.070e-05	-2.159 e-04	4.806e-01	

Annexe V

Tableau AV : Valeurs des paramètres des équations du modèle du transistor SiC-MOSFET

	MicroSemi		CREE		STMicro		ROHM	
	APT40SM120	APT50SM120	C2M0025120D	C2M0080120D	SCT20N120	SCT30N120	SCT2080KE	SCT2160KE
Paramètres Thermiques								
R1	7.164e-02	2.702e-01	7.80 e-2	2.967e-01	2.101e-01	2.784e-01	3.250e-02	3.250e-02
R2	2.248e-01	8.317e-01	3.29e-2	1.942e-01	1.740e-01	1.539e-01	2.327e-02	2.327e-02
R3	1.949e-01	4.320e-01	7.47 e-3	2.915e-02	3.250e-02	4.216e-02	1.949e-01	1.249e-01
R4	5.011e-01	1.753e-01	1.20 e-1	5.480e-03	2.327e-02	1.187e-02	6.597e+01	5.359e-01
C1	1.222e+00	3.046e-01	4.36 e-1	2.926e-01	1.607e-01	1.640e-01	3.550e-02	4.597e-02
C2	3.310e-02	8.842e-03	7.78 e-2	3.438e-02	1.960e-02	3.546e-02	1.230e-03	4.028e-03
C3	5.082e-03	2.156e-03	1.27 e-2	1.098e-01	2.488e-03	1.077e-02	2.679e-04	1.141e-03
C4	6.804e-07	1.781e-06	3.28 e-6	4.609e-05	1.821e-05	1.221e-03	1.375e-08	2.031e-07
Caractéristique de transfert								
Ga0	-1.005 e+02	-5.445 e+00	-3.52 e+2	0.000e+00	0.437e-03	1.077e-03	4.131e+00	9.443e+02
Ga1	2.704e-01	-5.138 e-02	7.34e-1	-3.579 e-01	-6.167 e-01	-5.950 e-01	-1.024 e-02	-5.433 e+00
Ga2	-2.112 e-04	1.310e-04	-4.27 e-4	6.985e-04	1.169e-03	9.045e-04	1.499e-05	7.720e-03
Gb0	7.399e+00	-3.653 e-01	3.37 e+1	1.287e-06	0.000e+00	1.656e-02	3.139e+02	4.282e+02
Gb1	-8.309 e-03	1.095e-02	-2.16 e-2	3.563e-02	6.647e-02	6.290e-02	1.285e+00	5.984e-01
Gb2	2.316e-06	-1.995 e-05	-1.04 e-5	-5.823 e-05	-1.067 e-04	-7.706 e-05	-2.328 e-03	-3.170 e-03
Capacités Dynamiques								
C1	1.730e-10	2.147e-11	1.05 e-9	5.001e-10	1.072e-09	3.558e-10	2.302e-09	3.558e-10
C2	4.045e-12	1.290e-12	1.50e-11	7.341e-12	1.242e-11	2.849e-11	1.442e-10	5.059e-11
C3	5.229e-10	1.281e-10	2.74 e-9	9.256e-10	1.902e-09	1.632e-09	2.862e-10	3.032e-09
C6	4.310e-11	8.700e-12	2.05e-10	5.536e-11	1.070e-10	1.170e-10	1.020e-11	1.820e-10
V_{DSmax}	1.20 e+3	1.20 e+3	1.20 e+3	1.20 e+3	1.20 e+3	1.20 e+3	1.20 e+3	1.20 e+3
Chute de tension en polarisation directe								
Ra0	-1.248 e-01	1.541e-01	7.57 e-2	1.414e-01	-1.395 e+00	-2.685 e-01	8.659e-01	9.548e-01
Ra1	8.101e-04	-3.832 e-04	1.22 e-4	1.593e-04	5.333e-03	8.058e-04	1.398e-04	8.042e-04
Rb0	6.035e-02	-5.590 e-01	1.25 e-3	2.748e-02	1.336e-01	1.192e-01	2.238e-06	6.598e-07
Rb1	2.605e-04	4.916e-03	7.87 e-5	2.565e-04	-2.589 e-04	-8.979 e-05	3.963e-01	1.001e-01
Rc0	-4.401 e-03	9.177e-02	-2.01 e-4	3.939e-03	-1.745 e-03	1.915e-06	1.967e-03	-3.816 e-04
Rc1	3.142e-05	3.907e-04	1.21e-6	-5.650 e-07	8.545e-06	1.425e-06	2.8045e-04	2.166e-04

Tension seuil V_{Gsth}								
a	1.003e-03	8.953e-04	5.200e-03	8.894e-03	7.1244e-03	2.449e-03	1.331e-02	2.750e-03
b	2.553e+00	7.603e+00	2.542e+00	4.072e+00	2.8045e+00	2.166e+00	5.901e+00	2.178e+00
Diode de Structure (Body diode)								
Da0	-6.145 e+01	3.139e+02	4.282e+02	8.983e+02	2.593e+03	9.452e+00	4.131e+00	9.452e+00
Da1	5.100e+00	1.285e+00	5.984e-01	1.376e+00	-9.529 e+00	-4.458 e-02	-1.024 e-02	9.443e+02
Da2	-9.340 e-03	-2.328 e-03	-3.170 e-03	-2.876 e-03	1.403e-02	5.279e-05	1.499e-05	-5.433 e+00
Db0	-1.070 e+02	-8.821 e+00	9.213e+00	6.234e+00	-2.737 e+01	1.080e+03	-5.312 e+03	7.720e-03
Db1	6.884e-01	1.222e-01	7.580e-02	-2.149 e-02	1.679e-01	-6.624 e+00	1.179e+01	5.984e-01
Db2	-9.643 e-04	-1.824 e-04	-2.087 e-04	4.070e-05	-2.159 e-04	1.011e-02	1.899e-02	1.376e+00