



UNIVERSITE SULTAN MOULAY SLIMANE
FACULTE DES SCIENCES ET TECHNIQUE
BENI MELLAL



THESE DE DOCTORAT

Présentée par :

JAAFAR HIND

Discipline : Génie Electrique

Spécialité : Electronique et Microélectronique

Sur le Thème :

**Etude analytique et modélisation compacte d'un transistor
submicronique MOSFET à grille cylindrique**

Encadrant : Abdellah AOUAJ

Co-Encadrant : Ahmed BOUZIANE

Devant le jury composé de :

- Pr Kebir CHAJI, Professeur à la Faculté des Sciences et Techniques, Béni Mellal, Président
- Pr Benachir ELHADADI, Professeur à la Faculté Polydisciplinaire, Béni Mellal, Rapporteur
- Pr Abdelkader TOUHAMI, Professeur à la Faculté des Sciences Ain Chock, Casablanca, Rapporteur
- Pr Abdelouahab ZEROUAL, Professeur à la Faculté des Sciences Semlalia, Marrakech, Rapporteur
- Pr Abdellah AOUAJ, Professeur à la Faculté des Sciences et Techniques, Béni Mellal, Encadrant
- Pr Ahmed BOUZIANE, Professeur à la Faculté des Sciences et Techniques, Béni Mellal, Co-encadrant

Remerciement

Ce travail de thèse a été effectué au sein du Laboratoire d'Automatique, de Conversion d'Energie et de Microélectronique (LACEM) de l'université Sultan Moulay Slimane, sous la direction de Monsieur **Abdellah AOUAJ**, Professeur au Département de génie électrique de la faculté des sciences et techniques.

Tout d'abord, je tiens à remercier **DIEU** tout puissant pour la volonté, la santé et la patience qu'il m'a données durant toutes ces années d'études afin que je puisse arriver à ce stade.

L'achèvement de cette thèse n'aurait pas été possible sans l'aide et le soutien de nombreuses personnes. Tout d'abord, je voudrais exprimer ma plus sincère gratitude à mon directeur de thèse, le Professeur **Abdellah AOUAJ** pour ses conseils et son soutien tout au long de mes années au laboratoire LACEM-FSTBM-USMS. Plus d'une fois, il m'a fait réaliser tout mon potentiel et m'a encouragé à atteindre le plus haut niveau de professionnalisme. J'aimerais particulièrement le remercier de m'avoir donné la liberté de poursuivre mes recherches. Il m'a donné toutes les occasions de faire de la publicité pour mon travail lors de conférences importantes. Je le remercie particulièrement pour sa lecture rapide et sa critique attentive de ma thèse.

Je voudrais particulièrement remercier mon Co-encadrant, le Professeur **Ahmed BOUZIANE** qui a toujours été une source de conseils sans fin et de l'aide et il a toujours fourni des encouragements et un soutien opportuns et chaleureux dans les moments difficiles.

J'exprime mes vifs remerciements et ma profonde gratitude à Monsieur **Benjamin IñIGUEZ** professeur à l'université Rovira i Virgili (URV) en Espagne. Je le remercie pour m'avoir accueilli au sein de son laboratoire, pour son suivi et sa disponibilité lors de mon stage. Il m'a aidé à développer une compréhension claire du fonctionnement et de la physique des TMOS multi-grilles, qui permet la modélisation compacte de ce type de composants.

Mes remerciements vont également vers tous mes collègues du laboratoire LACEM. J'aimerais également remercier chaleureusement les membres d'équipe de Monsieur Benjamin IñIGUEZ, et particulièrement François LIME et Oana MOLDOVAN.

Plus important encore, je voudrais remercier ma famille pour son immense soutien et encouragement, sans qui rien de tout cela n'aurait été possible. Surtout, je remercie chaleureusement mon cher mari Oussama pour son amour durable, sa compréhension et ses encouragements.

Résumé

Les travaux de recherches effectués durant cette thèse ont été consacrés à l'étude analytique et la modélisation d'un nouveau transistor MOSFET à grille cylindrique. Cette nouvelle structure (DMG-GC-DOT) proposée, incorpore deux matériaux de la grille (DMG), un dopage non uniforme le long du canal (GC) et une couche d'oxyde composé dans un premier temps d'un seul diélectrique d'oxyde et dans un second temps de deux diélectriques différents (DOT).

La diminution des dimensions du canal engendre quelques effets indésirables, ces effets sont appelés les effets du canal court tels que la réduction de la tension seuil (V_{th}), l'abaissement de la barrière induite par le drain (DIBL) et la dégradation de la pente sous le seuil (S).

La structure proposée dans notre travail, offre un meilleur contrôle du potentiel électrostatique en le comparant avec d'autres structures proposées en littérature, le renforcement du contrôle dans tous les côtés permet à la structure MOSFET à grille cylindrique (SG MOSFET) d'être adaptée à une longueur du canal qui peut être jusqu'à 35 % plus courte que celle dans la structure MOSFET à double grille.

Pour réduire l'impact des effets de canal court sur le courant de drain, on a proposé d'utiliser une nouvelle architecture (DMG-GC-DOT) avec deux épaisseurs d'oxyde différentes et deux diélectriques différents.

Les résultats du potentiel de surface, de la tension de seuil, de la pente sous le seuil et du DIBL obtenus analytiquement par résolution de l'équation de poisson 2D sont comparés à ceux obtenus par simulation numérique utilisant la méthode de différence finie et par le simulateur ATLAS. Ces résultats sont comparés aussi à ceux de la structure qui incorpore deux matériaux de la grille (DMG), un dopage non uniforme du canal (GC) et deux épaisseurs d'oxyde avec une même permittivité. L'étude effectuée confirme la validité de notre modèle par une bonne concordance avec les résultats de simulation numérique.

En ce qui concerne la structure DMG-GC-DOT, l'apport de l'utilisation de deux couches d'oxyde avec un diélectrique différent est très important. La structure DMG-GC-DOT offre donc une meilleure contrôlabilité de la grille et représente une solution potentielle pour l'intégration fortement submicronique. Ainsi on a pu développer notre modèle, par simulation avec le logiciel ATLAS, de l'évolution du courant de drain, de la transconductance et de la conductance du drain pour cette nouvelle structure en fonction du potentiel de drain et du potentiel de la grille. Les résultats obtenus pour cette nouvelle structure sont ainsi comparés à ceux des transistors MOSFET à grille cylindrique existant dans la littérature.

Mots clés : Double matériaux de grille (DMG); Double épaisseur d'oxyde (DOT); Gradual Canal (GC); tension seuil ; la pente sous le seuil ; Abaissement de la barrière induit par drain (DIBL), TMOS Multi Grilles, Modélisation compacte, effets de canaux courts, SILVACO.

Abstract

The research works carried out during this thesis were devoted to the analytical study and the modeling of a new cylindrical gate MOSFET. This new structure (DMG-GC-DOT) suggested incorporates two materials of gate (DMG), a non uniform channel doping (GC) and an oxide coating made up with initially a same oxide dielectric permittivity and in the second time with two different oxide dielectric permittivity (DOT).

The reduction in dimensions of channel generates some undesirable effects, these effects are called the shorts channel effects such as the reduction of threshold voltage (V_{th}), the lowering of the barrier induced by the drain (DIBL) and the degradation of the subthreshold swing (S).

The structure suggested in our work, offers a better control of the electrostatic potential by comparing it with other structures suggested in literature, the reinforcement of control in all the sides makes it possible structure Surrounding Gate (SG) MOSFET to be adapted to a length of the channel which can be up to 35 % shorter than that in the double gate structure MOSFET.

To reduce the impact of the shorts channel effects on the drain current, it has been proposed to use a new architecture (DMG-GC-DOT) with two different oxide thicknesses and two different constant dielectrics.

The results of the potential of surface, of the threshold voltage, the subthreshold swing and the DIBL obtained analytically by resolution of the Poisson's equation 2D are compared with those obtained by digital simulation using the method of finished difference and by the simulator ATLAS. These results are also compared with those of the structure which incorporates two materials of gate (DMG), non uniform channel (GC) and two thicknesses of oxide with the same permittivity. The study carried out confirms the validity of our model by a good agreement with the results of numerical simulation.

With regard to structure DMG-GC-DOT, the contribution of the use of two oxide coatings with dielectric different is very significant. The structure DMG-GC-DOT MOSFET thus offers a better controllability of the gate and represents a potential solution for strongly submicronic integration. Thus I could develop our model, by simulation with the software ATLAS, of the evolution of the drain current, the transconductance and the drain conductance for this new structure according to the potential of drain and the potential of gate. The results obtained for this new structure are thus compared with those of cylindrical gate transistors MOSFET existing in the literature.

Keywords: Dual materials of gate (DMG); Double thickness of oxide (DOT); Gradual Channel (GC); Threshold Voltage ; Subthreshold Swing; Lowering of the barrier induced by drain (DIBL), TMOS Multi Gates, Compact Modeling, Short Channels Effects(SCE), SILVACO-ATLAS TCAD

Productions scientifiques

Les Publications

1- H. Jaafar, A. Aouaj, A. Bouziane and B. Iñiguez

“A Compact Model of Transconductance and Drain Conductance for DMG-GC-DOT Cylindrical Gate MOSFET”, soumis (accepté) à International Journal of Nanoelectronics and Materials.

2- H. Jaafar, A. Aouaj, A. Bouziane and B. Iñiguez

“An analytical drain current model for cylindrical gate DMG-GC-DOT MOSFET”, International Journal of Electronics Letters, DOI: 10.1080/21681724.2018.1540058.

3- H. Jaafar, A. Aouaj, A. Bouziane

“Analytical model of the threshold voltage V_{th} , subthreshold swing and drain induced barrier lowering (DIBL) for a new device structure of cylindrical gate MOSFET,”
Journal of Theoretical and Applied Information Technology, Vol. 95, No 6, pp. 1355-1362, March 2017.

4- H. Jaafar, A. Aouaj, A. Bouziane

“Dual Metal Gate-Graded Channel-Dual Oxide Thickness of Surrounding Gate MOSFET: Analytical Models of the Threshold Voltage and DIBL,”
European Journal of Scientific Research, Vol. 144, No. 3, pp.252 – 261, March 2017.

5- H. Jaafar, A. Aouaj, A. Bouziane

“Analytical and Numerical Modeling of V_{th} and S for new CG MOSFET Structure”, International Journal of Information Science and Techniques (IJIST), Vol. 6, No.3/4/5/6, November 2016.

Les Communications

1- H. Jaafar, A. Aouaj, A. Bouziane

“2D analytical and numerical of threshold voltage and subthreshold swing for a new device structure of cylindrical gate MOSFET,”

Proceedings colloque International symposium on Computational Mathematics and Engineering Sciences (CMES 2016), Errachidia.

2- H. Jaafar, A. Aouaj, A. Bouziane

“Analytical modeling of threshold voltage and Drain Induced Barrier Lowering (DIBL) for a new device structure of cylindrical gate MOSFET,”
Proceedings Conférence Internationale Journées scientifiques en science appliquées JSSA 2016, Larrache.

3- H. Jaafar, A. Aouaj, A. Bouziane,

“An analytical modeling and Numerical Simulation for Dual Metal Gate-Graded Channel-Dual Oxide Thickness of Surrounding Gate MOSFET”,

Proceeding Conférence Internationale en Sciences et Technologies Electrique au Maghreb (IEEE-CISTEM 2016), Marrakech.

4- H. Jaafar, A. Aouaj, A. Bouziane

“Dual Metal Gate-Graded Channel-Dual Oxide Thickness of Surrounding Gate MOSFET: Analytical models of the threshold voltage and DIBL,”

Proceeding the 3rd International Conference on Business Intelligence, 2017, Beni Mellal.

5- H. Jaafar, A. Aouaj, A. Bouziane and B. Iñiguez

“Analytical study of drain current and transconductance for a new cylindrical gate MOSFET structure”,

Proceeding the fourth International Conference on Optimization and Applications (IEEE-ICOA'2018), E-ISBN: 978-1-5386-4225-2, Mohammedia.

Sommaire

Sommaire

Liste des symboles, constantes et abréviations.....	10
Liste des figures.....	13
Liste des tableaux	16
Introduction générale.....	2
Chapitre 1 Le MOSFET : Limites et Solutions à la Miniaturisation	
1 Introduction	7
2 Le transistor MOSFET canal long.....	7
2.1 Introduction	7
2.2 Le transistor MOSFET: Structure et mode de fonctionnement.....	9
3 Réduction du canal	14
3.1 Effets canaux courts	15
3.1.1 Diminution de la tension de seuil V_{TH} dans les canaux courts.....	16
3.1.2 Abaissement de la barrière induite par le drain (DIBL)	16
3.1.3 Partage de charge de déplétion (CS).....	18
3.2 Effets quantiques	18
3.3 Effets tunnel.....	19
4 Les solutions technologiques proposées.....	20
4.1 L'amélioration des propriétés du matériau	21
4.2 Les technologies SOI.....	23
4.2.1 la technologie SOI à une grille	23
4.2.2 Les transistors à grilles multiples	25
4.2.2.1 Le transistor Double Grille.....	26
4.2.2.2 Le FinFET	27
4.2.2.3 Le Triple Grille.....	29
4.2.2.4 Le TMOS à grille cylindrique	30
Conclusion.....	31
Références	32
Chapitre 2 Développement du modèle analytique pour le MOSFET à grille cylindrique	
1 Introduction	38
2 Le MOSFET à grille cylindrique.....	38
3 Modèles analytiques	39
3.1 Les Modèles Physiques bidimensionnels du MOSFET à Grille-Cylindrique.....	40
3.1.1 Approximation du modèle parabolique (PMA).....	40
3.1.2 Approximation du modèle évanescent (EMA).....	41
3.1.3 Application des deux modèles au MOSFET à grille cylindrique	41
4 Développement du modèle CG MOSFET	42
4.1 Dérivation du modèle potentiel	42

4.2	Tension seuil V_{th}	45
4.3	Pente sous le seuil (S).....	47
4.4	Abaissement de la barrière induite par drain (DIBL).....	49
4.5	Courant du drain.....	49
4.6	Transconductance et Conductance du drain.....	52
	Conclusion.....	53
	Références.....	54
Chapitre 3 Modélisation analytique de la nouvelle structure MOSFET à grille cylindrique		
1	Introduction.....	58
2	Présentation du dispositif considéré.....	58
3	Dérivation du modèle.....	59
3.1	Modèle du potentiel de surface.....	59
3.2	Dérivation de la tension seuil V_{th}	63
3.3	Calcul de la pente sous le seuil S.....	64
3.4	Courant de drain.....	65
3.5	Courant sous le seuil.....	67
3.6	Modèle complet pour tous les régimes.....	68
3.7	Transconductance et conductance du drain.....	69
	Conclusion.....	70
	Références.....	71
Chapitre 4 Présentation des résultats et discussions		
1	Introduction.....	74
2	Outil de modélisation et simulation.....	74
2.1	Matlab (Méthode des différences finies).....	74
2.2	Outils de conception assistée par ordinateur (CAO) et Silvaco.....	77
2.3	Silvaco CAD.....	80
2.3.1	ATLAS.....	81
2.3.2	Structure DMG-GC-DOT MOSFET.....	83
3	Validation du modèle analytique DMG-GC-DOT MOSFET.....	83
4	Effet des paramètres géométriques et électriques sur la structure DMG-GC-DOT MOSFET.....	910
5	Utilisation de deux couches d'oxyde de permittivité différentes des DMG-GC-DOT MOSFET.....	100
	Conclusion.....	113
	Références.....	113
	Conclusion générale.....	114
	Annexe.....	117

Liste des symboles, constantes et abréviations

Symboles et constantes

ϵ_{si} : Permittivité diélectrique du Silicium.

ϵ_{ox} : Permittivité diélectrique d'oxyde.

C_{oxi} : Capacité d'oxyde des deux régions

ΔV_{TH} : Décalage de la tension de seuil lié à l'effet DIBL et à V_{th} Roll-off.

E : Champ électrique.

E_{eff} : Champ électrique effectif.

ϕ : Potentiel électrostatique.

ϕ_s : Potentiel de surface.

ϕ_F : Potentiel de Fermi.

SS : Pente sous le seuil.

t_{si} : Épaisseur du Silicium.

t_{oxi} : Épaisseur d'oxyde des deux régions ($i=1, 2$)

V_{gs} : Tension de Grille.

V_{ds} : Tension de Drain.

V_{th} : Tension de seuil du dispositif à canal court.

C_{si} : Capacité du Silicium.

C_{ox} : Capacité d'oxyde.

E_{fn} : Quasi-niveau de Fermi des électrons.

E_{fp} : Quasi-niveau de Fermi des trous.

E_i : Niveau de Fermi intrinsèque.

E_c : Niveau d'énergie de la bande de conduction.

E_v : Niveau d'énergie de la bande de valence.

E_s : Champ électrique de surface.

ϕ_c : Potentiel électrostatique au centre du canal.

g_m : Transconductance.

g_{ds} : Conductance.

I_{ds} : Courant de Drain.
 I_{on} : Courant à l'état passant.
 I_{off} : Courant à l'état bloqué.
 λ : Longueur caractéristique
 K : Constante de Boltzmann ($1,38.10^{-23}$ J/K).
 L : Longueur du canal.
 μ : Mobilité des porteurs.
 μ_{eff} : Mobilité effective des porteurs.
 μ_0 : Mobilité des porteurs à champ faible.
 N_A : Concentration en dopant "accepteurs".
 N_D : Concentration en dopant "donneurs".
 n : Densité des électrons.
 n_i : Densité intrinsèque des porteurs dans le Silicium.
 q : Charge élémentaire d'électron ($1,6.10^{-19}$ C).
 R : Rayon du canal cylindrique.
 R_D : Résistance de Drain.
 R_S : Résistance de la Source.
 V_{TO} : Tension de seuil du dispositif à canal long.
 V_{fb} : Tension de "bandes plates".
 v_{sat} : Vitesse de saturation des porteurs.
 W : Largeur du canal.
 X_j : Profondeur des jonctions de Source et de Drain.
 X_{dd} : Largeur de la région déplétée du côté de Drain.
 X_{sd} : Largeur de la région déplétée du côté de la Source.

Abréviations

BOX : *Buried Oxide* (oxyde enterré).
 CAD : *Computer Aided Design*.
 CMOS : *Complementary Metal Oxide Semiconductor*.
 GAA : *Gate All Around*
 IC : *Integrated Circuit*

DIBL : *Drain Induced Barrier Lowering (abaissement de la barrière d'injection source/drain due à la tension de drain).*

GCA : *Gradual Channel Approximation (approximation du canal graduel).*

MG : *Multi-Grilles.*

CM : *Compact Modeling*

MOSFET : *Métal-Oxyde-Semiconductor (MOS) Field Effect Transistor (transistor MOS à effet de champ).*

PMA : *Approximation en mode parabolique.*

EMA : *Approximation du mode évanescente.*

Roll-off : *Charge sharing (Partage de charge).*

SCEs : *Short-Channel Effects (Effets canaux courts).*

SOI : *Silicon-On-Insulator (Silicium sur isolant).*

CSG MOSFET : *Cylindrical Surrounding-Gate MOSFET (transistor MOS à grille cylindrique).*

SS : *Subthreshold Slope (Pente sous le seuil).*

TMOS : *Transistor MOS.*

TG : *Triple-Grilles.*

VLSI : *Very Large Scale Integration (intégration à très large échelle).*

ITRS : *International Technology Roadmap of Semiconductor (feuille de route internationale des semi-conducteurs).*

DG MOSFET : *Double-Gate MOSFET (transistor MOS à double-grilles).*

Liste des figures

Figure 1.1 Evolution du nombre de transistors dans les microprocesseurs INTEL: loi de Moore [4]	8
Figure 1.2 Feuille de route prévisionnelle de l'ITRS pour la prochaine décennie	9
Figure 1.3 a) Coupe schématique d'un transistor nMOSFET. b) Caractéristique de sortie $I_d(V_g)$ d'un transistor nMOSFET.....	10
Figure 1.4 Diagramme de bandes d'énergie des trois modes de fonctionnement de la structure MOS	11
Figure 1.5 (a) Caractéristique $I_D(V_G)$ [en échelle logarithmique (à gauche) et linéaire (à droite)] d'un transistor MOSFET où sont définis le courant de fuite I_{off} , le courant à l'état passant I_{on} , la pente sous le seuil SS et la tension de seuil V_{Th} .(b) Caractéristique $I_D(V_D)$ d'un transistor MOSFET à canal long en échelle linéaire pour différentes polarisation de grille où les numéros représentent les régimes de fonctionnement (les équations sont également fournies) : 1 = régime ohmique (linéaire) ; 2 = régime non-ohmique ; 3 = régime de saturation.....	13
Figure 1.6 Caractéristiques $I_D(V_G)$ schématiques des transistors MOSFET à canal long et canal court sous faible et forte polarisation de drain. La figure met en évidence la dégradation des paramètres sous le seuil due aux effets de canal court SCE et DIBL.....	15
Figure 1.7 Profil du potentiel de canal pour une structure à canal court avec (a) $V_{ds}=0V$ et (b) $V_{ds}>0V$	17
Figure 1.8 Influence de l'effet du DIBL sur la caractéristique I_d-V_g du transistor MOS.....	17
Figure 1.9 Influence de l'effet du partage de charge sur la caractéristique du courant du transistor MOS pour $V_d = 1V$	18
Figure 1.10 Distribution des porteurs de charges dans le cas classique et quantique (a) ; influence du confinement quantique sur la structure de bandes d'énergies (b).	19
Figure 1.11 Tension de seuil en fonction de la fuite tunnel avec une tension de grille (V_g) de 1,5V pour différentes épaisseurs de l'oxyde de grille de (a) 2,0nm et (b) 1,2nm [24]	20
Figure 1.12 Structure du transistor MOS bulk avec dopage rétrograde de canal, halos autour des caissons source et drain et extension de source/drain	21
Figure 1.13 Coupe schématique d'un PMOSFET à hétérostructures Si/SiGe/Si à canal enterré.....	22
Figure 1.14 Evolution envisagée des architectures multi-grilles sur substrat isolant pour améliorer le contrôle électrostatique.....	22
Figure 1.15 Coupe schématique de transistors MOS (a) bulk et (b) SOI.....	23
Figure 1.16 Représentation schématique d'un transistor SOI : (a) entièrement déplété et (b) partiellement déplété.....	23
Figure 1.17 Schéma du DG MOSFET planaire, où les deux grilles sont électriquement connectées (a) ; Photographie en MEB du DG MOSFET en technologie planaire (b) [36]	26
Figure 1.18 Structures du DG MOSFET : symétrique (a) ; asymétrique (b).....	27
Figure 1.19 Schéma de la structure général du FinFET.....	28
Figure 1.20 Processus de fabrication du FinFET : après la gravure du Silicium et de l'oxyde (1) ; dépôt de l'oxyde de grille (2) ; dépôt de Silicium (3) ; implantation ionique pour la formation de la Grille, Source et Drain (4) [39].....	28
Figure 1.21 Structure 3D d'un Triple Gate MOSFET	29
Figure 1.22 Schémas de coupes transversales : structure d'un Ω Gate (a) ; structure d'un Π Gate (b)	30
Figure 1.23 Schéma de la structure générale du TMOS à grille cylindrique sur SOI	30
Figure 2.1 GAA-MOSFET cylindrique, a) Structure de dispositif 3D, et b) Coupe transversale.	42
Figure 2.2 Distribution du potentiel de surface le long du canal, pour le rayon de silicium est de 5 nm, et L est de 20 nm.	44
Figure 2.3 Variation du décalage de tension de seuil avec la longueur du canal pour les dispositifs à grille cylindrique et à double grille pour différentes tensions de drain. Encart: variation de la tension de seuil sur $L / 2\lambda$ pour différentes valeurs de la tension de drain pour MOSFET cylindrique.....	46
Figure 2.4 Variation de la tension de seuil du canal court en fonction de la longueur du canal pour différentes valeurs des rayons de silicium. Encart: variation de la tension de seuil avec la tension de drain pour MOSFET à double et à cylindrique grille.	47

Figure 2.5 Pente sous-seuil pour le MOSFET avec $t_{ox} = 2$ nm et $V_{ds} = 10$ mV. Diamants et cercles: résultats de simulations numériques, lignes: modèle analytique	48
Figure 2.6 Effet DIBL en fonction de la longueur du canal pour différents rayons de canal, où $t_{ox} = 2$ nm. ..	49
Figure 2.7 Variation du courant de drain en fonction de la tension de drain pour $R=0.1\mu\text{m}$ ($t_{si}=2r$), $L=0.4\mu\text{m}$ et différentes tensions de grille.	52
Figure 2.8 Variation de la transconductance en fonction de la tension de grille (a) ; variation conductance en fonction de la tension de drain (b).	53
Figure 3.1 Coupe transversale du Structure du DMG-GC-DOT MOSFET.	59
Figure 4.1 Organigramme général de la procédure numérique de la résolution du système d'équations Boltzmann-Poisson.....	77
Figure 4.2 flux de processus de Silvaco EDA Tools (Source: Manuel ATLAS.).	81
Figure 4.3 Instruction de ATLAS (Source: Manuel ATLAS.).	82
Figure 4.4 Structure DMG-GC-DOT du MOSFET à grille cylindrique développée sur Atlas, $L=100$ nm, $t_{si}=25\text{nm}$, $t_{ox1}=2\text{nm}$, $t_{ox2}=4\text{nm}$	83
Figure 4.5 Vues en coupe de diverses techniques de conception d'appareils sur CG MOSFET. (a) DMG, (b) DMG-DOT, (c) DMG-GC-DOT	84
Figure 4.6 Potentiel de surface le long du canal pour DMG-GC-DOT, DMG-DOT et DMG	85
Figure 4.7 Variation du champ électrique en fonction de la longueur du canal pour DMG-GC-DOT, DMG-DOT et DMG avec $V_{gs}=0.1\text{v}$ et $V_{ds}=0.5\text{v}$	86
Figure 4.8 Tension de seuil V_{th} en fonction de la longueur de canal L pour DMG-GC-DOT, DMG et DMG-DOT.	86
Figure 4.9 Décalage de la tension de seuil en fonction de la longueur du canal pour le MOSFET DMG-GC-DOT, DMG et DMG-DOT.....	87
Figure 4.10 Pente sous le seuil (SS) par rapport à la longueur du canal (L) pour DMG-GC-DOT, DMG et DMG-DOT.....	88
Figure 4.11 Variation de DIBL en Fonction de Longueur de Canal L pour DMG-GC-DOT, DMG-DOT et DMG MOSFET	88
Figure 4.12 Courant de drain en fonction de la tension de grille du modèle DMG-GC-DOT CG MOSFET, en comparaison avec DMG et DMG-DOT, en échelle linéaire et échelle logarithmique.....	89
Figure 4.13 Courant de drain par rapport à la tension de drain du modèle DMG-GC-DOT CG MOSFET en comparaison avec DMG et DMG-DOT	90
Figure 4.14 Transconductance vs tension grille-source dans les structures MOSFET DMG-GC-DOT, DMG et DMG-DOT	90
Figure 4.15 Drain de conductance vs tension drain-source dans les structures de MOSFET DMG-GC-DOT, DMG et DMG-DOT.....	91
Figure 4.16 Variation de potentiel de surface pour des différentes valeurs de L_1	93
Figure 4.17 Variation du potentiel de surface en fonction de la position le long du canal pour deux V_{gs} et deux t_{si} avec $L_1 = 25$ nm et $L_2 = 75$ nm	93
Figure 4.18 Effet du rapport de porte de L_1 à L_2 sur la tension de seuil	94
Figure 4.19 Variation de tension de seuil pour divers polarisation de drain	94
Figure 4.20 Tension de seuil le long de la longueur du canal pour différentes valeurs de rayon de silicium ..	95
Figure 4.21 pente sous-seuil par rapport à la longueur du canal pour différent rayon de silicium	96
Figure 4.22 Compare la variation de DIBL en fonction de la longueur de canal pour le MOSFET DMG-GC-DOT pour différents rayons de silicium avec $t_{ox1} = 2\text{nm}$ et $t_{ox2} = 4\text{nm}$	97
Figure 4.23 Courant de drain par rapport à la tension de grille du modèle MOSFET DMG-GC-DOT SRG, en échelle linéaire et en échelle logarithmique. Modèle compact: lignes; simulations numériques: Symboles.	97
Figure 4.24 Courant de drain par rapport à la tension de drain du modèle MOSFET DMG-GC-DOT SRG. Modèle compact: lignes; simulations numériques: Symboles.	98

Figure 4.25 Courant de drain en fonction de la tension de drain du modèle DMG-GC-DOT SRG MOSFET pour différentes valeurs de L_1	98
Figure 4.26 Courant de drain vs tension grille-source pour différentes valeurs de fonction de travail dans les structures MOSFET DMG-GC-DOT.....	99
Figure 4.27 Transconductance vs tension grille-source pour différentes valeurs de V_{ds} dans la structure de MOSFET DMG-GC-DOT.	100
Figure 4.28 Drain de conductance vs tension drain-source pour différents V_{gs} dans la structure DMG-GC-DOT.	100
Figure 4.29 Vues en coupe de diverses techniques de conception d'appareils sur SG MOSFET. (a) (DMG-GC-DOT1) (b) (DMG-GC-DOT2).....	101
Figure 4.30 Potentiel de surface le long du canal pour DMG-GC-DOT1 et DMG-GC-DOT2.	102
Figure 4.31 Variation du champ électrique en fonction de la longueur du canal pour DMG-GC-DOT1 et DMG-GC-DOT2 avec $V_{GS} = 0,1$ V et $V_{DS} = 0,5$ V.	103
Figure 4.32 Changement de tension de seuil en fonction de la longueur du canal pour le MOSFET DMG-GC-DOT1 et DMG-GC-DOT2	103
Figure 4.33 Pente sous le seuil (SS) en fonction de la longueur du canal (L) pour DMG-GC-DOT1 et DMG-GC-DOT2.....	104
Figure 4.34 Variations DIBL en fonction de la longueur du canal pour le MOSFET DMG-GC-DOT1 et le MOSFET DMG-GC-DOT2	104
Figure 4.35 Comparaison entre DMG-GC-DOT1 et ϵ_1 et ϵ_2 dans la structure DMG-GC-DOT2 pour la transconductance.	105
Figure 4.36 Comparaison entre DMG-GC-DOT1 et ϵ_1 et ϵ_2 dans la structure DMG-GC-DOT2 pour la conductance du drain.	106
Figure 4.37 Variation du potentiel de surface le long du canal pour un MOSFET de 100 nm (DMG-GC-DOT) en fonction de la permittivité diélectrique différente de $tox1$ à haute densité k	107
Figure 4.38 Variation du potentiel de surface le long du canal pour le MOSFET (DMG-GC-DOT) en fonction de l'épaisseur t_{ox1} différente.....	107
Figure 4.39 Décalage de la tension seuil en fonction de la longueur du canal pour le MOSFET DMG-GC-DOT avec une permittivité diélectrique différente (ϵ_1)	108
Figure 4.40 Pente sous le seuil (SS) en fonction de la longueur du canal (L) pour DMG-GC-DOT avec une permittivité diélectrique différente (ϵ_1).	109
Figure 4.41 Variations de DIBL en fonction de la longueur du canal pour le MOSFET DMG-GC-DOT épaisseur différente t_{ox1}	109
Figure 4.42 Variation du courant de drain sous-seuil I_{DS} en fonction de la tension de grille-source V_{GS} pour le transistor MOSFET DMG-GC-DOT avec $\epsilon_1 = 3.9\epsilon_0$ et $\epsilon_2 = 20\epsilon_0$ et pour DMG $L_1 = 25$ nm et $L_2 = 75$ nm, en échelle linéaire et échelle logarithmique	110
Figure 4.43 Courant de drain en fonction de la tension de drain du modèle DMG-GC-DOT SRG MOSFET en comparaison avec DMG et DMG-DOT avec deux permittivité de l'oxyde, modèle Compact: lignes; simulations numériques: Symboles.	111
Figure 4.44 Transconductance vs tension grille-source dans DMG, DMG-DOT et et pour des structures de MOSFET DMG-GC-DOT	111
Figure 4.45 Conductivité de drain vs tension de drain-source dans DMG, DMG-DOT et et pour des structures de MOSFET DMG-GC-DOT	112

Liste des tableaux

Tableau 2.1 Différents paramètres utilisés dans l'analyse.....	52
Tableau 4.1 Diagramme de la simulation numérique de Silvaco	77
Tableau 4.2 Liste des valeurs des paramètres MOSFET DMG-GC-DOT utilisés dans la simulation	92

Introduction Générale

Introduction générale

Le transistor est le composant clé actif pratiquement dans tous les composants électroniques modernes. C'est un dispositif semi-conducteur utilisé pour amplifier et commuter des signaux électroniques. Beaucoup le considèrent comme l'une des plus grandes inventions du XXe siècle [1].

Le premier transistor en Silicium a été produit par Gordon Teal chez Texas Instruments en 1954 [2, 3], et le transistor à semi-conducteurs d'oxyde de métal (MOS) était effectivement construit par Kahng et Atalla à Bell Labs en 1960 [4]. Ils font maintenant partie tous les appareils électroniques.

En 1965 Gordon Moore présente sa théorie sur l'évolution de la densité des transistors dans les circuits intégrés, il prédit que le nombre de transistor par puce doublera tous les deux ans, ce qui devient la « loi de Moore », loi régissant la feuille de route (roadmap) et la ligne d'objectifs, et qui fut très bien suivi par l'industrie semiconducteur tout au long des quarante dernières années [5].

Dans cette course de l'intégration, les plus grands constructeurs ont créé l'ITRS (International technology Roadmap for Semiconductors), une organisation ayant pour but la garantie du rapport coût-efficacité des progrès accomplis dans la réalisation des circuits intégrés et une prédiction plus précise de l'avenir de l'industrie semiconducteur [6].

L'un des principaux défis du transistor MOS est la réduction de la dimension du dispositif. La principale préoccupation est de prédire la performance du dispositif, comment les transistors fonctionnent et se comportent lorsque la taille du dispositif diminue.

La réduction de la longueur du canal entraîne des courants plus élevés et donc une vitesse de commutation plus rapide. Elle est accomplie en suivant certaines règles appelées " règles mise à l'échelle " pour atteindre des performances optimales de dispositifs [7]. Le but est d'avoir un transistor à courant continu élevé, et un courant à l'état bloqué égale zéro, une transition nette de l'état bloqué à l'état passant et les courants terminaux indépendamment du drain à la borne de source doivent être nuls c.-à-d., zéro effets parasites. Les règles de graduation classiques réduisent les dimensions de dispositif (telles que la longueur du canal, l'épaisseur de l'oxyde de la grille, la profondeur de la jonction) et augmentent la concentration de dopage qui aide à augmenter le courant I_{on} et maintient le courant I_{off} sous contrôle. La réduction des dimensions

du composant par mise à l'échelle n'a pas seulement abouti à une densité d'intégration plus élevée (c'est à-dire plus de fonctionnalités de circuits sur une zone de puce donnée) mais également une vitesse plus élevée, une puissance plus faible, des coûts de fabrication réduits et d'autres améliorations de performance.

À mesure que la taille s'approchait de la gamme des sous-100 nm, le transistor MOSFET est confronté à de nombreuses limitations technologiques ainsi qu'à des problèmes liés à ces caractéristiques électriques parmi ses problèmes appelés les effets de canal court (SCE), la baisse de la tension de seuil (V_{th}), la diminution de la barrière induite par le drain (DIBL) et la dégradation de la pente sous-seuil [8], s'ajoute la naissance du courant tunnel de grille et des phénomènes de nature quantiques [9]. Ces phénomènes sont hélas devenus inévitables lorsque les dimensions des dispositifs sont réduites de manière drastique et rendent la miniaturisation difficile plutôt impossible. À l'heure actuelle, les SCEs représentent un énorme obstacle à la miniaturisation, car ils perturbent le bon fonctionnement des dispositifs MOS et limitent alors l'évolution de la technologie CMOS.

Pour contourner ces difficultés, l'une des solutions pour les industriels et particulièrement les concepteurs de circuits intégrés consiste à modifier l'architecture des composants actuels et d'établir de nouveaux modèles compacts, fiables et simples, notamment l'augmentation du nombre de grilles tels que les transistors MOS à grilles multiples, appelés également les Multi-Grilles (MG) FETs (les FinFETs, les MOSFETs Double Grille (DG MOSFET), Triple Grille et à Grilles Enrobantes (GAA : Gate All Around or Cylindrical Gate CG). Cette dernière structure offre théoriquement la meilleure contrôlabilité de la grille sur le canal et donc la meilleure intégrité électrostatique possible [10], Ceci constitue l'objectif principal de cette thèse.

Durant ces dernières années, les modèles compacts ont joué un rôle très important dans la conception de circuits intégrés analogiques et mixtes, ainsi que dans la conception des systèmes-sur-puce (SoC) "nanométrique", cela via les environnements et les outils d'aide à la conception de circuits (CAD). Au niveau du simulateur de circuits, le modèle compact du composant est la partie principale du logiciel de simulation ; il décrit le comportement électrique du dispositif dans toutes les régions de fonctionnement de manière simple, et permet ainsi la simulation de différents circuits avec plusieurs transistors et de centaines de nœuds. Un modèle compact est un modèle mathématique de formulation analytique compacte.

Notre travail s'inscrit alors dans cette démarche de modélisation et de simulation de nouveaux dispositifs en se proposant d'étudier plus particulièrement de nouvelles architectures pour le transistor MOSFET à grille cylindrique.

Ce manuscrit s'articule autour de quatre chapitres, regroupant les principaux travaux effectués lors de cette thèse, une introduction générale et une conclusion générale.

Le premier chapitre débute par un rappel de la structure et du fonctionnement de transistor MOSFET "Bulk". Nous présentons ensuite d'une manière assez générale les enjeux actuels auxquels sont confrontées les industries microélectroniques c-à-d les principaux phénomènes physiques dégradant les performances des composants lorsque leurs dimensions sont réduites, ainsi les solutions technologiques.

Le second chapitre est consacré à l'étude analytique de la géométrie des MOSFETs à grille cylindrique à canal complètement dépleté. Les performances de ces dispositifs sont étudiées grâce à la résolution de l'équation de poisson à 2 dimensions en utilisant le modèle polynomial. Nous nous intéressons plus particulièrement à certains paramètres électriques comme la tension de seuil, la pente sous le seuil, l'abaissement de barrière induite par le drain (DIBL), le courant de drain, la transconductance et la conductance de drain.

Le chapitre 3 porte essentiellement sur le développement d'un nouveau modèle analytique basé sur la physique du transistor à grille cylindrique, et unifié pour les structures avancées qui incluent deux matériaux de grille (DMG), deux couches d'oxyde avec une couche d'isolant à haute permittivité (DOT) et un canal à dopage graduel (GC). Nous commençons par une description de la formulation analytique du modèle compact proposé pour la nouvelle structure DMG-GC-DOT CG MOSFET. Par la résolution de l'équation de poisson à 2D, Nous étudions les effets de la réduction de grandeurs géométriques des transistors sur les paramètres comme la tension de seuil, la pente de sous le seuil, DIBL, courant de drain, transconductance et la conductance de drain. Enfin, nous validons le modèle analytique proposé via les résultats obtenus par simulation du dispositif avec le logiciel SILVACO-ATLAS-TCAD.

Le chapitre 4 est dédié à la présentation des résultats obtenus par étude analytique et par simulation du nouveau modèle de transistors MOSFET à grille cylindrique. Dans un premier temps, une comparaison des résultats en terme de potentiel de surface, le champs électrique, la tension seuil, la pente sous le seuil et le DIBL (l'abaissement de la barrière induite par drain), obtenus analytiquement avec ceux numériquement (méthode de différence finie) est présentée.

Le simulateur commercial Atlas est l'outil qui est utilisé pour évaluer et comparer cette structure avec d'autres. Dans un second temps, une modélisation compacte et analytique du courant de drain, de la transconductance, et de la conductance de drain est aussi présentée.

Le manuscrit se termine par une conclusion générale qui rappelle les principaux résultats obtenus au cours de cette thèse.

Les perspectives de ce travail qui se dégagent y sont également présentées.

Chapitre 1

Le MOSFET : Limites et Solutions à la Miniaturisation

1 Introduction

L'augmentation de la densité d'intégration et la rapidité des circuits, sans cesse croissante, a conduit au développement de dispositifs submicroniques. Chaque année, les chercheurs s'emploient à réduire la taille de ces dispositifs. La première partie de ce chapitre présente le principe de fonctionnement du transistor MOSFET sur substrat massif, ainsi que les principaux effets de canal court rencontrés lors de la miniaturisation sur ce dispositif. L'étude des effets de canal court est un indice de viabilité et de performance. Dans la seconde partie, nous allons décrire le transistor SOI-MOS, qui représente une solution à ces limites en apportant des solutions à un grand nombre d'effets indésirables. Pour finir, nous allons exposer les solutions proposées à ces effets pour obtenir des dispositifs fiables ayant de meilleures performances, parmi ces solutions, la structure MOSFET à grille cylindrique qui est l'objectif de cette thèse.

2 Le transistor MOSFET à canal long

2.1 Introduction

La microélectronique et son essor économique sans précédent repose sur l'invention du premier circuit intégré par J. Kilby en 1958, reliant pour la première fois plusieurs transistors entre eux. À partir de l'année 1980, la technologie CMOS [1] (Complementary Metal Oxide Semiconductor) devient un choix universel pour la majorité des industries de la microélectronique et semi-conducteurs, cela essentiellement pour des intégrations de circuits à très large échelle (VLSI: Very Large Scale Integration) [2].

Au fil des années, la complexité des circuits intégrés a augmenté de façon continue, principalement grâce aux performances accrues des nouvelles générations de transistors MOSFET.

La réduction incessante des dimensions des composants et par conséquent des circuits est le moteur de cette course à la performance.

La croissance phénoménale de l'industrie des semi-conducteurs est caractérisée par l'augmentation remarquable du nombre de transistors dans des circuits intégrés (CI), telle que représentée par la célèbre loi de Moore [3]. Cependant, cette loi est une prévision approximative de l'avenir de l'expansion des CI. Cette augmentation s'est faite grâce à la diminution des dimensions des transistors et notamment la longueur de la grille L . En 1965, Gordon Moore prédit que le nombre de transistors par unité de surface doublerait tous les ans. Concrètement, les progrès technologiques ne permettront un doublement de la densité d'intégration que tous les dix-huit mois. Cette évolution régit aujourd'hui la ligne directrice des objectifs, soit plus

généralement, la feuille de route – connue sous le terme roadmap – des différentes industries de la microélectronique (ITRS) [4].

La figure 1.1 montre la dernière mise à jour de la loi de Moore, qui prévoit l'introduction du premier processeur au monde avec 2 milliards transistors.

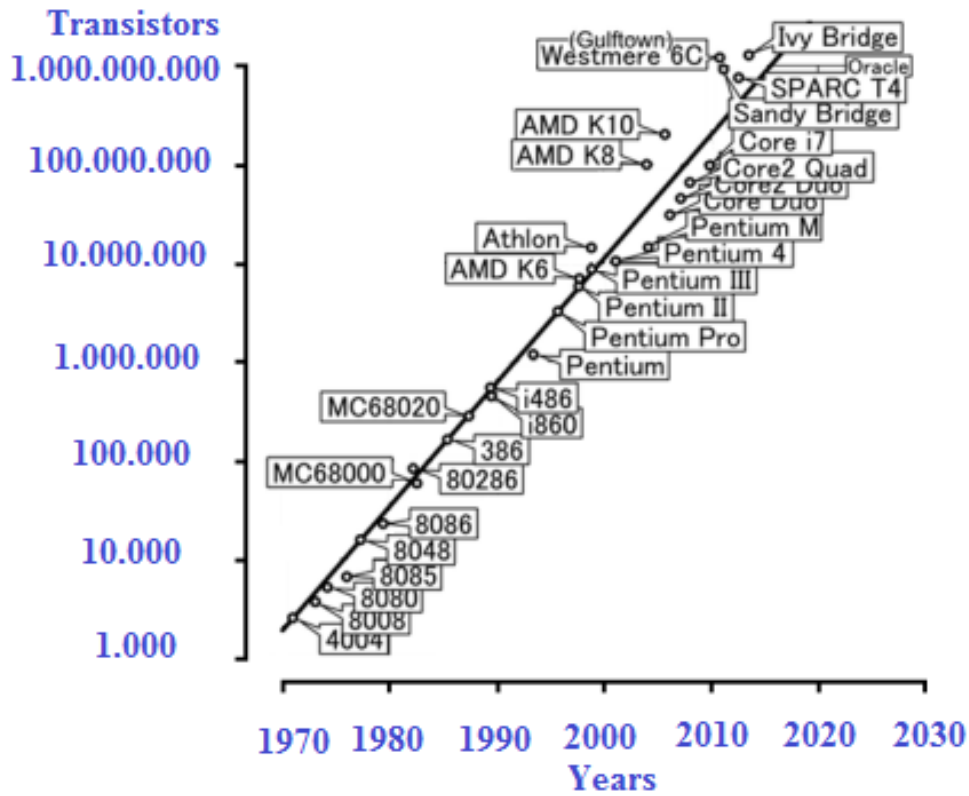


Figure 1.1 Evolution du nombre de transistors dans les microprocesseurs INTEL: loi de Moore

L'ITRS publie chaque année un rapport qui sert de repère pour l'industrie des semi-conducteurs. Les rapports représentent la meilleure opinion sur les orientations de la recherche sur le type de technologie, les outils de conception, les équipements et les outils de métrologie qui doivent être développés afin de suivre le progrès exponentiel des dispositifs semi-conducteurs prévus par la loi de Moore, y compris les lignes temporelles jusqu'à environ 15 ans dans le futur [5].

La nécessité d'une estimation plus précise définie par la Feuille de route pour les semi-conducteurs (ITRS) [4], qui a prévu et conduit le rythme de technologie des semi-conducteurs en même temps. La figure 1.2 montre l'évolution de la longueur de grille des transistors pour les dernières décennies, ainsi que les prévisions de la feuille de route de l'ITRS pour les 12 prochaines années.

2011 ITRS - Technology Trends

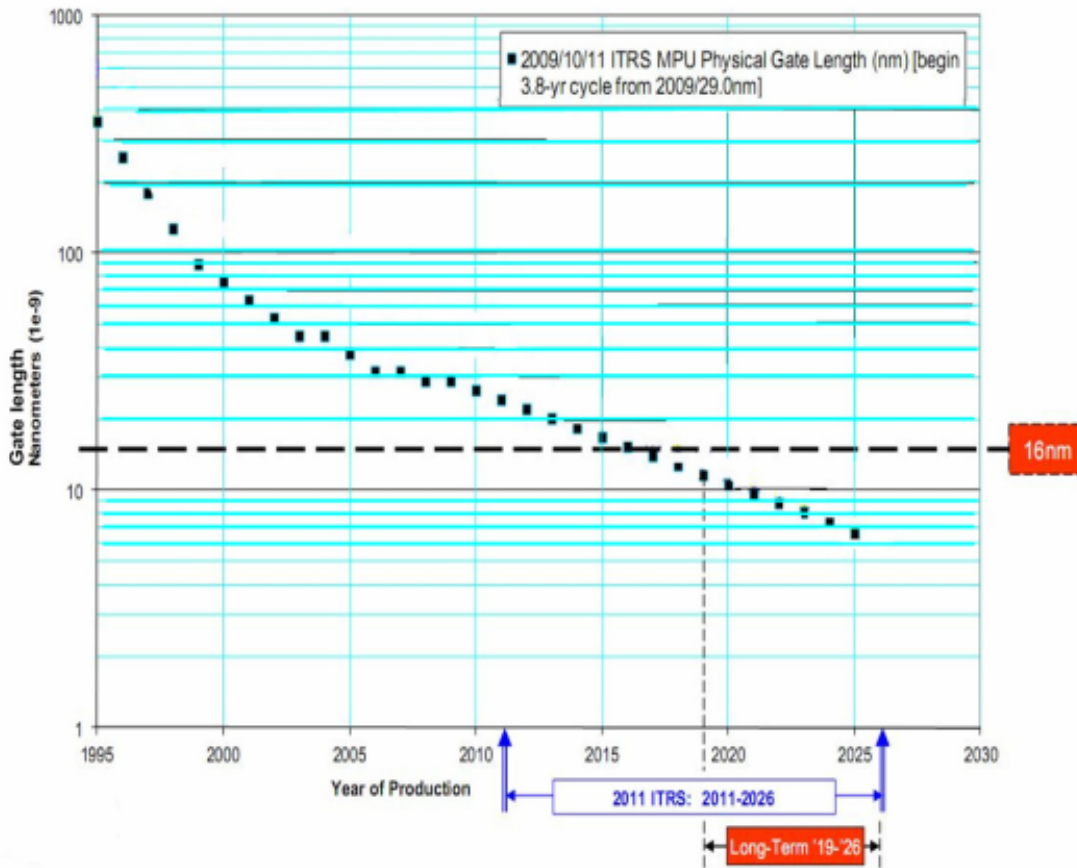


Figure 1.2 Feuille de route prévisionnelle de l'ITRS pour la prochaine décennie [6]

Depuis quelques années, l'industrie de la micro-électronique et semi-conducteurs a connu une amélioration très rapide dans les produits réalisés. Les catégories principales des tendances technologiques sont : le niveau d'intégration, la vitesse de calcul et le coût par fonction. Cela a mené à l'amélioration de la productivité économique par la production et la croissance rapide de ces produits technologiques.

2.2 Le transistor MOSFET: Structure et mode de fonctionnement

De manière schématique un transistor se compose d'une électrode de commande, la grille, qui est déposée sur l'oxyde et qui permet de contrôler l'ouverture du canal, d'un substrat semiconducteur sur lequel repose une fine couche d'oxyde isolant (SiO_2) d'épaisseur t_{ox} qui isole la grille du canal, et de deux réservoirs de porteurs, qui sont la source et le drain, qui sont aussi formés dans le substrat de part et d'autre de la grille (figure 1.3-a). En raison du procédé de fabrication, la longueur du transistor, notée L , correspond à la longueur de sa grille et sa largeur est notée W . La région entre les jonctions de source et de drain est appelée la région du canal.

Deux types de transistor sont distingués ; le transistor nMOS où le courant est fourni par les électrons et le transistor pMOS où le courant est assuré par les trous.

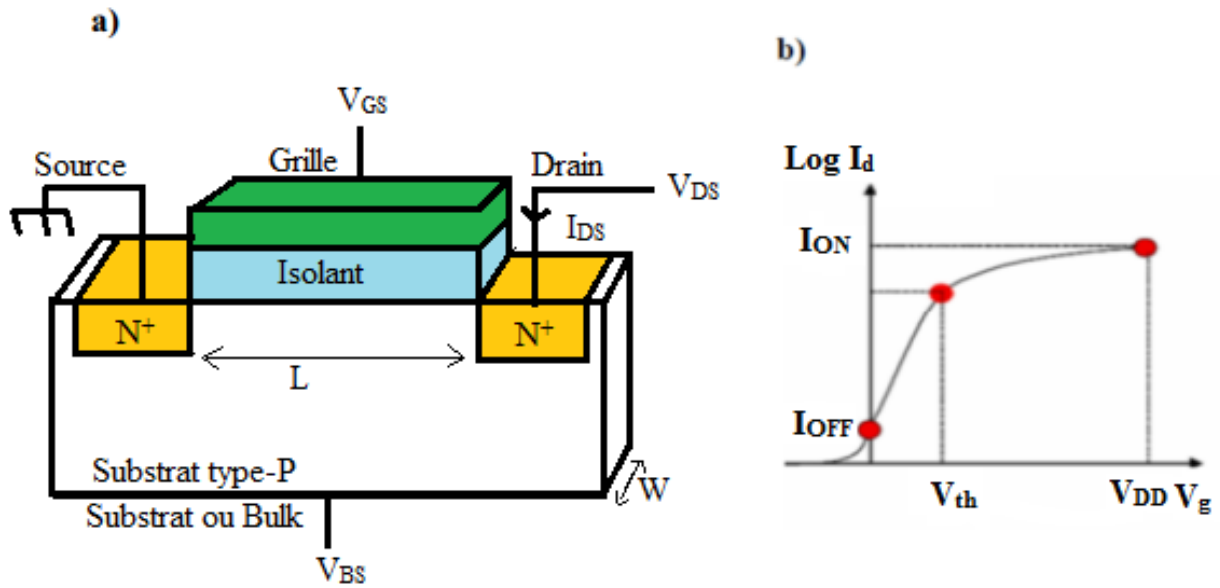


Figure 1.3 a) Coupe schématique d'un transistor nMOSFET. b) Caractéristique de sortie $I_d (V_g)$ d'un transistor nMOSFET

La zone active du transistor MOS est la région semi-conductrice (substrat) située entre la source et le drain près de l'interface oxyde-semi-conducteur [7]. La tension appliquée entre la grille et le substrat V_{gb} génère un champ électrique dans le substrat, et pour une tension V_{gb} suffisante, un canal de conduction est créé à l'interface oxyde-semiconducteur.

D'après la caractéristique $I_d (V_g)$ (Figure 1.3-b), quand la tension appliquée sur la grille est nulle ($V_g = 0 \text{ V}$), le champ électrique est nul, c'est-à-dire que la densité de porteurs libres à l'interface oxyde/semi-conducteur n'est pas suffisante pour créer un canal de conduction et le courant de drain (I_{ds}) équivalant au courant de fuite (I_{off}) qui doit être le plus faible possible pour minimiser la consommation électrique du composant au repos: le transistor est bloqué. Au contraire, lorsque la polarisation de grille V_g est égale à celle du drain V_D , un champ électrique est créé, les porteurs affluent dans le canal, et peuvent alors transiter librement d'un réservoir à l'autre, générant un courant de drain non nul I_{on} qui doit être le plus élevé possible pour maximiser la puissance du transistor: le transistor est alors passant. Le passage de l'état bloqué à l'état passant est effectif lorsqu'un nombre suffisant de porteurs est présent dans le canal, c'est-à-dire pour une tension $V_g = V_{th}$. Le rapport I_{on}/I_{off} est donc l'une des principales caractéristiques à maximiser dans les nouvelles technologies de transistors.

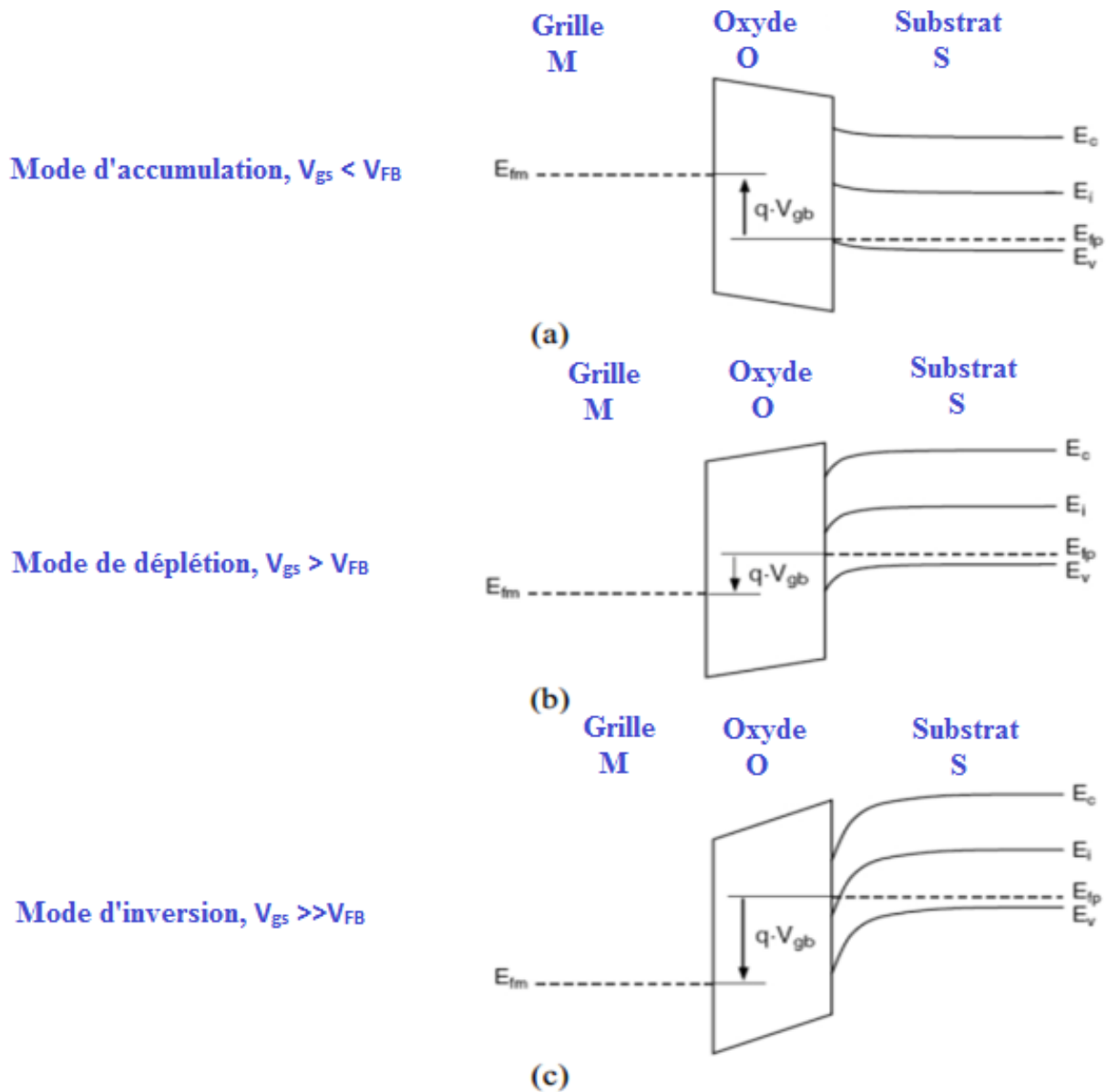


Figure 1.4 Diagramme de bande d'énergie des trois modes de fonctionnement de la structure MOS

La Figure 1.4, décrit les trois modes de fonctionnement de la structure MOS (accumulation, déplétion et inversion) à l'état d'équilibre ($V_{sb} = V_{db} = 0V$). Les propriétés électroniques d'un semiconducteur étant contrôlées par la position du niveau de Fermi dans le gap, nous allons donc nous intéresser à la structure de bandes du MOS. Lorsqu'une tension V_{gb} est appliquée entre la grille et le substrat, la structure de bande près de l'interface silicium-oxyde est modifiée. V_{FB} correspond à la tension de bandes plates. Le niveau de fermi du métal est E_{fm} , et celui du silicium dopé p est E_{fp} . E_i représente le niveau de Fermi intrinsèque et les bandes d'énergie E_c et E_v

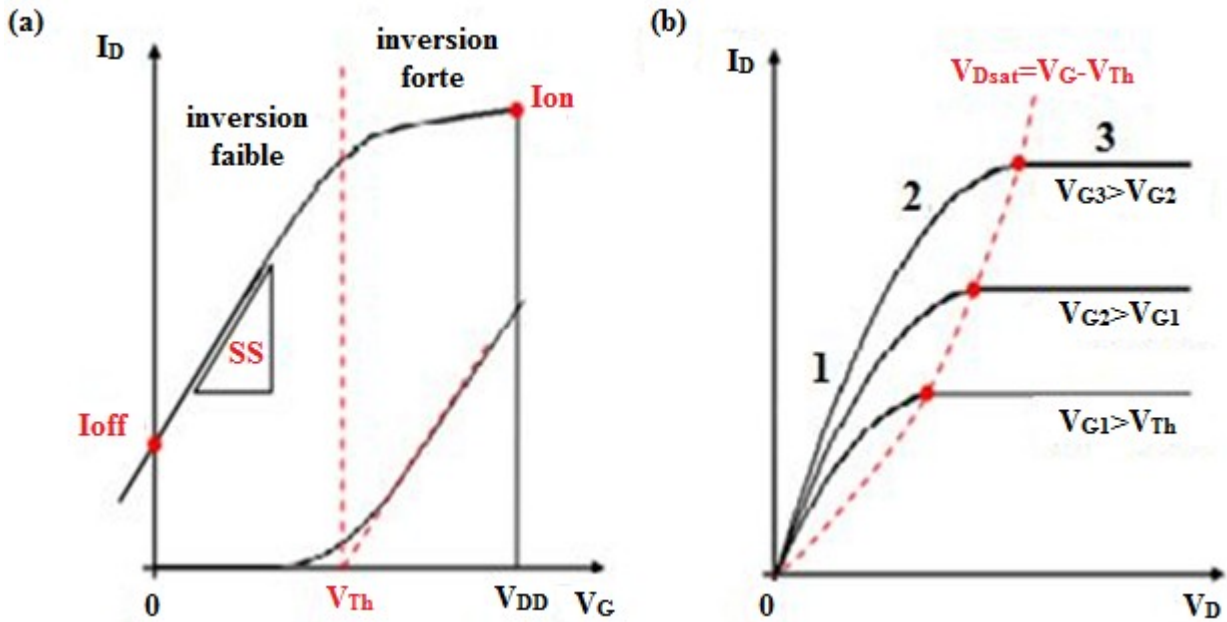
représentent respectivement les niveaux d'énergie de la bande de conduction et de la bande de valence.

De manière générale, le MOSFET est un transistor qui fonctionne en mode d'inversion, lorsque la tension appliquée sur la grille V_{gs} est supérieure à la tension de seuil V_{th} , les porteurs de charge minoritaires (dans notre cas les électrons) sont alors attirés à l'interface Oxyde/Silicium et les trous sont repoussés en volume, un canal est donc créé à travers ce phénomène d'inversion de population. Lorsqu'une différence de potentiel V_{ds} est appliquée entre le drain et la source, un courant peut circuler dans le canal donc, le comportement électrique du transistor ne se limite cependant pas à deux états distincts mais il est plus pratique de le décrire selon les différents régimes de fonctionnement représentés sur les caractéristiques de courant $I_D(V_G)$ et $I_D(V_D)$, tracées sur les figures 1.5-a et 1.5-b.

Dans le régime d'inversion faible $V_G < V_{Th}$ pour transistor MOSFET à canal long ($L_G \geq 1\mu m$), le courant répond à une loi exponentielle et suit donc une variation linéaire en échelle logarithmique. La pente sous le seuil (SS) est défini alors comme un paramètre clé du transistor qui indique la "rapidité" du composant : plus la pente sous le seuil est faible et plus le transistor passe de l'état "off" à l'état "on" rapidement. La pente sous le seuil est minimale quand la capacité de la zone de déplétion C_{D0} est négligeable devant la capacité de l'oxyde C_{ox} . La valeur est alors obtenue par $SS_{min} = (kT/q)\ln(10) = 60mV/décade$ où k est la constante de Boltzmann, T est la température et q est la charge de l'électron.

La caractéristique $I_D(V_D)$, représentée sur la figure 1.5-b, se divise en trois zones de fonctionnement pour le transistor : le régime non saturé (1 et 2) et le régime de saturation (3). La frontière entre ces deux régimes est délimitée par la tension de drain de saturation définie par $V_{Dsat} = V_G - V_{Th}$.

La première région de la courbe $I_D(V_D)$ ($V_D < V_{ds}$) est en réalité décomposée en deux régimes différents (1 et 2). Dans la zone (1), appelée régime ohmique ou linéaire, le canal de conduction se comporte comme une résistance, variable selon la tension de grille V_G , et le courant de drain varie linéairement en fonction de la tension de drain selon l'expression:



Courant en inversion faible :

$$I_D = I_{D0} \exp\left(\beta \frac{C_{ox}}{C_{ox} + C_{D0}} (V_{GS} - V_{Th})\right)$$

$$S = \frac{1}{\text{pente}} = \frac{d \log(I_D)}{dV_{GS}}$$

Courant en inversion forte :

$$1 \quad I_D = \frac{W}{L} \mu_n C_{ox} (V_G - V_{Th}) V_D$$

$$2 \quad I_D = \frac{W}{L} \mu_n C_{ox} \left(V_G - V_{Th} - \frac{V_D}{2} \right) V_D$$

$$3 \quad I_D = \frac{W}{2L} \mu_n C_{ox} (V_G - V_{Th})^2$$

Figure 1.5 (a) Caractéristique $I_D(V_D)$ [en échelle logarithmique (à gauche) et linéaire (à droite)] d'un transistor MOSFET où sont définis le courant de fuite I_{off} , le courant à l'état passant I_{on} , la pente sous le seuil SS et la tension de seuil V_{Th} . (b) Caractéristique $I_D(V_D)$ d'un transistor MOSFET à canal long en échelle linéaire pour différentes polarisation de grille où les numéros représente les régimes de fonctionnement (les équations sont également fournies)

$$I_D = \frac{W}{L_G} \mu_n C_{ox} (V_G - V_{th}) V_D \quad (1)$$

Où W est la largeur du dispositif (direction z dans la figure 1.3) et μ_n est la mobilité des électrons dans le canal, dépendante des champs électriques parallèle (direction x) et transverse (direction y) dans la structure mais également des collisions provoquées par le déplacement des porteurs.

Quand V_D augmente, le champ électrique vers la zone de drain diminue, la zone de déplétion à cet endroit est alors plus large et l'épaisseur du canal de conduction est réduite : le transistor est dans le régime non-ohmique avant saturation. Le courant de drain n'augmente plus linéairement et amorce sa saturation. Son expression, uniquement valable jusqu'à $V_{Dsatsat}$, est donnée par :

$$I_D = \frac{W}{L} \mu_n C_{ox} \left(V_G - V_{th} - \frac{V_D}{2} \right) V_D \quad (2)$$

Enfin, lorsque la tension de drain atteint la tension de saturation V_{Dsat} (en régime saturé), le courant de drain I_D reste constant et il se modélise comme suit :

$$I_D = \frac{W}{2L} \mu_n C_{ox} (V_G - V_{th})^2 \quad (3)$$

Pour conclure, il est important de rappeler que les équations (1) à (3) sont uniquement valides dans les transistors à canal long où aucun effet lié à la réduction des dimensions n'est pris en compte.

3 Réduction du canal

La rapidité de transmission de l'information dans un circuit intégré est limitée par la vitesse de l'impulsion électrique. Pour pouvoir augmenter la rapidité globale d'une opération, il faut réduire les distances géométriques, et empiler un maximum de données d'information dans un minimum d'espace pour les rapprocher. Des circuits plus petits réduisent la surface globale de la puce électronique et permettent donc de produire plus de transistors sur un même wafer sans impacter sur le prix de fabrication. Le coût des circuits diminue ainsi d'un facteur deux tous les 18 mois. Les performances électriques des composants sont également améliorées.

En diminuant la dimension des MOSFETs, le temps de passage de l'état "off" à l'état "on" diminue linéairement du fait de l'évolution du temps de réponse intrinsèque \approx longueur de canal/vitesse des porteurs. La réduction des dimensions des transistors MOSFET engendre des problèmes séparés en différentes catégories d'ordre physique ou technologique. Dans un premier temps, les problèmes technologiques rencontrés à titre d'exemple sont les problèmes de fabrication d'oxydes ultra-minces fiables, les résistances d'accès au niveau de la source et du drain et la fluctuation de dopants dans les canaux ultra-courts. Ces différentes difficultés rencontrées lors de la fabrication des composants décanométriques posent de nombreux problèmes majeurs pour le développement de l'industrie microélectronique. Dans un second temps, la réduction des dimensions des transistors MOS, telles que la longueur du canal L , l'épaisseur de Silicium t_{si} et l'épaisseur d'oxyde t_{ox} engendre des problèmes de nature physique et quantique, perturbant le bon fonctionnement des transistors MOSFET et limitant ainsi les fonctionnalités des circuits CMOS. À l'heure actuelle, les problèmes majeurs de cette miniaturisation sont : les effets de "canal court", le confinement quantique et le courant tunnel [8].

3.1 Effets canaux courts

Quand la dimension du transistor plus particulièrement la longueur du canal est réduite, les zones de déplétion des jonctions source-canal et canal-drain se rapprochent et les charges de déplétion se partagent entre le drain et la grille. Le potentiel électrostatique le long du canal est alors majoritairement dominé par les zones de charge d'espace autour des jonctions. Les charges ne sont plus uniquement contrôlées par la tension de grille comme c'est le cas dans les transistors à canal long et donc perte du contrôle du potentiel électrostatique dans le canal de conduction (Short-Channel Effects ou SCE).

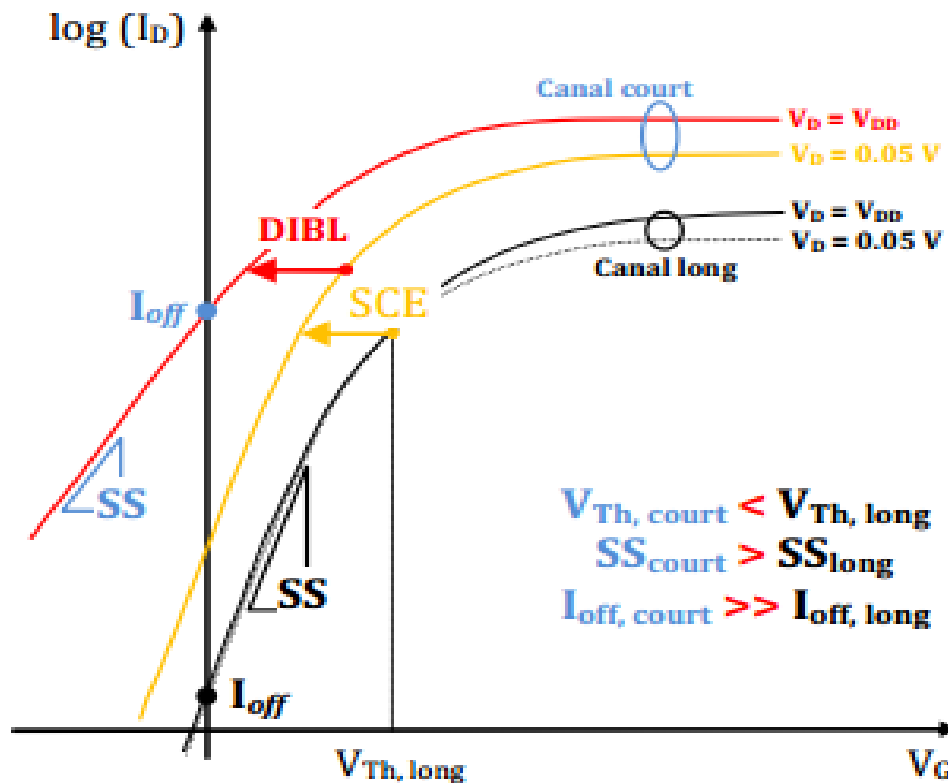


Figure 1.6 Caractéristiques $I_D(V_G)$ schématiques de transistors MOSFET à canal long et canal court sous faible et forte polarisation de drain. La figure met en évidence la dégradation des paramètres sous le seuil due aux effets de canal court SCE et DIBL.

Les effets de canal court (SCE) impliquent donc que les porteurs passent plus facilement de la source au drain. Il s'en suit une baisse de la tension de seuil V_{Th} , un abaissement de la barrière induite par le drain (effet DIBL *Drain Induced Barrier Lowering*), et une dégradation généralisée des paramètres sous le seuil des transistors [9-11] entraînant une augmentation drastique du courant de fuite I_{off} et de la pente sous le seuil SS. En raison de ces effets, la taille du MOSFET ne peut pas être réduite facilement. La figure 1.6 illustre l'effet des phénomènes les plus importants

qui doivent être pris en compte lors de la modélisation et l'étude de notre dispositif (la caractéristique de courant $I_D(V_G)$).

3.1.1 Diminution de la tension de seuil V_{TH} dans MOSFET à canal court

La tension de seuil est essentiellement contrôlée par la tension de grille et est déterminée par la barrière de potentiel qui permet l'injection des électrons dans la zone active du transistor au niveau du canal. Lorsque les épaisseurs des zones de déplétion des jonctions deviennent importantes le long du canal en diminuant sa longueur, la barrière de potentiel dans le canal court est abaissée par rapport à sa valeur dans un canal « long » et le nombre de porteurs présents augmente et de ce fait, une diminution de la tension de seuil.

Si les dimensions W (la largeur de canal) et L (longueur de canal) sont réduites, la tension de seuil ne reste pas la même. Toutefois, un modèle plus simple, développé par Yau a permis de déterminer « graphiquement » les relations qui lient la répartition de la charge de déplétion et la tension de seuil [12]. La formule analytique suivante quantifie (après quelques petites approximations) la diminution de V_T en fonction de L_G et de V_{DS} :

$$V_T = V_{T,L_G \rightarrow \infty} - \frac{\epsilon_{si} \phi_d T_{ZCE}}{C_{OX} L_G^2} - \frac{\epsilon_{si} T_{ZCE}}{C_{OX} L_G^2} V_{DS}$$

Avec $V_{T,L_G \rightarrow \infty}$ est la tension de seuil du MOSFET à un canal long, $V_{T,L_G \rightarrow \infty} = V_{FB} + 2\phi_F + \frac{qN_A T_{ZCE}}{C_{OX}}$,

V_{FB} est la tension de bandes plates, ϕ_F est la différence entre le niveau de Fermi et le quasi niveau de Fermi en bandes plates des électrons dans le substrat,

$$T_{ZCE} = \sqrt{\frac{2\epsilon_{si}}{qN_A} \phi_D}$$

Où ϕ_D est le potentiel de diffusion de la jonction drain–substrat (et source–substrat) à l'équilibre :

$$\phi_D = \frac{k_B T}{q} \ln\left(\frac{N_A N_D}{n_i^2}\right)$$

N_D est le niveau de dopage des zones de contact source et drain et N_A celui du substrat.

3.1.2 Abaissement de la barrière induite par le drain (DIBL)

L'effet de l'abaissement de la barrière induite par le drain (DIBL) est un phénomène de percement qui se produit lorsque l'épaisseur de zone de déplétion de la jonction drain/substrat devient, sous l'effet d'augmentation de la tension de drain, comparable à la longueur du canal, l'influence des lignes de champ longitudinales sur la distribution du potentiel s'accroît, ce qui résulte un abaissement de la barrière de potentiel source/substrat (figure 1.7).

L'abaissement de la barrière à la source permet l'injection d'électrons au travers du canal (en surface) et ceci indépendamment de la tension de grille. Comme conséquence, en régime sous seuil, la grille perd le contrôle du courant de drain. Un courant sous seuil important peut être observé quand la longueur du canal est inférieure à $1.5 \mu\text{m}$. Cet effet est d'autant plus marqué que la tension de drain augmente et que la longueur de canal diminue ceci entraîne une croissance du courant de drain et donc une décroissance de V_{th} [13].

Le percement favorise l'apparition des courants de fuite. Sous l'effet de V_{DS} , il peut se produire soit un percement en surface qui traduit une injection supplémentaire de porteurs dans le canal à la surface de l'oxyde, soit un percement en volume favorisant l'injection parasite de porteurs dans le volume du substrat. Ces deux types de courant de fuite ont des caractéristiques différentes.

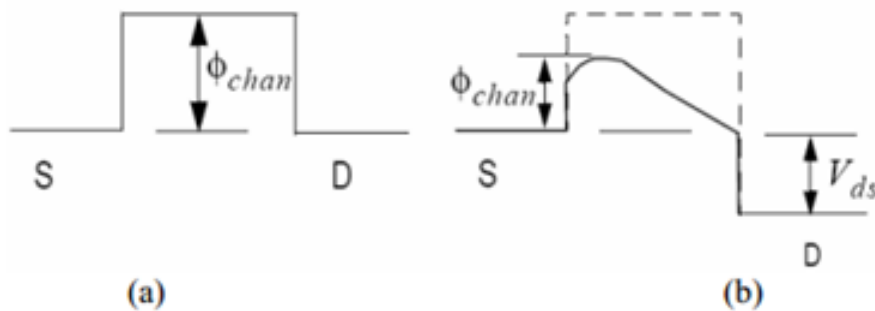


Figure 1.7 Profil du potentiel électrostatique d'une structure à canal court pour (a) $V_{ds} = 0 \text{ V}$ et (b) $V_{ds} > 0 \text{ V}$.

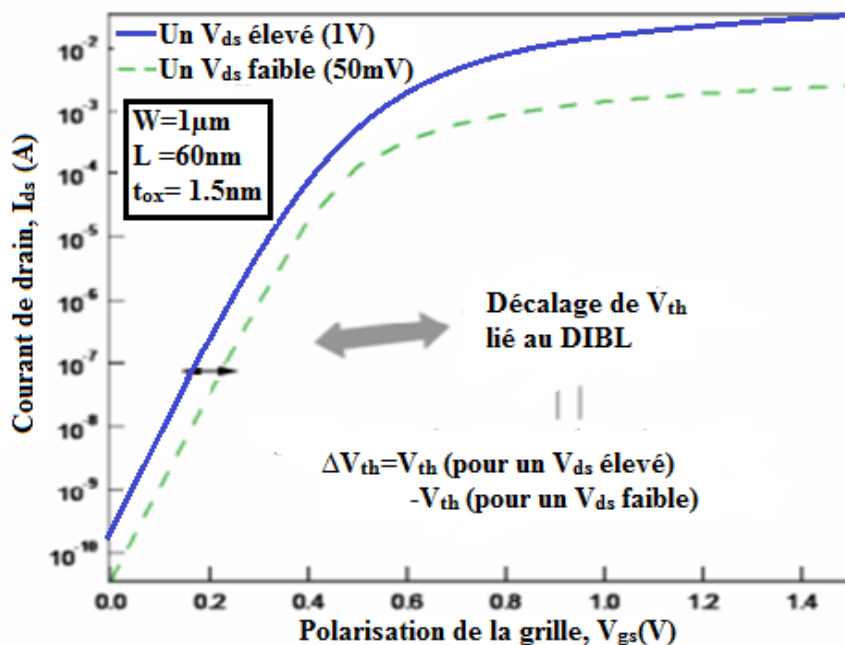


Figure 1.8 Influence de l'effet du DIBL sur la caractéristique $I_d - (V_g)$ du transistor MOSFET

Ce résultat s'observe bien sur la caractéristique $I_d - (V_g)$ en échelle logarithmique tracée à la figure 1.8.

3.1.3 Partage de charge de déplétion (CS)

L'effet de partage de charge (CS) apparaît lorsqu'une partie significative du canal n'est plus contrôlée par la grille à cause de l'influence des jonctions de source et de drain [14-16]. Quand V_{ds} augmente, la quantité de charge contrôlée par la grille diminue en dessous de sa valeur obtenue pour $V_{ds} = 0$ V [17]. Cet effet se traduit par une diminution de la tension de seuil et par une augmentation de la pente sous le seuil SS ainsi que du courant de drain. Ce résultat s'observe bien sur la caractéristique $I_d - V_g$ en échelle logarithmique de la Figure 1.9.

En plus de cet effet canal court, on assiste à un effet canal étroit [18]. La région de déplétion effective créée par la tension de grille sous l'oxyde de grille s'étend latéralement.

Cependant, contrairement à l'effet du canal court, cet effet dû au canal étroit conduit à une diminution de la valeur du courant et, à une augmentation de la tension de seuil.

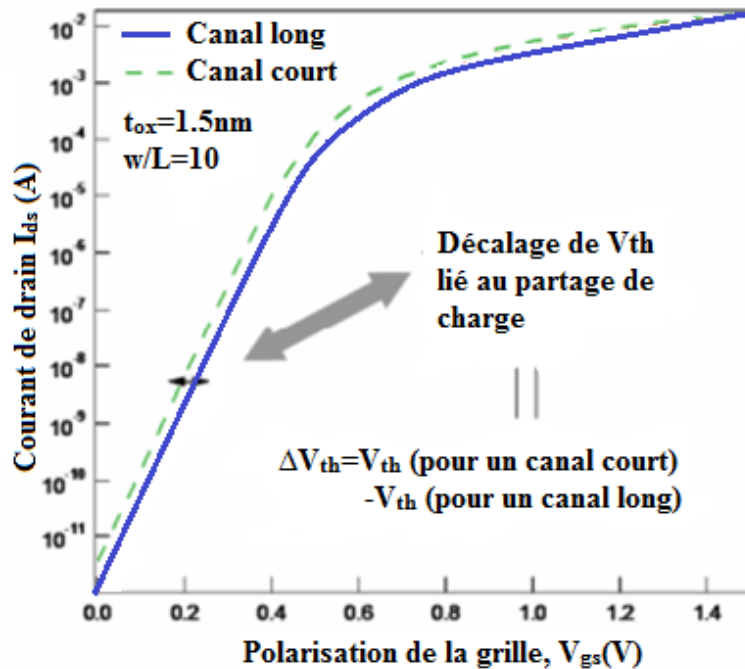


Figure 1.9 Influence de l'effet du partage de charge sur la caractéristique du courant du transistor MOS pour $V_{ds} = 1$ V .

3.2 Effets quantiques

Les nanoMOS se caractérisent par l'apparition de phénomènes de nature quantique qui affectent de façon directe la tension de seuil des transistors MOS ainsi que la capacité de grille [19].

Afin d'aller plus loin dans le contrôle des SCEs, les concepteurs optent pour la solution de fabriquer des TMOS avec un dopage N_A du canal plus élevé et une couche d'oxyde t_{ox} fine. Cependant, le puits de potentiel de confinement dans lequel circulent les porteurs devient de plus en plus étroit, augmentant ainsi l'écart entre les différents niveaux d'énergie. Cet effet modifie notamment la position du maximum de densité des porteurs qui se trouve décalée de l'interface entre l'oxyde et le semiconducteur comme présenté sur la Figure 1.10-a.

La Figure 1.10-b, illustre le diagramme de bande d'énergie dans le cas quantique, le niveau d'énergie E_0 est décalé avec un ΔE_g par rapport au plus bas niveau de la bande de conductance E_C . Par conséquent, Le décalage de tension de seuil provoque la réduction du courant de drain et de la transconductance. Cet effet mène également à la réduction et au déplacement du maximum de la densité de charge à partir de l'interface [20].

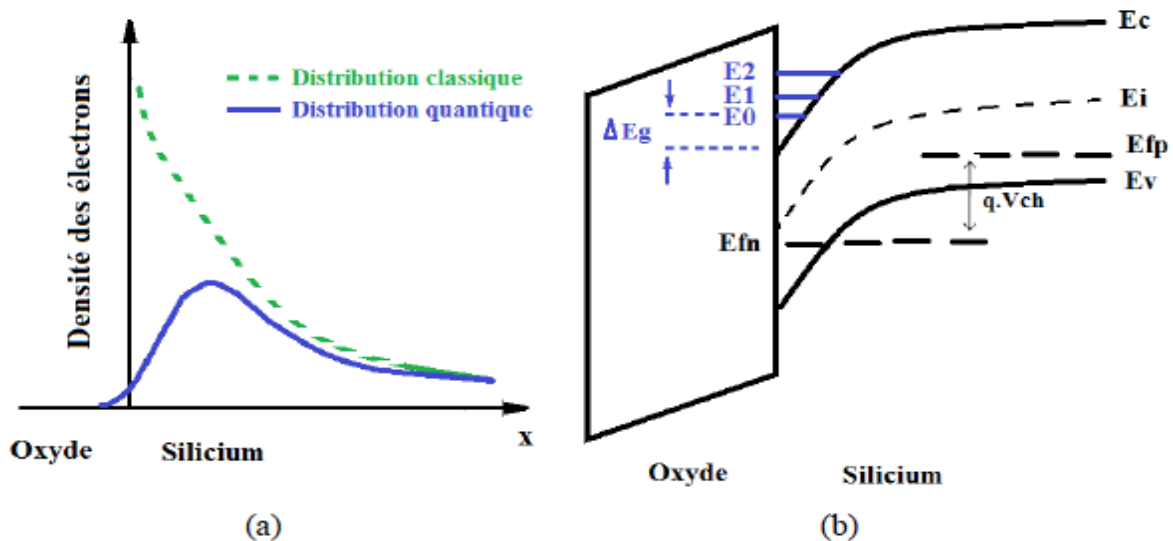


Figure 1.10 Distribution des porteurs de charges dans le cas classique et quantique (a) ; influence du confinement quantique sur la structure de bandes d'énergies (b).

3.3 Effets tunnel

Afin de pallier les effets "canaux courts" et d'améliorer le contrôle du canal de conduction, l'épaisseur d'oxyde de grille doit être réduite. Pour des épaisseurs inférieures à 2nm, un courant de fuite tunnel non-négligeable traverse l'oxyde de grille et augmente la tension de seuil figure 1.11.

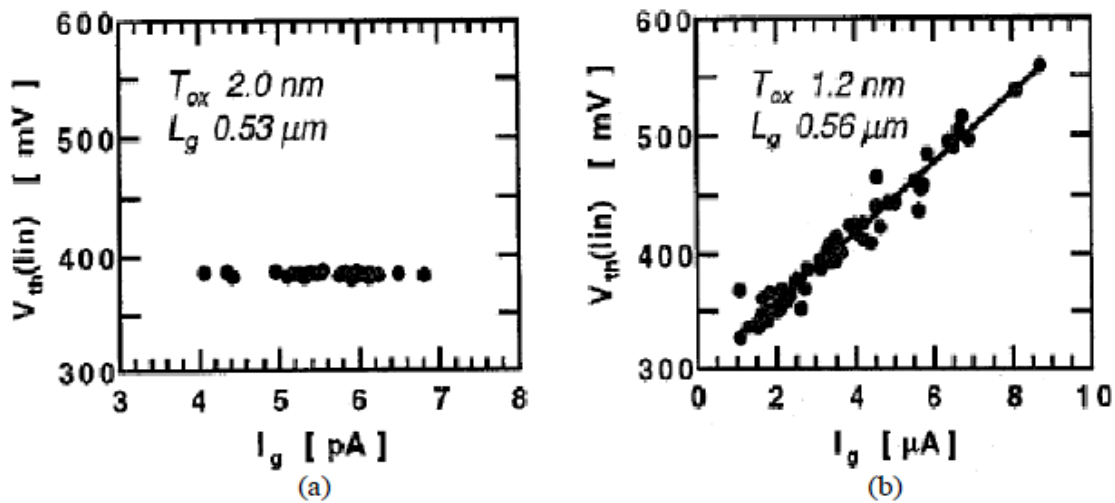


Figure 1.11 La tension de seuil en fonction de la fuite tunnel avec une tension de grille (V_g) de 1,5V pour différentes épaisseurs de l'oxyde de grille de (a) 2,0nm et (b) 1,2nm [21]

Pour résoudre ce problème, l'utilisation des isolants à permittivité élevée à la place de l'oxyde de grille semble la solution la plus prometteuse [22].

Afin de limiter l'impact de ces effets de canal court et donc d'augmenter le contrôle de la grille sur le canal, plusieurs solutions sont proposées dans la littérature. Nous détaillerons en particulier les solutions qui regroupent l'amélioration des propriétés du matériau et les solutions concernant le développement de nouveaux dispositifs.

4 Les solutions technologiques proposées

Les limites et les obstacles technologiques causés par la miniaturisation des transistors ont mené au développement et à la recherche de solutions technologiques, adoptées par l'industrie de la microélectronique.

Dans ce contexte, les feuilles de routes de la technologie des semi-conducteurs de l'ITRS ont adoptées des solutions technologiques qui se divisent en deux grandes parties [4] :

- La première partie regroupe l'amélioration des propriétés du matériau telles que les diélectriques de haute permittivité (High K), l'utilisation d'un dopage rétrograde et l'application de contraintes mécaniques au niveau du canal de conduction pour l'amélioration du courant à l'état on et des performances globales du transistor.

- La deuxième partie concerne le développement de nouveaux dispositifs. Ces derniers sont divers et variés telles que les transistors sur substrat SOI (Silicon On Insulator) ainsi que les dispositifs

multi grilles: les FinFETs, les MOSFETs Double Grille (DG MOSFET), Triple Grille et à Grilles Cylindriques (GAA : Gate All Around ou Surrounding Gate).

4.1 L'amélioration des propriétés du matériau

Pour résoudre le problème de la présence du courant tunnel lorsque l'épaisseur de la couche d'oxyde est de plus en plus faible, les chercheurs ont opté à remplacer l'oxyde de silicium par un diélectrique à haute permittivité (High K) tel que : HfO_2 , ZrO_2 , Al_2O_3 , TiO_2 , HfAlO . L'oxyde d'hafnium HfO_2 avec sa permittivité relative (ϵ_r) de l'ordre de 20, son gap relativement grand de l'ordre de 5,65eV, et enfin sa relative stabilité thermodynamique sur le silicium semble être un bon candidat pour remplacer l'oxyde [23].

Afin de contrôler les effets de percement volumique, Un fort dopage rétrograde est réalisé dans le substrat sous la grille [24] (Fig 1.12), ainsi l'extension des zones de charge d'espace est limitée aux endroits critiques (sous le canal) tout en permettant un réglage de la tension de seuil par un dopage plus faible du canal. Pour lutter contre le percement surfacique, des poches, ou des « halos » fortement dopés sont aussi réalisées autour des caissons source et drain.

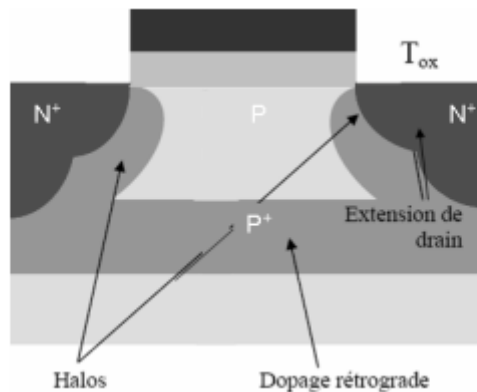


Figure 1.12 Structure du transistor MOS bulk avec dopage rétrograde de canal, halos autour des caissons source et drain et extension de source/drain

Pour augmenter le courant I_{on} dans les transistors MOSFET, il est possible d'améliorer le transport des porteurs en modifiant la mobilité du silicium dans le canal de conduction par l'application de contraintes mécaniques sur le matériau (figure 1.13), en utilisant par exemple un canal SiGe enterré dans le cas du pMOS à hétérostructures Si/SiGe/Si (maîtrise de la contrainte en jouant sur la concentration de Ge)[25].

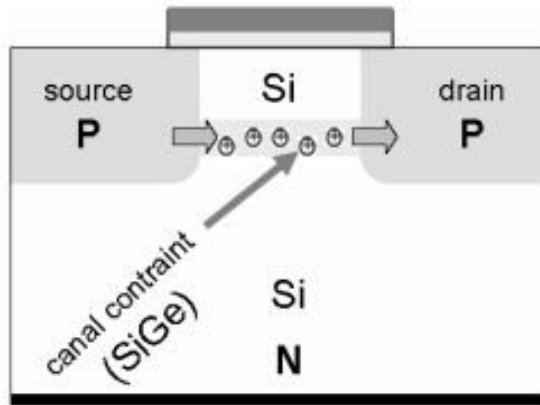


Figure 1.13 Coupe schématique d'un PMOSFET à hétérostructures Si/SiGe/Si à canal enterré

Enfin, sans réellement parler de changement de matériau, le courant de drain est augmenté (à travers l'amélioration de la mobilité des porteurs de charge) et le transistor MOSFET parvient à atteindre les spécifications des nœuds technologiques actuels en conservant une architecture bulk poussée à ses limites (extended bulk MOS [4]). Cependant, ces techniques ne permettent pas de réduire la perte progressive du contrôle électrostatique de la grille sur le canal de conduction. L'amélioration des performances dans les transistors MOSFET passe par le renforcement du couplage électrostatique de la grille sur le flux de porteurs dans le canal de conduction. Les solutions proposées consistent donc à augmenter le nombre de grille de contrôle autour du canal pour diminuer les effets électrostatiques parasites. Les recherches se sont alors orientées, déjà depuis la fin des années 1980, vers l'étude des transistors MOSFET sur substrat SOI (pour Silicon On Insulator) [26] et des architectures multi-grilles [27] sur ce même substrat : Double-Grille (planaire [28] [29] [30] ou verticale [31]), Triple-Grille (FinFET [32] [33] [34], Ω -gate [35], π -gate [36]), dispositifs à grille enrobante (GAA (pour Gate-All-Around) [27] [37]) et nanofils (cylindriques ou rectangulaires [38]) pour ne citer que les plus importantes [39] (figure 1.14).

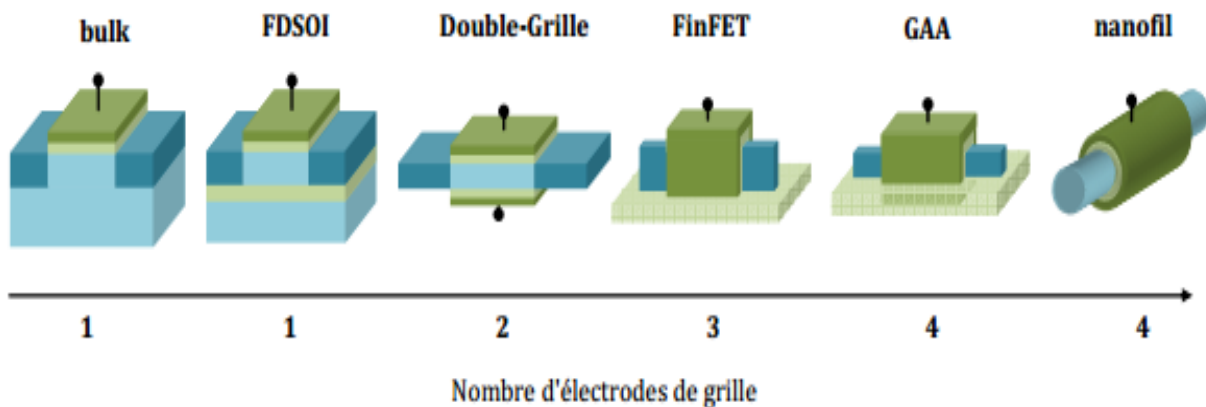


Figure 1.14 Evolution envisagée des architectures multi-grilles sur substrat isolant pour améliorer le contrôle électrostatique.

4.2 Les technologies SOI

4.2.1 La technologie SOI à une grille

Le Silicium sur Isolant (Silicon On Insulator) est une structure réalisée d'un empilement d'une couche de silicium mince au préalable posée sur une couche d'oxyde enterrée (fig. 1.15-b) (BOX, Buried OXyde). Le film de silicium a une épaisseur que nous noterons t_{si} .

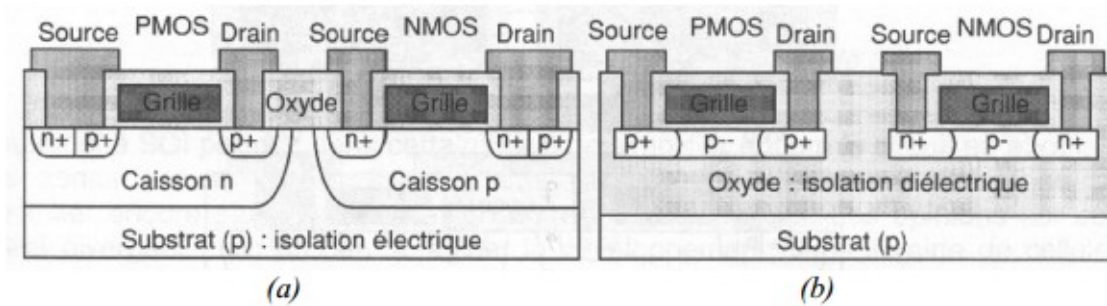


Figure 1.15 Coupe schématique de transistors MOS (a) Bulk et (b) SOI

A l'opposé du transistor MOS massif Bulk où le canal d'inversion est localisé à l'interface silicium-oxyde (fig 1.15-a), la structure SOI a fait naître le concept d'inversion volumique [40]. La présence de l'oxyde enterré permet un meilleur contrôle du potentiel dans le canal par la grille que dans le transistor MOS sur silicium massif.

Selon le niveau de dopage et l'épaisseur du film de silicium, la zone de déplétion va s'étendre plus ou moins loin dans la partie active (film de silicium), il existe deux types de technologies SOI (simple grille) (figure 1.16): (a) le transistor SOI est complètement déplété (fully-depleted SOI ou FDSOI) quand la zone de désertion englobe tout le film de silicium, et (b) le transistor SOI est partiellement déplété (Partially-Depleted SOI ou PDSOI) quand la zone de déplétion ne recouvre pas entièrement la partie active. La Figure 1.16 décrit ces deux structures.

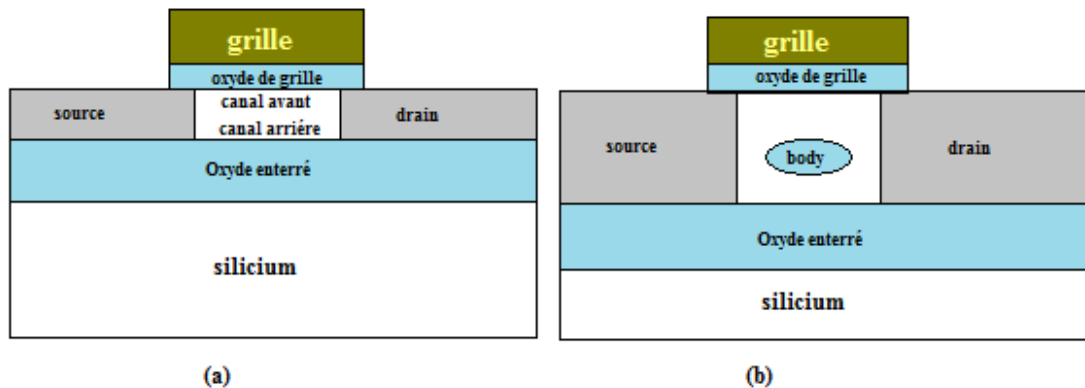


Figure 1.16 Représentation schématique d'un transistor SOI : (a) entièrement déplété et (b) partiellement déplété

D'après la feuille de route technologique internationale l'ITRS de 2009, le transistor FDSOI semble être le plus sérieux candidat au remplacement de l'architecture bulk à court terme (à partir du nœud technologique 22 nm [41]). En effet, l'utilisation de films et de BOX minces permet de mieux maîtriser les lignes de champs électriques dans le canal de conduction par rapport à la technologie PDSOI et donc d'augmenter le contrôle de la grille sur le canal de conduction et minimiser le couplage électrostatique entre les zones de source et de drain.

La bonne maîtrise des effets de "canal court" reste l'un des principaux intérêts de cette structure, la technologie FDSOI offrent de nombreux autres avantages tels que :

- L'isolation diélectrique : les composants sont bien séparés les uns par rapport aux autres par l'oxyde et aussi du substrat par l'isolation verticale. Le courant de fuite lié au bulk, le latch-up (Le latch-up est un phénomène parasite dû au déclenchement du thyristor parasite lié à la proximité des zones N^+ et P^+ de transistors nMOS et pMOS voisins) et le photocourant dû à la radiation sont bien éliminés.
- Les jonctions verticales: Les jonctions source/drain s'étendent jusqu'à l'isolant. Cela réduit la capacité parasite et le courant de fuite. Cela est surtout intéressant dans les applications de faible consommation et de grande vitesse.
- Le processus de fabrication: L'utilisation des wafers SOI, en dépit du coût très cher, facilite le processus de fabrication grâce à l'absence des caissons de la technologie MOS bulk.
- L'effet de canal court: La petite épaisseur du film de silicium limite la pénétration des champs des source/drain dans le silicium. L'effet de canal court est donc moins sensible dans le FD-SOI que dans le MOS bulk.
- La faible tension de fonctionnement: le transistor FD-SOI a une pente sous le seuil « plus idéale» que le transistor MOS bulk pour un jeu de paramètres technologiques comparable. Tout cela rend la technologie FD-SOI attractive notamment pour des applications mobiles qui demandent une faible consommation d'énergie et une faible tension d'alimentation.

Néanmoins, la technologie SOI présente quelques inconvénients plus ou moins important, on peut en citer :

- Le phénomène d'auto-échauffement des composants dû à l'importance de la résistance thermique de l'isolant qui ne permet pas d'évacuer assez rapidement la chaleur [42], ceci

peut mener à une diminution de la mobilité effective des porteurs et donc une diminution de la conductance de drain et une dégradation du courant.

- Des problèmes de variabilité des paramètres liés à la fabrication des plaquettes où l'épaisseur du film semiconducteur doit être parfaitement uniforme sur toute la surface,
- l'augmentation des résistances d'accès des jonctions de source et de drain qui limite fortement le courant de drain [pour l'instant solutionné en surélevant les jonctions et en augmentant très fortement le dopage de ces zones (contact presque métallique)] et reste l'un des enjeux majeurs pour améliorer le transport dans les technologies multi-grilles.
- Un effet DIBL additionnel est dû à la pénétration latérale des champs électriques dans l'oxyde enterré et sous le substrat. Les lignes de champ électrique du bas induisent une forte augmentation de potentiel dans l'oxyde enterré si la grille arrière est polarisée positivement: cet effet s'appelle l'effet DIVSB (Drain Induced Virtual Substrate Biasing) [43]. A cause du DIVSB et du couplage d'interface, la tension de seuil du canal avant et la pente de seuil se trouvent abaissées. C'est une des raisons pour laquelle sera élaborée la structure SOI à double grille.

Afin d'éliminer les effets de canal courts (SCE), la miniaturisation du MOS bulk demande une réduction de l'épaisseur de jonction et une augmentation du dopage, ce qui par ailleurs affecte la capacité de jonction et la mobilité des porteurs et crée des effets quantiques. Cette nécessité d'augmenter le dopage va probablement freiner la miniaturisation des transistors Bulk MOSFET et PD-SOI.

Mais la limite (longueur minimum) sera un peu repoussée dans le cas du transistor FD SOI en jouant sur certains paramètres tels que le dopage de substrat, la polarisation et l'épaisseur de film et d'oxyde, [5].

La technologie SOI représente une solution à un grand nombre d'effets indésirables. Cependant, leur inconvénient majeur, surtout en ce qui concerne le PDSOI, est l'importance des effets canaux courts. En revanche, insérer une grille en-dessous de l'oxyde constituerait un bouclier qui bloquerait complètement les lignes de champs. Ceci permettrait directement de protéger le canal et de réduire les effets canaux courts.

4.2.2 Les transistors à grilles multiples

Dans l'effort d'amélioration de la contrôlabilité de la grille et d'augmentation du courant de conduction, le transistor SOI à une grille a évolué pour des structures tridimensionnelles à grille multiple, double, triple ou quadruple.

4.2.2.1 Le transistor Double Grille

Le transistor MOSFET en architecture Double-Grille fait également partie des solutions prometteuses pour le remplacement du dispositif MOSFET bulk. L'idée d'ajouter une deuxième grille en arrière des dispositifs, et de prendre ainsi le canal en Sandwich par deux grilles a été proposée en 1984 par T. Sekigawa et Y. Hayashi [5]. Ce transistor a été proposé pour éliminer l'effet DIVSB.

À travers cette configuration de grille, les effets canaux courts sont énormément réduits, le courant de drain et la transconductance sont augmentés. Ce type de transistor présente d'excellentes performances et avantages en comparaison avec la structure classique du MOSFET.

La Figure 1.17-a illustre la structure générale du MOSFET à double grilles planaire. La Figure 1.17-b, présente une photographie en microscope électronique à balayage (MEB) de la structure planaire de DG MOSFET.

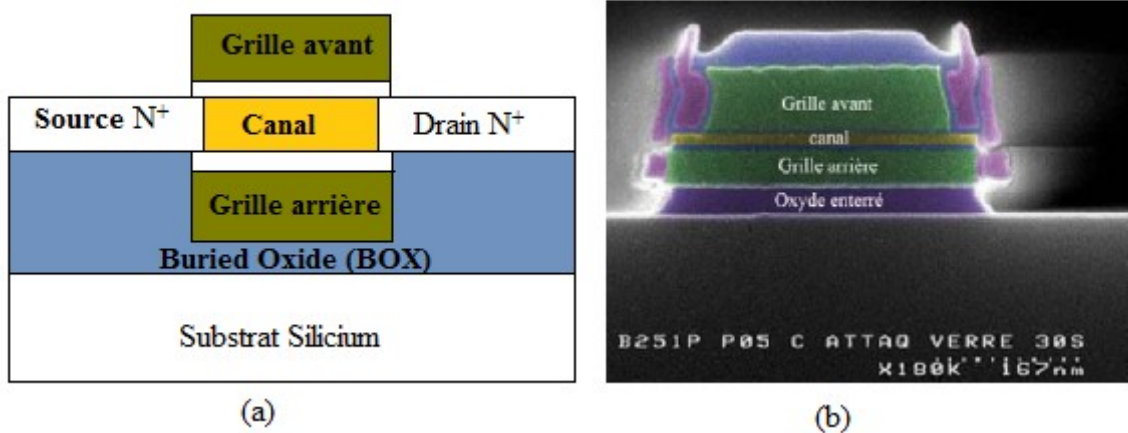


Figure 1.17 Schéma du DG MOSFET planaire, où les deux grilles sont électriquement connectées (a) ; Photographie en MEB du DG MOSFET en technologie planaire (b) [13]

Les transistors MOS double-grille (DG) sont regroupés en trois catégories suivant la direction du transport électronique et la direction du champ de grille par rapport au plan du substrat qui est le plan horizontal. La première catégorie correspond au transistor MOSFET double-grille planaire où le transport électronique s'effectue parallèlement au plan du substrat et le champ électrique de la grille est perpendiculaire au substrat. La deuxième catégorie consiste à la structure double grille quasi-planaire nommée le FinFET dont le transport électronique et le champ de grille sont parallèles au plan du substrat. La dernière catégorie correspond à la structure double-grille verticale où le transport électronique est perpendiculaire au plan du substrat et le champ de grille est parallèle au substrat.

Le MOSFET double-grille peut être symétrique si les deux grilles sont identiques c.-à-d. de même matériau et de même épaisseur (Figure 1.18). Il est asymétrique s'ils possèdent deux grilles de matériaux différents et d'épaisseur différents [44].

Les procédés de fabrication des architectures Double-Grille sont plus complexes que ceux des dispositifs bulk (car moins matures) et plus précisément la réalisation de grille parfaitement alignées est très difficile alors que la connexion de la grille arrière a un impact négatif sur la densité d'intégration. Malgré ces problèmes d'ordre technologique, les performances des architectures Double-Grille et FinFET ainsi que leur capacité de miniaturisation restent meilleures par rapport aux dispositifs bulk et FDSOI.

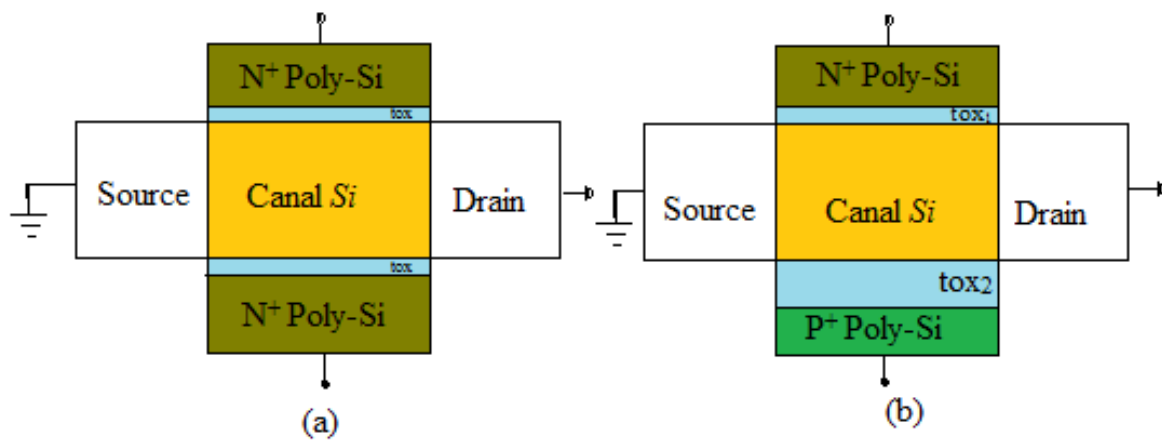


Figure 1.18 Structures du DG MOSFET : symétrique (a) ; asymétrique (b).

4.2.2.2 Le FinFET

Le FinFET est un dispositif 3D qui utilise la configuration double-grille du transistor DG MOSFET [46], Elle est construite à base d'un film de silicium fin sur un wafer SOI (figure 1.19). La forme du film de silicium ressemble à un aileron très fin. C'est pourquoi elle est nommée FinFET. La section horizontale est similaire à un transistor DG MOSFET. La hauteur du Fin correspond à la largeur du canal d'un DG MOSFET.

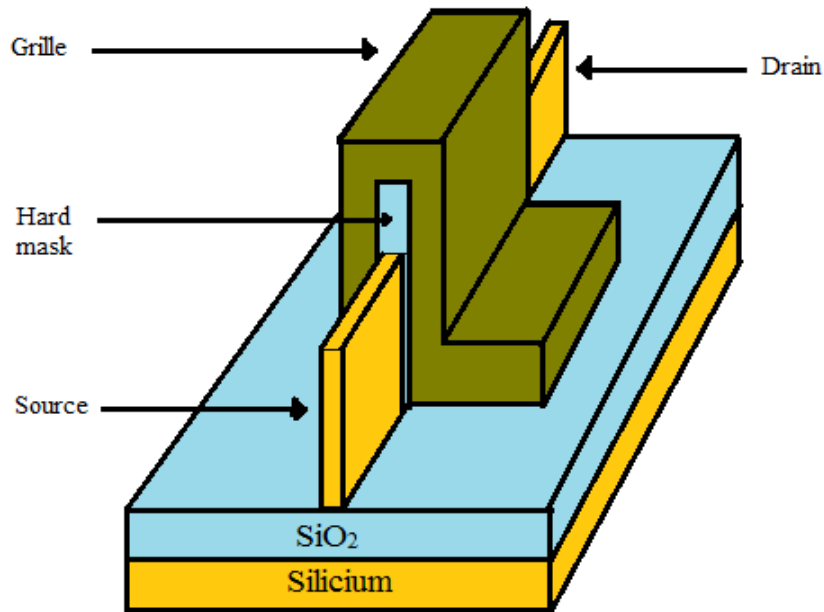


Figure 1.19 Schéma de la structure général du FinFET.

Le processus de fabrication d'un FinFET est présenté sur la figure 1.20. Le premier processus englobe les deux étapes de gravure de l'oxyde et du film de silicium. Un film mince de silicium est obtenu. Après une étape d'oxydation, le silicium est déposé autour de l'oxyde. La grille est formée par implantation ionique dans le silicium.

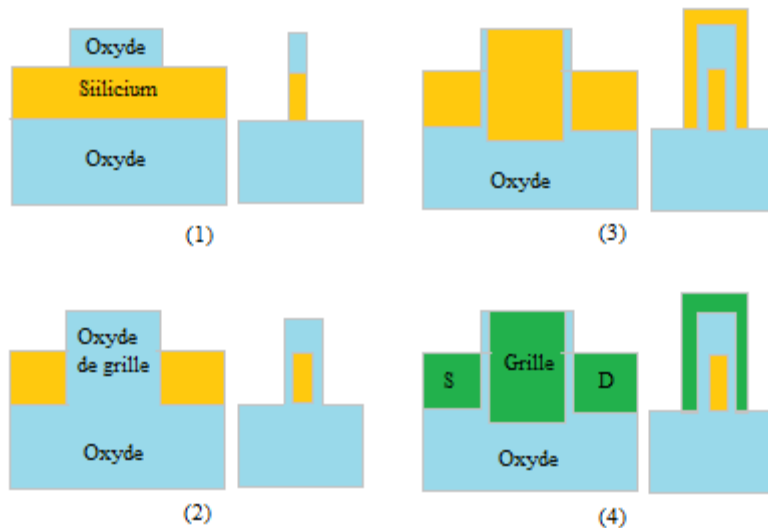


Figure 1.20 Processus de fabrication du FinFET : après la gravure du Silicium et de l'oxyde (1) ; dépôt de l'oxyde de grille (2) ; dépôt de Silicium (3) ; implantation ionique pour la formation de la Grille, Source et Drain (4) [24].

Par rapport au DG MOSFET, les avantages du FinFET sont donc l'auto-alignement et que les grilles peuvent être fabriquées en utilisant une seule lithographie avec une seule étape de gravure.

Puisque le FinFET est réalisé sur un wafer SOI, certains effets néfastes inhérents à la technologie SOI sont présents, comme l'auto-échauffement.

4.2.2.3 Le Triple Grille

Le triple-grille (Triple Gate) MOSFET est considéré comme un cas particulier de FinFET. Cette structure dispose de trois grilles (TG), dont une au-dessus de l'oxyde et une sur chaque face latérale (Figure 1.21). Les couches d'oxyde au contact de chacune des grilles ont une épaisseur suffisamment faible pour permettre la formation de trois canaux à l'intérieur du film de silicium [46].

Le transistor MOS à triple-grilles (TG) FET représente une innovation importante requise pour continuer la loi de Moore. En effet, les hautes performances des TG ont mené à l'utilisation de ce dernier dans la fabrication des microprocesseurs et des mémoires. La technologie TG FET à 22nm de longueur de grille a été introduite par INTEL en 2011, pour la fabrication et la production en volume des microprocesseurs codés sous le nom de "Ivy Bridge" [47].

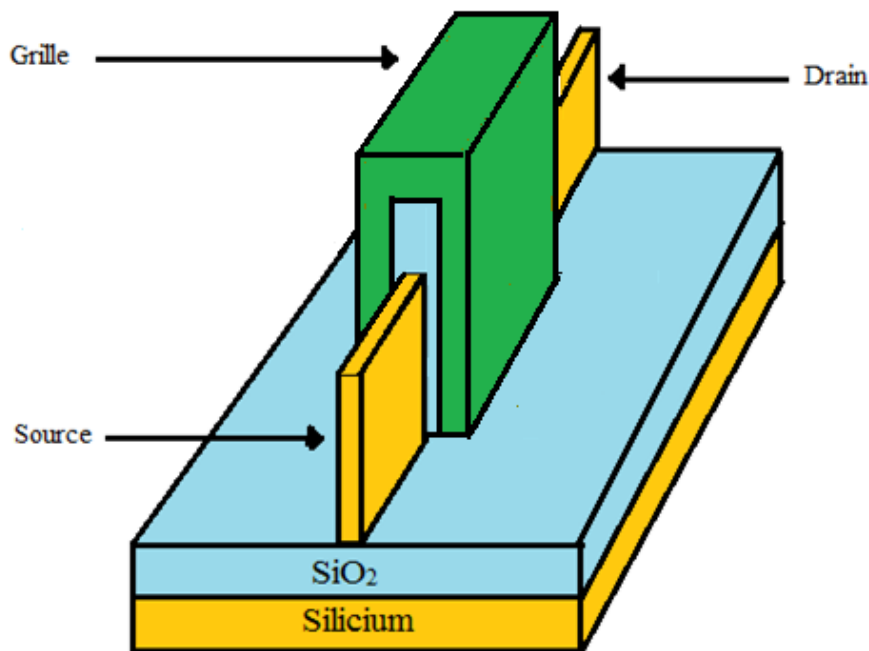


Figure 1.21 Structure 3D d'un Triple Gate MOSFET

Le contrôle électrostatique de la grille peut être amélioré en ajoutant des extensions de chaque côté latéral de la grille, soit en profondeur dans l'oxyde enterré, nous parlons alors d'une structure PIFET, soit sous le canal où nous parlons d'une structure Ω FET, ces extensions sont généralement

obtenues en sur-gravant l'oxyde dans la phase de définition des zones actives. De point de vue électrostatique, le Π FET et l' Ω FET, possèdent un nombre effectif de grille entre 3 et 4 (figure 1.22).

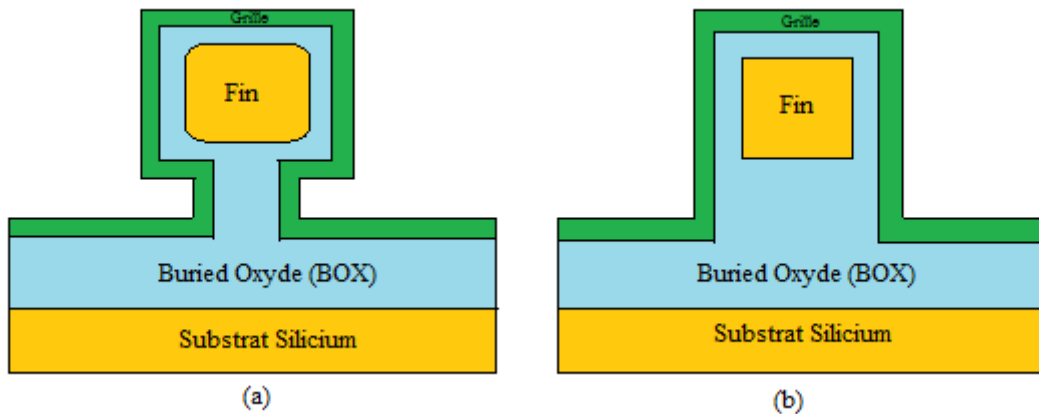


Figure 1.22 Schémas de coupes transversales : structure d'un Ω Grille (a) ; structure d'un Π Grille (b)

4.2.2.4 Le TMOS à grille cylindrique

Le transistor MOS à grille cylindrique, "Cylindrical Gate MOSFET (CG MOSFET)" est un dispositif MOS fabriqué avec une grille de forme cylindrique qui enrobe un canal et un oxyde de même forme que la grille (Figure 1.23).

Cette structure représente une solution ultime en termes de maîtrise du potentiel électrostatique dans le canal et pour éliminer le problème des effets de coins existant dans le Π MOSFET et Ω MOSFET. Le CG MOSFET est un excellent candidat pour continuer la miniaturisation des dispositifs MOS et augmenter la densité d'intégration dans les circuits CMOS.

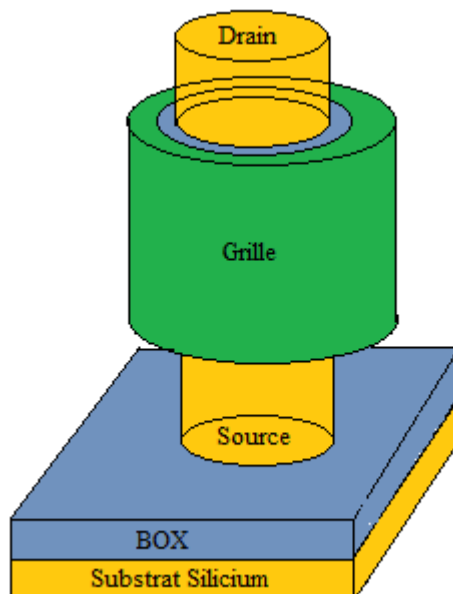


Figure 1.23 Schéma de la structure générale du TMOS à grille cylindrique sur SOI

La structure dite GAA ("Gate All Around") MOSFET est très similaire à la structure de CG MOSFET surtout du point de vue fonctionnement [48]. La structure GAA MOSFET a été originalement proposée par J.P. Colinge [49]. Le premier CG MOSFET fut fabriqué en enveloppant l'électrode de grille autour d'une pile verticale de silicium (Annexe D).

Le passage de 2 à 4 grilles autour du canal de conduction permet donc d'avoir un contrôle électrostatique de la grille optimal (maîtrise parfaite des effets de canal court) et d'améliorer les principaux paramètres clés des transistors: tension de seuil, pente sous le seuil, courant de fuite, et courant à l'état passant.

L'idée d'ajouter de plus en plus de grilles repose sur le fait que, si l'épaisseur du film actif de silicium entre les différentes grilles est suffisamment faible, ces grilles polarisées peuvent commander le volume global de silicium entre la source et le drain, pour poursuivre la course à la miniaturisation

On s'est intéressé à la structure MOSFET à grille cylindrique qui sera détaillée dans la suite et fera l'objet de cette thèse.

Conclusion

La miniaturisation des transistors MOS plus particulièrement la diminution de la longueur de canal a permis d'augmenter la densité d'intégration et la vitesse de fonctionnement des circuits. Dans ce chapitre introductif, nous avons rappelé dans un premier temps le fonctionnement général du transistor MOSFET à canal long puis de présenter les principaux phénomènes physiques apparaissant avec la réduction des dimensions dans les composants. Cette réduction des dimensions a engendré des phénomènes parasites (DIBL, modification de la tension de seuil, augmentation du phénomène de porteurs chauds,...) qui détériorent les caractéristiques courant-tension. Ainsi, les solutions technologiques envisagées, et qui sont globalement orientées par les feuilles de routes de l'ITRS.

Ces structures ont montré une grande immunité aux effets canaux courts en raison de leur bonne intégrité électrostatique. La technologie SOI notamment les dispositifs à grille multiple offre une alternative prometteuse à celle du bulk conventionnelle qui se rapproche de ses limites à une échelle fortement submicronique. Les performances électriques des transistors à grille cylindrique sont les plus intéressantes, la configuration optimale de ces structures offre une intégrité électrostatique des plus favorables à un meilleur contrôle des effets de canal court. Cependant,

malgré les solutions proposées pour maintenir cette évolution, la miniaturisation des dispositifs semi-conducteurs devient de plus en plus difficile.

Le chapitre suivant présente l'un de ces nouveaux composants, le MOSFET à grille cylindrique (Surrounding Gate). Ce dernier s'affiche comme l'une des solutions innovantes potentielles, susceptibles d'assurer la pérennité de la nanoélectronique sur silicium.

Références

- [1] B. P. Wong, A. Mittal, Y. Cao et al, "Nano-CMOS circuit and physical design", John Wiley & Sons, Inc, ISBN 0-471-46610-7, 2005.
- [2] C. G Montoro, M. C. Schneider, "MOSFET modeling for circuit analysis and design", World Scientific, ISBN-13 978-981-256-810-6, 2007.
- [3] Gordon E. Moore, "Cramming more components onto integrated circuits", Electronics, vol. 38, no. 8, 1965.
- [4] International Technology Roadmap for Semiconductors, ITRS. [Online] 2012, <http://www.itrs.net/>
- [5] J.P. Colinge, "FinFETs and Other Multi-Gate Transistors", NewYork, SpringerVerlag, 2008.
- [6] B. Diagne, "Etude et modélisation compacte d'un transistor MOS SOI double grille dédié à La conception", thèse de doctorat, université Louis Pasteur, 2007.
- [7] T. Skotnicki, "Transistor MOS et sa technologie de fabrication", Techniques de l'Ingénieur, vol. 2, no. E 2 430, 2000.
- [8] A.B. Bhattacharyya, "Compact MOSFET models for VLSI design", John Wiley & Sons (Asia) Pte Ltd, ISBN: 978-0-470-82342-2, 2009.
- [9] D.A. Neamen, "An Introduction to Semiconductor Devices", McGraw-Hill, 2006.
- [10] M.V. Dunga, X. (Jane)Xi, J. He , W. Liu, K.M. Cao, X. Jin, J.J. Ou, M. Chan, A.M. Niknejad and C. Hu, "BSIM 4.6.0 MOSFET model", Department of electrical engineering and computer sciences, University of California, Berkeley
- [11] Z. Liu, C. Hu, J. Huang, T-Yi Chan, M-C. Jeng, P.K. Ko, and Y.C. Cheng, "Threshold Voltage Model for Deep-Submicrometer MOSFET's," IEEE Trans. Electron Devices, vol. 40, no. 1, pp. 86-95, Jan. 1993.
- [12] L.D. Yau, "A Simple Theory to Predict the threshold Voltage of Short-Channel IGFET's", IEEE J. of Solid State Electron., vol. 9, n°3, pp. 256-263, 1974.

- [13] J. Saint-Martin, “étude par simulation Monte Carlo d'architectures de MOSFET ultracourts à grille multiple sur soi”, thèse de doctorat, Université De Paris-Sud (France), 2004.
- [14] J. Colinge, “Silicon-on-insulator technology: Materials to VLSI”, ISBN 1-4020-77734, Kluwer Academic Publishers, 3rd edition, 1997.
- [15] Semiconductor Industry Association (SIA), “ ITRS (International Technology Roadmap for Semiconductors) ”, web site: <http://public.itrs.net>, 2003 ed, Austin, TX. Int. SEMATECH, 2003
- [16] H.S.P. Wong, D.J. Frank, P. M. Solomon, C. H. Wann, and J. J. Welser, “Nanoscale CMOS”, in Proc. IEEE, vol. 87, n° 4, pp. 537-569, 1999
- [17] J. Widiez, et al., “Expérimental gate misalignment analysis on double-gate SOI MOSFETs”, Proceedings IEEE International SOI Conference, pp. 185-186, 2004
- [18] A. Amara, O. Rozeau, “Planar Double-Gate Transistor: From Technology to Circuit”, Springer and Business Media, ISBN 978-1-4020-9327-2, 2009.
- [19] I. Knezevic, D.Z. Vasileska, D.K. Ferry, “Impact of Strong Quantum Confinement on the Performance of a Highly Asymmetric Device Structure: Monte Carlo Particle-Based Simulation of a Focused-Ion-Beam MOSFETs”, IEEE Transactions on Electron Devices, vol. 49, pp. 19-26, 2002.
- [20] M. Koh, K. Iwamoto, W. Mizubayashi, H. Murakami, T. Ono, M. Tsuno, T. Mihara, K. Shibahara, S. Yokoyama, S. Miyazaki, M.M. Miura and M. Hirose, "Threshold voltage fluctuation induced by direct tunnel leakage current through 1.2-2.8 nm thick gate oxides for scaled MOSFETs", Proc. IEEE Electron Devices Meeting, pp. 919- 922, San Francisco, CA, 1998.
- [21] B.H. Lee, L. Kang, W.J. Qi, et al., “Ultrathin hafnium oxide with low leakage and excellent reliability for alternative gate dielectric application”, IEDM'99 Tech. Digest., pp. 556, 1999.
- [22] J. Roberson, P.W. Peacock, “Atomic structure, band offsets, growth and defects at high-K oxide: Si interfaces,” Microelectronics Engineering, vol. 72, pp. 112-120, 2004.
- [23] Scott et al., “MOS Scaling: Transistor Challenges for the 21st Century,” Intel Technology Journal Q 398, 1998.
- [24] M. Tang, “Etude et Modélisation Compacte du Transistor FinFET”, thèse de doctorat, université de Strasbourg, 2009.
- [25] Z. Ren, R. Venugopal, S. Datta, et al., “The ballistic nanotransistor: A simulation study,” IEDM Tech. Dig., pp. 715-718, 2000.

- [26] S. Cristoloveanu and S. S. Li, "Electrical Characterization of Silicon On Insulator Materials and Devices", (Kluwer Academic Publishers, 1995).
- [27] J. T. Park et J. P. Colinge, "Multiple-gate SOI MOSFETs: Device design guidelines", IEEE Trans. Electron Devices, vol. 49, no. 12, pp. 2222-2229, 2002.
- [28] S. Harrison, P. Coronel, F. Leverd, R. Cerruti, R. Palla, D. Delille, S. Borel, S. Descombes, D. Lenoble, A. Talbot, A. Villaret, S. Monfray, P. Mazoyer, J. Bustos, H. Brut, A. Cros, D. Munteanu, J.-L. Aufran, and T. Skotnicki, "Highly performant double gate MOSFET realized with SON process", in Proc IEDM Tech. Dig., pp. 449-452, 2004.
- [29] D. Hisamoto, "FD/DG-SOI MOSFET-A viable approach to overcoming the device scaling limit", in Proc IEDM Tech. Dig., pp. 429-432, 2001.
- [30] D. J. Frank, S. E. Laux, and M. V. Fischetti, "Monte Carlo simulation of a 30 nm dual-gate MOSFET : How short can Si go?", in Proc IEDM Tech. Dig., pp 553-556, 1992.
- [31] J. M. Hergenrother, "50 nm vertical replacement-gate (VRG) nMOSFETs with ALD HfO₂ and Al₂O₃ gate dielectrics", in Proc IEDM Tech. Dig. pp. 51-54, 2001.
- [32] Y. Choi, N. Lindert, P. Xuan, S. Tang, D. Ha, E. Anderson, T. King, J. Bokor, and C. Hu, "Sub-20nm CMOS FinFET technologies", in Proc IEDM Tech. Dig., pp. 421-424, 2001.
- [33] X. Huang, W. Lee, C. Kuo, D. Hisamoto, L. Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Y. Choi, K. Asano, V. Subramanian, T. King, J. Bokor, and C. Hu, "Sub 50nm FinFET : PMOS", in Proc IEDM Tech. Dig., pp. 67-70, 1999.
- [34] J. Kedzierski et al., "Metal-gate FinFET and fully-depleted SOI devices using total gate silicidation", in Proc IEDM Tech. Dig., pp. 247-250, 2002.
- [35] F. Yang, H. Chen, F. Chen, C. Huang, C. Chang, H. Chiu, C. Lee, C. Chen, H. Huang, C. Chen, H. Tao, Y. Yeo, M. Liang, and C. Hu, "25nm CMOS Omega FETs", in Proc IEDM Tech. Dig., pp. 255-258, 2002.
- [36] J.-T. Park, J. P. Colinge, and C. H. Diaz, "Pi-Gate SOI MOSFET", IEEE Electron. Device Lett., vol. 22, no. 8, pp. 405-406, 2001.
- [37] S. Monfray et al., "50 nm-gate all around (GAA)-silicon on nothing (SON)-devices: A simple way to co-integration of GAA transistors with bulk MOSFET process," in VLSI Symp. Tech. Dig., pp. 108-109, 2002.
- [38] D. Jimenez, B. Iniguez, J. Suné, L. F. Marsal, J. Pallarès, J. Roig, and D. Flores, "Continuous Analytic I-V Model for Surrounding-Gate MOSFETs", IEEE Electron. Device Lett., vol 25, no. 8, pp. 571-573, 2004.

- [39] J .L. Autran et D. Munteanu, “Au-delà du transistor MOS sur silicium massif”, *Revue de l'Electricité et de l'Electronique*, no. 4, pp. 25-37, 2007.
- [40] J. Gautier et al., “Physique des dispositifs pour circuits intégrés silicium”, Hermès, 2003.
- [41] <http://www.soiconsortium.org/>
- [42] T. Ernst, S. Cristoloveanu, “Buried oxide fringing capacité: a new physical model and its implication on SOI device scaling and architecture”, *IEEE International SOI Conference*, Oct. 1999.
- [43] V.P. Trivedi and J.G. Fossum, “Scaling Fully Depleted SOI CMOS,” *IEEE Transactions on Electron Devices*, vol. 50, no. 10, pp 2095-2103, Oct. 2003
- [44] V.M. Srivastava, G. Singh, “MOSFET Technologies for Double-Pole Four- Throw Radio-Frequency Switch”, Springer, ISBN 978-3-319-01164-6, 2014.
- [45] J.D. Hisamoto, W.C. Lee, J. Kedzierski et al, “FinFET A Self-Aligned Double- Gate MOSFET Scalable to 20 nm”, *IEEE Transactions on Electron Devices*, vol. 47, pp. 20-25, 2000.
- [46] J.G. Fossum, “Analytical modeling of quantization and volume inversion in thinSi-film DG MOSFETs”, *IEEE Transactions on Electron Devices*, vol. 49, pp. 287-294, 2002.
- [47] INTEL web site <<http://www.intel.com/content/www/us/en/siliconinnovations/intel-22nm-technology.html?wapkw=tri-gate+22nm>>.
- [48] S.H. Oh, “Physics and Technologies of vertical transistors”, thèse de doctorat, université de Stanford, 2001.
- [49] J.P. Coling, M.H. Gao, A. Romano et al, “Silicon-on-Insulator "Gate-All- Around" MOS Device”, *IEEE International Electron Devices Meeting (IEDM)*, pp. 95-98, 1990.
- [50] J. W. Lee, D. Jang, M. Mouis, G. T. Kim, T. Chiarella, and al, “Experimental analysis of surface roughness scattering in FinFET devices,” in *Proceedings of the European Solid State Device Research Conference*, pp. 305–308, 2010.
- [51] G. Groeseneken, J.-P. Colinge, H. E. Maes, J. C. Alderman, and S. Holt, “Temperature dependence of threshold voltage in thin-film SOI MOSFETs - *IEEE Electron Device Letters*,” *IEEE Electron Device Lett.*, vol. 11, no. 8, pp. 329–331, 1990.
- [52] P. Francis, J. P. Colinge, and D. Flandre, “comparaison of self heating effect in GAA And SOI MOSFETS,” *Microelectron. Reliab.*, vol. 37, no. 1, pp. 61–75, 1997.

- [53] A. Terao and F. Van de Wiele, "An analytical model for GAA transistors," *Microelectron. Eng.*, vol. 15, pp. 233–236, 1991.
- [54] S. Deleonibus, *Architectures, Electronic Device Nano-CMOS Era*. Pan Stanford Publishing Pte. Ltd. 5 Toh Tuck Link Singapore 596224, 2009.
- [55] J. El Husseini, "Modélisation et caractérisation de la conduction électrique et du bruit basse fréquence de structures MOS à multi-grilles," 2011.
- [56] G. Larrieu a,† , Y. Guerfi a , X.L. Han b , N. Clément b ; « Sub-15 nm gate-all-around field effect transistors on vertical silicon nanowires"; *solid state Electronics*, vol. 130, pp. 9-14, 2017.
- [57] Jayanarayanan, S.K., S. Dey, J. P. Donnelly and S.K. Banerjee, "A novel 50nm vertical MOSFET with a dielectric pocket. *Solid State Electron.*", vol. 50, pp. 897-900, 2006.
- [58] Moers, J., "Turning the world vertical: MOSFETs with current flow perpendicular to the wafer surface." *Applid Phys. A*, vol. 87, pp. 531-537, 2007.
- [59] Schulz, T., W. Rosner, L. Risch, A. Korbel and U. Langmann, "Short-channel vertical sidewall MOSFETs." *IEEE Trans. Electron. Devices*, vol. 48, pp. 1783-1788, 2001.
- [60] Moers, J., S. Trelenkamp, M. Marso, A. Hart and S. Mantl et al., "Vertical double-gate MOSFETs, ASDAM 2004", *Proceedings of the 5th International Conference on Semiconductor Devices and Microsystems*, Oct. 17-21, Smolenics Castle, Slovakia, pp. 215-218, 2004.
- [61] Masahara, M., Y. Liu, K. Endo, T. Matsukawa and E. Suzuki, "Vertical double-gate MOSFET device technology". *Trans. Inst. Electrical Eng. Japan C*, vol. 126, pp. 702-707, 2006.
- [62] Gili, E., V.D. Kunz, T. Uchino, Hakim, M.M.A., C.H. de Groot, P. Ashburn and S. Hall, "Asymmetric gate-induced drain leakage and body leakage in vertical MOSFETs with reduced parasitic capacitance". *IEEE Trans. Electron Devices*, vol. 53, pp. 1080-1087, 2006.
- [63] Schulz, T., W. Rosner, L. Risch, A. Korbel and U. Langmann, "Short-channel vertical sidewall MOSFETs". *IEEE Trans. Electron. Devices*, vol. 48, pp. 1783-1788, 2001.

Chapitre 2

Développement du modèle analytique pour le MOSFET à grille cylindrique

1 Introduction

Dans ce chapitre, différentes caractéristiques et avantages des MOSFET à grille cylindrique sont mis en évidence. Le présent chapitre traite la modélisation bidimensionnelle et la simulation de la distribution du potentiel de surface et de la tension de seuil des MOSFET à grille cylindrique.

Dans cette section, l'équation de Poisson 2D en coordonnées cylindriques pour les MOSFET GAA cylindriques a été résolue en termes de potentiel électrostatique, nous avons développé des modèles pour la tension de seuil, la pente sous le seuil et le DIBL [1-2]. Le courant de drain, la transconductance et la conductance du drain sont aussi développés dans cette section.

2 Le MOSFET à grille cylindrique

La structure GAA (Gate All Around) MOSFET ou à grille cylindrique CG (Surrounding Gate) est considérée comme un excellent candidat pour continuer la miniaturisation des dispositifs MOS ainsi que d'augmenter la densité d'intégration dans les circuits CMOS. En effet, cette architecture est considérée comme un candidat prometteur pour atteindre une longueur de grille inférieure à 22nm [3-4]. En entourant le canal complètement (figure 1-a), la grille gagne un contrôle électrostatique accru du canal et les effets du "canal court" peuvent être améliorés.

Indépendamment de l'avantage de permettre un canal plus court, les CG MOSFET peuvent réaliser une densité d'intégration plus haute en raison de leur énergie actuelle améliorée comparée au MOSFET planaire. La réduction des dimensions des dispositifs a été le principal facteur conduisant à des améliorations de la performance et des coûts de circuit intégré (IC), ce qui contribue à la croissance rapide de l'industrie des semi-conducteurs.

Cependant, même dans les dispositifs CG MOSFET, les effets de "canal court" (SCE), tels que l'atténuation de tension de seuil, le DIBL et la dégradation de la pente sous-seuil, ne peuvent pas être négligés pour les longueurs de canaux en dessous de 100nm [5].

Le décalage de la tension de seuil est une conséquence de l'effet de partage de charge et généralement considéré comme l'une des principales indications de l'effet de canal court (SCE). Un autre effet important est la dégradation de la pente sous-seuil, qui conduit à une augmentation du courant à l'état "off".

L'effet DIBL (l'abaissement de la barrière induite par le drain) se produit lorsque la barrière de la hauteur des supports de canal au bord de la source est réduite en raison de l'influence du champ électrique de drain, lors de l'application d'une haute tension de drain. Comme la tension baisse entre la source et le drain, la région de déplétion sous le drain peut réduire la barrière de potentielle de la jonction source-canal. Si la barrière entre la source et le canal est diminué, les électrons sont

injectés plus librement dans la région du canal. Par conséquent, la tension de seuil est abaissée et la grille à moins de contrôle du canal.

Des modèles compacts et précis de la tension de seuil, du DIBL et de la pente sous-seuil sont nécessaires pour faciliter l'utilisation de ces dispositifs dans des Circuits intégrés à l'échelle nanométriques

La plupart des modèles existants de CG MOSFET sont basés sur une seule dimension (1- D), et ne conviennent que pour les périphériques à canaux longs [4] [6-7]. Comme conséquence, ils sont incapables de reproduire le roll-off car la longueur du canal est réduite. Une analyse bidimensionnelle est nécessaire pour calculer la tension de seuil et la pente sous-seuil.

Quelques modèles 2-D de la tension de seuil pour CG MOSFET dopé [8-9] et non dopé [10] ont été présentés; cependant, tous négligent l'effet de la densité de charge mobile, qui peut être importante dans le régime proche du seuil (en particulier pour les dispositifs non dopés).

Le CG MOSFET se présente comme étant l'ultime structure des transistors multi-grilles, cette structure a été développée avec l'idée d'avoir le meilleur contrôle électrostatique possible, ainsi que de corriger le problème des effets de coins. D'autre part, afin de poursuivre la course à la miniaturisation, la section de Silicium est de plus en plus réduite. Dans ce cas là, lorsque l'épaisseur de Silicium est inférieur à 10nm, le dispositif est appelé "NanoWire (NW)" (en français Nanofil). En outre, pour optimiser les propriétés électriques des CG MOSFET et surtout d'augmenter la densité de courant par unité de surface, ce dispositif peut être fabriqué avec plusieurs canaux qui partagent la même grille et les mêmes Source/Drain, ce type de dispositif est souvent appelé le canal multi-Pont (MBCFET : "Multi-Bridge Channel FET")

3 Modèles analytiques

La méthode la plus simple pour modéliser un composant semiconducteur est la modélisation analytique, qui se fait par une résolution d'un ensemble d'équations mathématiques basées sur des hypothèses simplificatrices. Bien que la connaissance des équations qui permettent de modéliser un composant semiconducteur soit parfois ancienne, plusieurs datant de plus d'un siècle, très peu de cas peuvent être résolues exactement (analytiquement) par les mathématiques classiques.

Les modèles compacts (CM) pour la simulation de circuit ont été au cœur des outils de CAO pour la conception de circuits au cours des dernières décennies et jouent un rôle de plus en plus important dans l'ère du système sur puce (SOC) nanométrique. Un modèle compact joue un rôle clé dans la précision et l'efficacité du simulateur du circuit utilisé par les concepteurs, ainsi qu'un pont vers la technologie dans laquelle la conception doit être fabriquée [11].

À mesure que la technologie MOS grandit dans le régime nanométrique, le développement d'un modèle compact réellement physique et prédictif pour la simulation de circuit couvrant la géométrie, la température, les caractéristiques DC, AC, RF et de bruit devient un défi majeur.

Un modèle de dispositif basé sur la physique est compris comme une description du comportement du dispositif en termes d'expressions algébriques analytiques.

Ceci est contraire aux simulations de dispositifs, qui sont des comportements de dérivations numériques basées sur des équations complexes, telles que les équations différentielles partielles. De plus, les modèles des dispositifs peuvent être caractérisés comme étant compacts s'ils sont décrits en termes d'expressions analytiques explicites.

Les modèles compacts peuvent également couvrir des modèles qui impliquent le prétraitement d'expressions de modèle par des routines itératives qui aboutissent à des tables de recherche de paramètres pour une récupération rapide à utiliser dans des modèles paramétrés simplifiés. Les modèles compacts ont la caractéristique d'être efficaces en calcul dans le contexte des simulations de circuits. Les demandes de modèles avancés, qui peuvent d'une part décrire des dispositifs silicium nanométriques dans des applications analogiques et mixtes, d'autre part tenir compte des effets physiques sur les petits appareils de géométrie, ont entraîné d'énormes efforts de recherche et développement (R & D) dans le développement de systèmes avancés basés sur la physique de modèles compacts.

3.1 Les Modèles Physiques bidimensionnels du MOSFET à Grille Cylindrique

Deux méthodes approximatives sont utilisées pour exprimer analytiquement la distribution du potentiel dans le canal, l'approximation par le modèle parabolique (PMA) [12] et l'approximation par le modèle évanescent (EMA) [13].

Par la résolution de l'équation de Poisson en 2D, nous pouvons déduire le paramètre de la longueur caractéristique λ qui contrôle la répartition du potentiel dans la direction perpendiculaire au canal. Elle est fortement dépendante de l'épaisseur d'oxyde t_{ox} et de l'épaisseur du film de silicium t_{si} . Une discussion détaillée de la signification physique de λ est effectuée dans [14,15].

3.1.1 Approximation du modèle parabolique (PMA)

Dans l'approximation par le modèle parabolique (PMA), la distribution du potentiel $\varphi(r, z)$ peut être approchée par une fonction parabolique simple pour un MOSFET à grille cylindrique.

$$\varphi(r, z) = p_0(z) + p_1(z).r + p_2(z).r^2 \quad (1)$$

$p_0(z)$ est le potentiel central et les coefficients arbitraires $p_1(z)$ et $p_2(z)$ sont en fonctions de z seulement.

3.1.2 Approximation du modèle évanescent (EMA)

Dans l'approximation du modèle évanescent (EMA), le potentiel électrostatique est divisé en deux parties distinctes représentant $\varphi_{1D}(r)$ la solution de l'équation de Poisson 1D dans la perpendiculaire de direction au canal, et $\varphi_{2D}(r, z)$ qui est la solution de l'équation résiduelle 2D, la distribution du potentiel $\varphi(r, z)$ est écrite telle que:

$$\varphi(r, z) = \varphi_{1D}(r) + \varphi_{2D}(r, z) \quad (2)$$

La solution $\varphi_{1D}(r)$ satisfait l'équation de Poisson en 1D (3) et dans la solution $\varphi_{2D}(r, z)$ satisfait l'équation de Laplace (4).

$$\frac{\partial^2 \varphi_{1D}(r)}{\partial r^2} + \frac{1}{r} \frac{\partial \varphi_{1D}(r)}{\partial r} = \frac{qN_A}{\epsilon_{si}} \quad (3)$$

$$\frac{\partial^2 \varphi_{2D}(r, z)}{\partial r^2} + \frac{1}{r} \frac{\partial \varphi_{2D}(r, z)}{\partial r} + \frac{\partial^2 \varphi_{2D}(r, z)}{\partial z^2} = 0 \quad (4)$$

$\varphi_{2D}(r, z)$ satisfait l'équation de Poisson en 2D ainsi que les conditions aux limites approximatives de polarisation de grille. N_A est la concentration de dopage du canal et ϵ_{si} est la constante de permittivité du film de silicium

3.1.3 Application des deux modes au MOSFET à grille cylindrique

Dans ce cas, l'équation de Poisson en 2D est écrite en coordonnées cylindriques comme suit:

$$\frac{\partial^2 \varphi(r, z)}{\partial r^2} + \frac{1}{r} \frac{\partial \varphi(r, z)}{\partial r} + \frac{\partial^2 \varphi(r, z)}{\partial z^2} = \frac{qN_A}{\epsilon_{si}} \quad (5)$$

Dans l'approximation PMA, la longueur caractéristique λ_{CG1} est obtenue par [9]:

$$\lambda_{CG1} = \sqrt{\frac{\epsilon_{si} t_{si}^2 \ln\left(1 + \frac{2t_{ox}}{t_{si}}\right)}{8\epsilon_{ox}}} \quad (6)$$

Et dans l'approximation EMA, la longueur caractéristique λ_{CG2} doit vérifier la relation suivante [16]:

$$\lambda_{CG2} = \frac{\epsilon_{ox} J_0\left(\lambda_{CG2} \frac{t_{si}}{2}\right)}{\epsilon_{si} t_{ox} J_1\left(\lambda_{CG2} \frac{t_{si}}{2}\right)} \quad (7)$$

Ou t'_{ox} est l'épaisseur de l'isolant efficace du MOSFET à Grille-Cylindrique

$$t'_{ox} = \frac{t_{si}}{2} \ln \left(1 + \frac{2t_{ox}}{t_{si}} \right)$$

4 Développement du modèle CG MOSFET

4.1 Dérivation du potentiel de surface

Dans le transistor MOSFET à grille cylindrique représenté sur la Figure 2.1 (a-b), le canal est complètement dépleté avec une concentration $N_A \cong 10^{16} \text{ cm}^{-3}$ et de diamètre t_{si} .

La source et le drain sont fortement dopés (n+) de part et d'autre du canal [17]. La couche d'oxyde qui entoure le canal est d'épaisseur t_{ox} .

Le modèle analytique du potentiel électrostatique le long du canal est déduit à partir de la résolution de l'équation de poisson (2D) en coordonnées cylindriques exprimée comme suit :

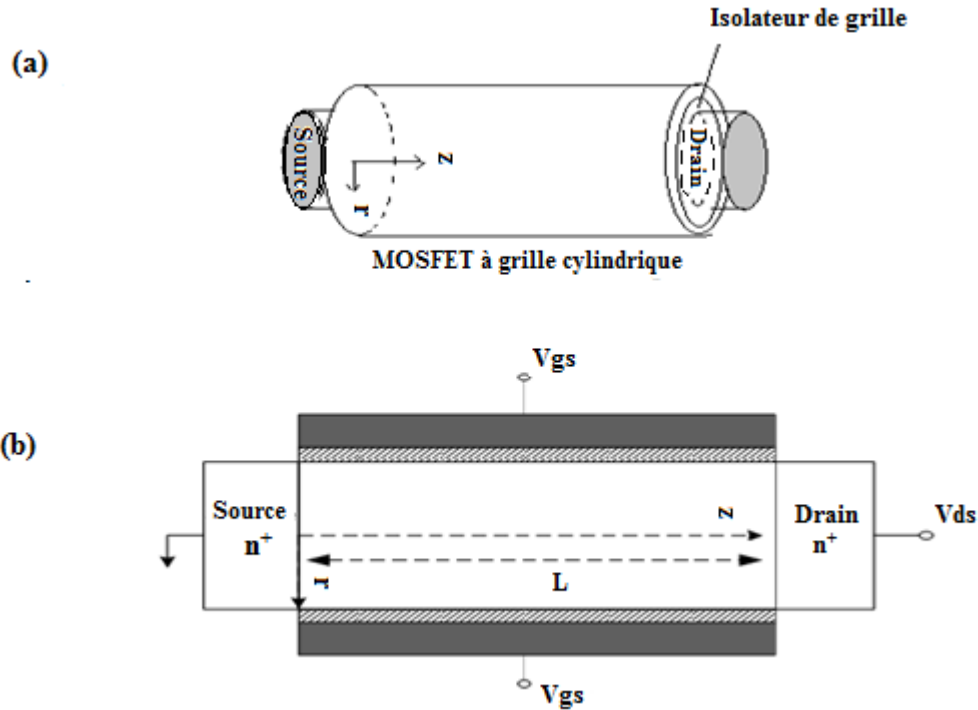


Figure 2.1 SG-MOSFET cylindrique, a) structure de dispositif 3D, et b) La Coupe transversale.

$$\frac{\partial^2 \varphi(r, z)}{\partial r^2} + \frac{1}{r} \frac{\partial \varphi(r, z)}{\partial r} + \frac{\partial^2 \varphi(r, z)}{\partial z^2} = \frac{qN_A}{\epsilon_{si}} \quad (8)$$

La distribution de potentiel dans le film de silicium entièrement dépleté est assumée être un profil parabolique [18] dans la direction radiale, est donné par

$$\varphi(r, z) = p_0(z) + p_1(z).r + p_2(z).r^2 \quad (9)$$

Où les coefficients $p_0(z)$, $p_1(z)$ et $p_2(z)$ sont en fonctions de z

Les conditions aux limites requises pour la solution de potentiel $\varphi(r, z)$ sont :

$$\varphi(r=0, z) = \varphi_c(z) = p_0(z) \quad \text{Potentiel au centre du silicium}$$

$$\varphi(r = \frac{t_{si}}{2}) = \varphi_s(z) \quad \text{Potentiel à la surface du silicium}$$

$$\left. \frac{\partial \varphi(r, z)}{\partial r} \right|_{r=0} = 0 = p_1(z) \quad \text{Champ électrostatique est zéro au centre du silicium}$$

$$\left. \frac{\partial \varphi(r, z)}{\partial r} \right|_{r=t_{si}/2} = \frac{C_{ox}}{\epsilon_{si}} (\varphi_{gs} - \varphi_s(z)) = p_2(z)t_{si} \quad \text{Champ électrostatique à la surface du silicium}$$

$$\text{Où } C_{ox} = \frac{2\epsilon_{ox}}{\left(t_{si} \ln \left(1 + \frac{2t_{ox}}{t_{si}} \right) \right)}$$

est la capacité de grille par unité de surface de CG MOSFET, ϵ_{si} et ϵ_{ox} sont les permittivités diélectriques respectivement du silicium et d'oxyde respectivement, $\varphi_{gs} = V_{gs} - V_{FB}$, V_{FB} est la tension des bandes plates, t_{si} est le diamètre de silicium et N_A est le dopage du canal.

En utilisant les conditions aux limites ci-dessus, le potentiel dans le film de silicium est obtenu

$$\varphi(r, z) = \varphi_c(z) + \frac{2\epsilon_{ox}r^2}{\epsilon_{si}t_{si}^2 \ln \left(1 + \frac{2t_{ox}}{t_{si}} \right)} (\varphi_{gs} - \varphi_s(z)) \quad (10)$$

Comme la couche d'inversion est formée sur la surface du film de silicium, on substituant (10) dans (8) et simplifiant on obtient :

$$\frac{d^2 \varphi_s}{dz^2} + \frac{\varphi_{gs} - \varphi_s}{\lambda_c^2} = \frac{qN_A}{\epsilon_{si}} \quad (11)$$

Où λ_c est la longueur caractéristique de MOSFET à grille cylindriques

$$\lambda_c^2 = \frac{\epsilon_{si} t_{si}^2 \ln \left(1 + \frac{2t_{ox}}{t_{si}} \right)}{8\epsilon_{ox}} = \frac{\epsilon_{si} t_{si}}{4C_{ox}} \quad (12)$$

On simplifiant (11) nous obtenons

$$\frac{d^2\eta(z)}{dz^2} - \frac{\eta(z)}{\lambda_c^2} = 0 \quad (13)$$

Avec

$$\eta(z) = \varphi_s(z) - \varphi_{gs} + \frac{qN_A\lambda_c^2}{\epsilon_{si}} \quad (14)$$

Les conditions aux limites à la source et au drain nécessaires pour résoudre (13) sont

$$\eta(0) = g \quad \text{et} \quad \eta(L) = g + V_{ds}$$

Où

$$g = V_{bi} + \rho$$

Avec V_{bi} et V_{ds} est la tension créée entre le drain ou la source et le silicium intrinsèque et la tension de la source/drain, respectivement, et

$$\rho = \frac{qN_A\lambda_c^2}{\epsilon_{si}} - \varphi_{gs}$$

En résolvant (13) avec l'utilisation des conditions aux limites ci-dessus, nous obtenons

$$\varphi_s(z) = \varphi_{gs} - \frac{qN_A\lambda_c^2}{\epsilon_{si}} + \frac{g(1 - e^{-L/\lambda_c}) + V_{ds}}{2 \sinh(L/\lambda_c)} \exp\left(\frac{z}{\lambda_c}\right) + \frac{g(e^{L/\lambda_c} - 1) - V_{ds}}{2 \sinh(L/\lambda_c)} \exp\left(\frac{-z}{\lambda_c}\right) \quad (15)$$

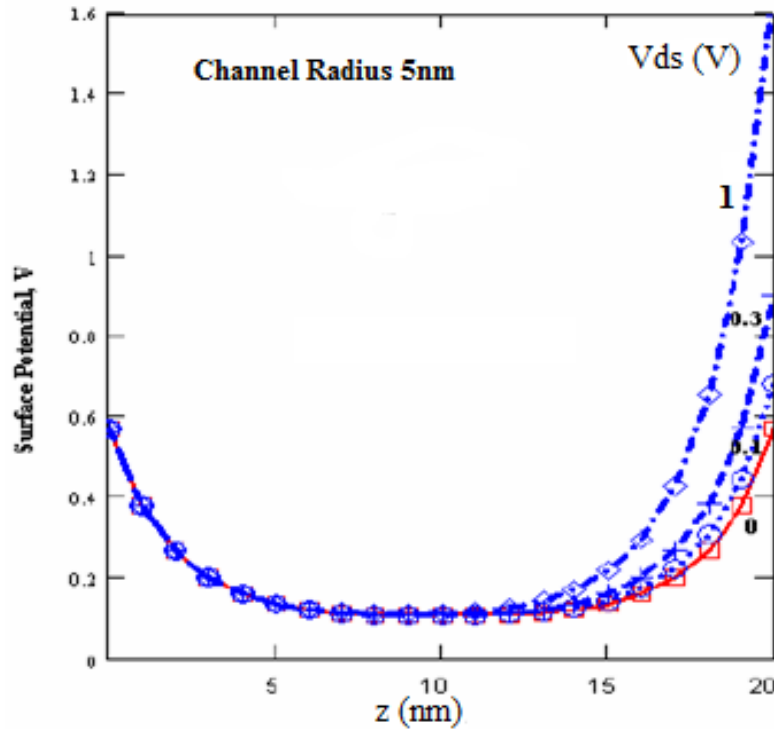


Figure 2.2 La distribution du potentiel de surface le long du canal, pour le rayon de silicium est de 5 nm, et L est de 20 nm [17].

Dans la figure 2.2, le potentiel de surface est tracé en fonction de L pour différentes valeurs de V_{ds} . Un bon accord a été trouvé entre le modèle et le résultat de simulation numérique 3D pour les valeurs de tension de drain-source basse et haute (pour $V_{gs} = 0,1$ V).

4.2 Tension seuil V_{th}

La tension de seuil V_{th} est définie comme la valeur de V_{gs} au cours de laquelle le potentiel de surface est minimum $\varphi_{s,min} = \varphi_s(z_{min}) = 2\phi_B$, où ϕ_B est le potentiel de fermi.

En utilisant le potentiel de surface obtenue par la méthode PMA (équation 15) [9], La position du potentiel de surface minimum z peut alors être calculée comme

$$z_m = \frac{\lambda_c}{2} \ln \left(\frac{g \cdot \left(\exp\left(\frac{L}{\lambda_c}\right) - 1 \right) - V_{ds}}{g \cdot \left(1 - \exp\left(\frac{-L}{\lambda_c}\right) \right) + V_{ds}} \right) \quad (16)$$

Le potentiel à z_m devient :

$$\varphi_s(z_m) = \varphi_{gs} - \frac{qN_A\lambda_c^2}{\epsilon_{si}} + \frac{1}{\sinh\left(\frac{L}{\lambda_c}\right)} \sqrt{\left(g \cdot \left(\exp\left(\frac{L}{\lambda_c}\right) - 1 \right) \cdot g \cdot \left(1 - \exp\left(\frac{-L}{\lambda_c}\right) \right) + V_{ds} \right)^2} \quad (17)$$

Le deuxième terme de (17) représente le décalage de tension de seuil du canal court. Puisque $\varphi(0)$ et $\varphi(L)$ sont des fonctions de la tension de grille, elles sont donc des fonctions de V_{th} . Par conséquent, le deuxième terme de l'équation (17) est compris V_{th} et, par simplification, conduit à une équation quadratique en dV_{th} dont la solution est obtenue :

$$dV_{th} = \frac{-b + \sqrt{b^2 - 4ac}}{2a} \quad (18)$$

Avec

$$a = \sinh^2\left(\frac{L}{\lambda_c}\right) - \left(\exp\left(\frac{L}{\lambda_c}\right) + \exp\left(\frac{-L}{\lambda_c}\right) - 2 \right)$$

$$b = - \left(\exp\left(\frac{L}{\lambda_c}\right) + \exp\left(\frac{-L}{\lambda_c}\right) - 2 \right) \cdot [2(V_{bi} - 2\varphi_s) + V_{ds}]$$

$$c = - \left(V_{bi} - 2\phi_s \left(\exp\left(\frac{L}{\lambda_c}\right) + \exp\left(\frac{-L}{\lambda_c}\right) - 2 \right) \right) \cdot \left[(V_{bi} - 2\phi_s) + V_{ds} \right] - V_{ds}^2$$

Nous déduisons l'expression de tension de seuil à canal court d'un MOSFET à grille cylindrique est

$$V_{th}(L) = V_{FB} + 2\phi_B + \frac{1}{4} \frac{qN_A}{C_{ox}} t_{si} - \Delta V_{th}(L) \quad (19)$$

Avec

$$\phi_B = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right)$$

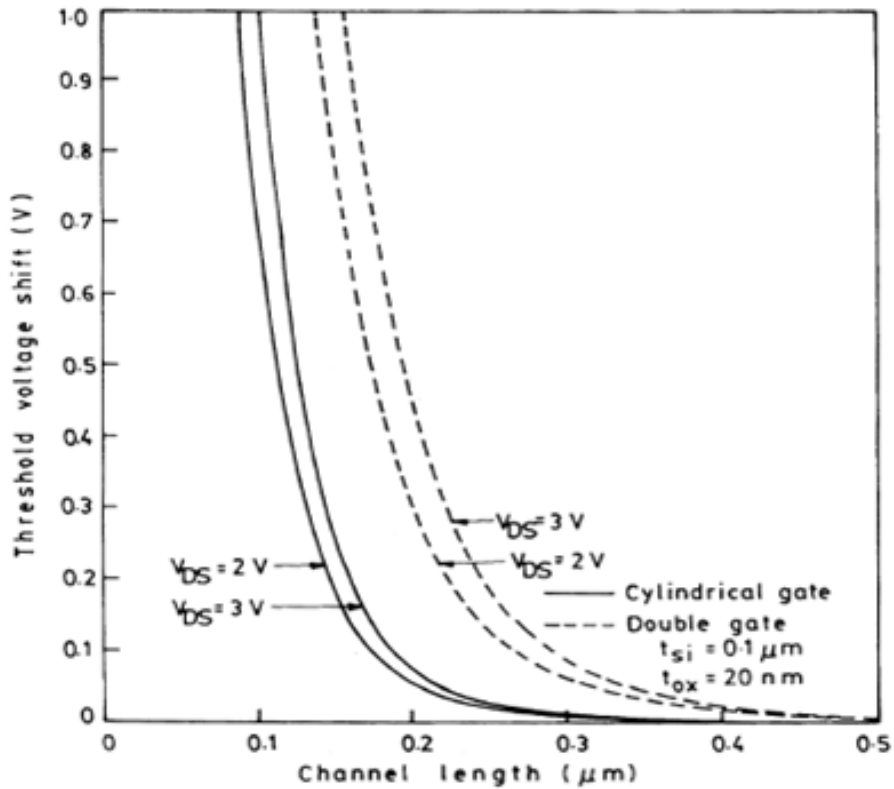


Figure 2.3 Variation du décalage de la tension de seuil avec la longueur du canal pour les dispositifs à grille cylindrique et à double grille pour différentes tensions de drain [9].

La figure 2.3 montre le décalage de la tension de seuil en fonction de la longueur du canal pour des tensions de drain différentes pour les dispositifs à grille cylindrique et à double grille.

Lorsque la longueur du canal augmente, le décalage de la tension de seuil diminue et finit par se rapprocher de zéro, signifiant un fonctionnement à canal long. Dans le MOSFET à grille cylindrique, l'effet de canal court, c'est-à-dire la tension de seuil roll-off est significative au dessous de la longueur de canal de 0,2 μm, tandis que pour le MOSFET à double grille, l'effet de canal court est en dessous de 0,3 μm pour les paramètres donnés dans la figure.

Ainsi, le dispositif cylindrique a réduit les effets de canal courts par rapport à la structure à double grille. Cette amélioration est due à la plus petite longueur caractéristique dans le cas d'un MOSFET à grille cylindrique par rapport au MOSFET à double grille.

Dans la figure 2.4 illustre la tension de seuil à canal court en fonction de la longueur du canal pour différents rayons de silicium. La tension de seuil diminue avec la diminution du rayon du silicium. Cette diminution est due au fait que la réduction du rayon du silicium provoque une réduction de la charge d'épuisement, ce qui réduit encore la tension de seuil. La proximité du résultat simulé [19] confirme la validité du modèle.

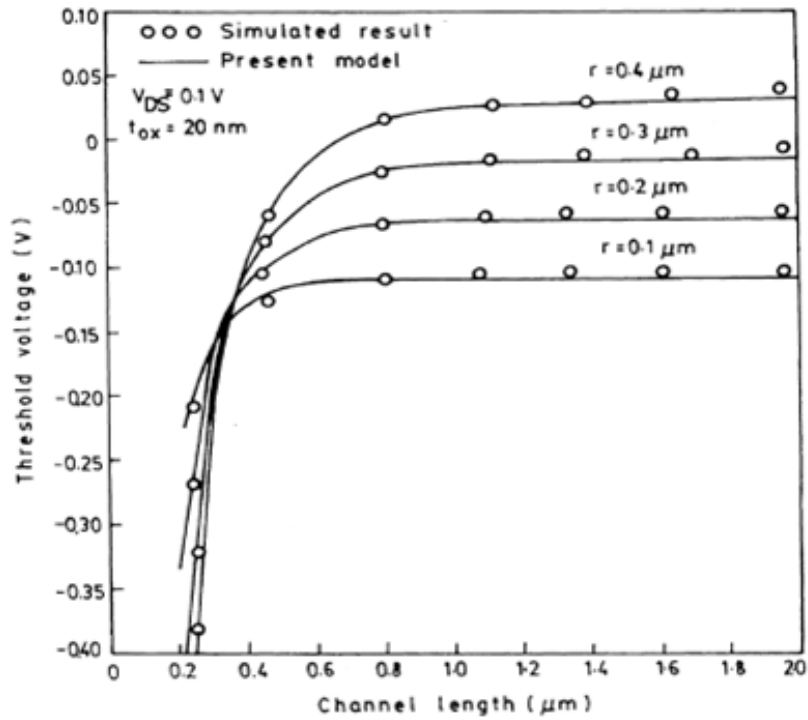


Figure 2.4 Variation de la tension de seuil du canal en fonction de la longueur du canal pour différentes valeurs de rayons de silicium [9].

4.3 La pente sous le seuil (S)

Un paramètre important de la région sous seuil du fonctionnement du MOSFET est la pente sous le seuil (S). Elle dépend principalement de la concentration de porteurs [20] et est définie comme :

$$S = \frac{\partial V_{gs}}{\partial \log I_{ds}} = \left[\frac{\int_{r=0}^{r_0} n_m(r) \frac{\partial \phi_{\min}}{\partial V_{gs}} dr}{\int_{r=0}^{r_0} n_m(r) dr} \right]^{-1} V_t \ln(10) \quad (20)$$

Avec

$$n_m(r) = n_i \cdot e^{\phi_{\min}/V_t}$$

L'expression peut être approchée après quelques approximation simplificatrice par :

$$S = \frac{kT}{q} \ln(10) \left(\frac{\partial \varphi_{s,\min}}{\partial V_{gs}} \right)^{-1} \quad (21)$$

En utilisant (17) dans (21), la pente sous le seuil pour une structure à grille cylindrique devient :

$$S = \frac{kT}{q} \ln(10) \left[1 + \frac{\left(\exp\left(\frac{-L}{\lambda_c}\right) - 1 \right) \left((V_{bi} + \rho) \left(\exp\left(\frac{L}{\lambda_c}\right) - 1 \right) - V_{ds} \right)}{2 \sinh\left(\frac{L}{\lambda_c}\right) \sqrt{\left(\left((V_{bi} + \rho) \left(\exp\left(\frac{L}{\lambda_c}\right) - 1 \right) - V_{ds} \right) \left(V_{ds} - (V_{bi} + \rho) \left(\exp\left(\frac{-L}{\lambda_c} - 1 \right) \right) \right) \right)}} \right. \\ \left. - \frac{\left(V_{ds} - (V_{bi} + \rho) \left(\exp\left(\frac{L}{\lambda_c}\right) - 1 \right) \right) \left(\exp\left(\frac{L}{\lambda_c}\right) - 1 \right)}{2 \sinh\left(\frac{L}{\lambda_c}\right) \sqrt{\left(\left((V_{bi} + \rho) \left(\exp\left(\frac{L}{\lambda_c}\right) - 1 \right) - V_{ds} \right) \left(V_{ds} - (V_{bi} + \rho) \left(\exp\left(\frac{-L}{\lambda_c} - 1 \right) \right) \right) \right)}} \right)^{-1} \quad (22)$$

Avec

$$\rho = \frac{qN_A \lambda_c^2}{\varepsilon_{si}} - \varphi_{gs}$$

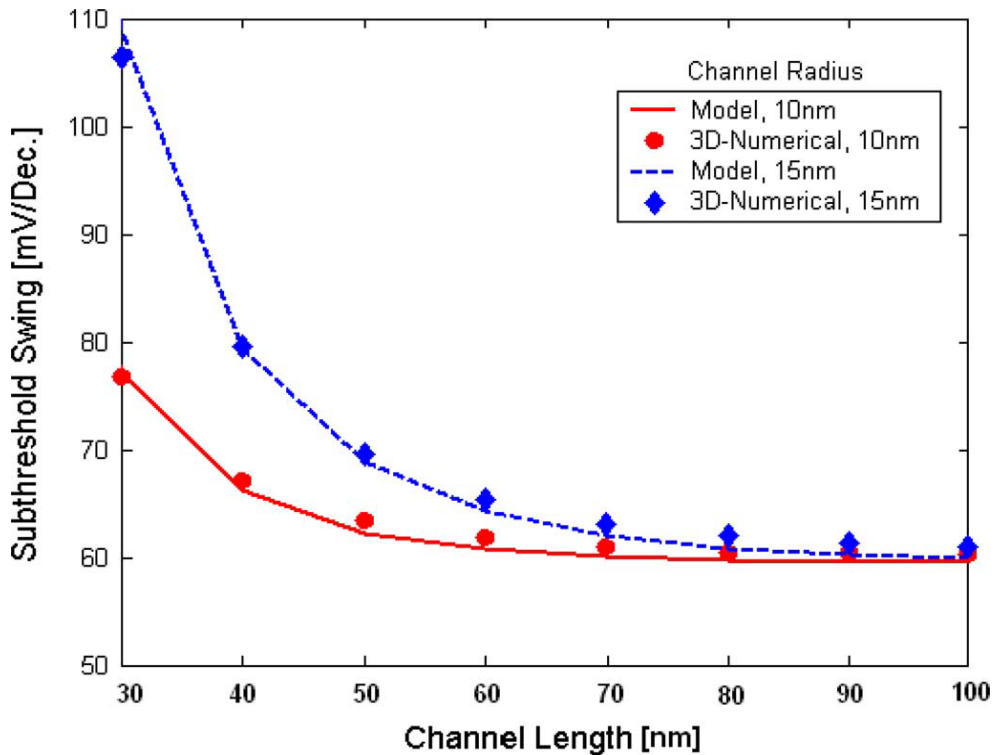


Figure 2.5 Pente sous-seuil pour le MOSFET avec $t_{ox} = 2$ nm et $V_{ds} = 10$ mV. Diamants et cercles: résultats de simulations numériques, lignes: modèle analytique [17]

Dans la figure 2.5, la pente sous le seuil est tracée en fonction de longueur du canal, un bon accord est observé entre le modèle (22) et les résultats de simulation 3D pour différentes longueurs de canaux.

4.4 Abaissement de la barrière induite par drain (DIBL)

Le DIBL est obtenu à partir de la différence entre la tension de seuil à haute tension de drain-source (par ex. 1V) et la tension de seuil à faible tension de drain-source (0,1V). Le DIBL est donné comme :

$$\text{DIBL} = \frac{V_{th}|_{V_{ds2}} - V_{th}|_{V_{ds1}}}{V_{ds2} - V_{ds1}} \quad (23)$$

La figure 2.6 montre que l'accord entre le DIBL obtenu avec le modèle analytique et celui obtenu à partir de simulations numériques 3D est très bon pour des longueurs de canaux jusqu'à 20 nm.

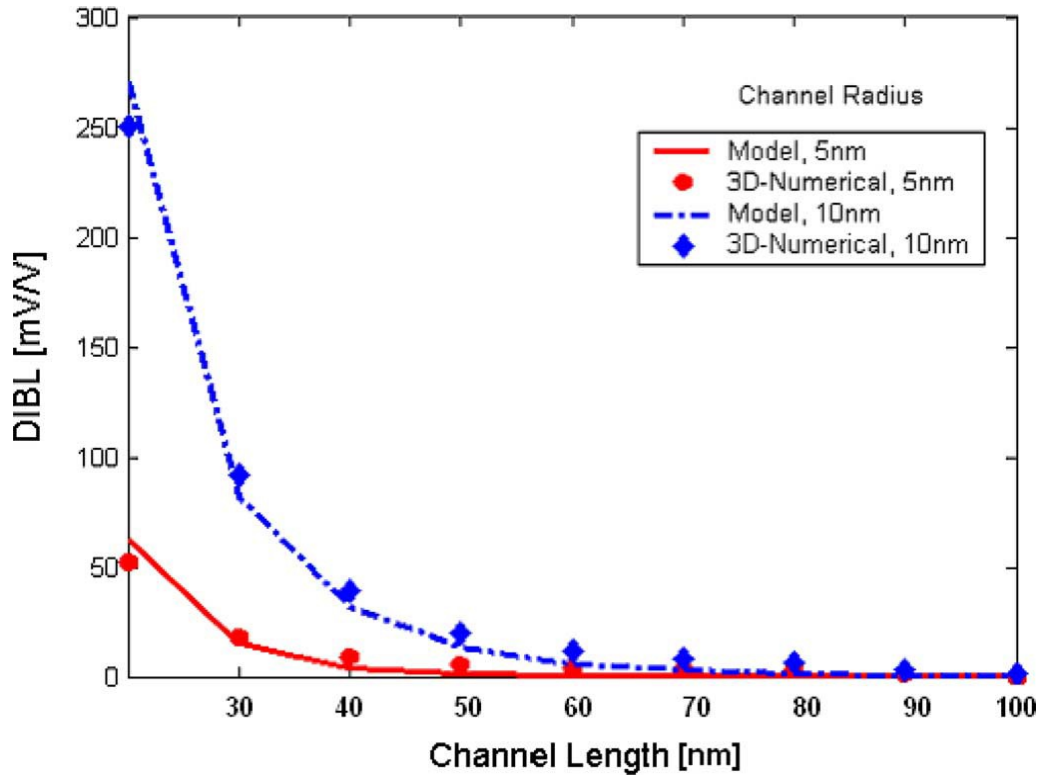


Figure 2.6 l'effet DIBL en fonction de la longueur du canal pour différents rayons de canal, avec $t_{ox} = 2\text{nm}$ [17].

4.5 Le courant du drain

Pour un MOSFET à mode d'enrichissement, le courant est donné par [21] :

$$I_{ds} = W \mu_{eff} Q_{INV} \frac{dV(z)}{dz} \quad (24)$$

Où W est la largeur du canal cylindrique, μ_{eff} est la mobilité effective du champ, $V(z)$ représente le potentiel le long du canal et Q_{INV} est la densité de charge d'inversion définie comme

$$Q_{INV} = Q_{TOTAL} - Q_{BULK} \quad (25)$$

Où Q_{TOTAL} est la charge de grille totale et Q_{BULK} est la charge de déplétion.

La mobilité du champ est donnée par l'expression [21,22] :

$$\mu_{eff} = \frac{\mu}{1 + \frac{1}{E_C} \frac{dV(z)}{dz}} \quad (26)$$

Avec

$$\mu = \frac{\mu_0}{1 + \theta(V_{gs} - V_{th})}$$

Avec μ_0 est la mobilité de faible champ. E_C est le champ critique donné par $E_C = 2v_{sat}/\mu$

où v_{sat} est la vitesse de saturation. θ est un paramètre d'ajustement et $dV(z)/dz$ désigne le champ électrique du canal.

La charge de la couche d'inversion dans la région linéaire est donnée par [21]

$$Q_{INV} = \left(C_{ox} (V_{gs} - V_{fb} - 2\phi_f - V(z)) \right) + Q_{BULK} \quad (27)$$

Q_{BULK} peut être obtenue à partir de l'expression de V_{th} (équation (19)).

$$Q_{BULK} = C_{ox} \left(\frac{qN_a t_{si}^2 \left(\ln \left(1 + \frac{2t_{ox}}{t_{si}} \right) \right)}{8\epsilon_{ox}} - dV_{CYL,th} \right) \quad (28)$$

Dans les dispositifs à canal court, la chute de tension à travers la résistance source/drain n'est pas négligeable. Par conséquent, compte tenu de la résistance source/drain, la tension de drain effective devient $V_D = V_{DS} - I_D R_D$ où R_D est la résistance de drain.

En substituant (26) - (28) dans (24), on obtient :

$$\int_{I_D R_s}^{V_D - I_D R_D} \frac{I_D}{E_C} dV + \int_0^L I_D dz = \int_{I_D R_s}^{V_D - I_D R_D} W \mu C_{ox} (V_{gs} - V_{fb} - 2\phi_f - V) dV + \int_{I_D R_s}^{V_D - I_D R_D} W \mu Q_{BULK} dV \quad (29)$$

Cette équation, lorsqu'elle est intégrée entre les limites et simplifiée, conduit à une équation quadratique en I_D dont la solution est :

$$I_D = \frac{-B - \sqrt{B^2 - 4AC}}{2A} \quad (30)$$

Avec

$$A = \frac{R_t}{E_C} - \frac{W\mu C_{ox}}{2} (R_D^2 + R_s^2)$$

$$B = -L - \frac{V_{DS}}{E_C} - W\mu C_{ox} (V_{GS} - V_{fb} - 2\phi_f) R_t + 2 \frac{W\mu C_{ox}}{2} V_{DS} R_D - W\mu Q_{BULK} R_t$$

$$C = W\mu C_{ox} (V_{GS} - V_{fb} - 2\phi_f) V_{DS} - \frac{W\mu C_{ox}}{2} V_{DS}^2 + W\mu Q_{BULK} V_{DS}$$

Avec

$$R_t = R_D + R_s$$

La forme générale du courant dans la région de saturation est donnée comme [21] :

$$I_{DSAT} = W v_{sat} Q_{sat} \quad (31)$$

Où I_{DSAT} est le courant de saturation et Q_{sat} est la charge d'inversion au $V_D = V_{DSAT}$.

La densité de charge de saturation est donnée par :

$$(Q_{INV})_{SAT} = C_{ox} (V_{gs} - V_{fb} - 2\phi_f - V_{DSAT}) + (Q_{BULK})_{SAT} \quad (32)$$

$(Q_{BULK})_{SAT}$ est la charge effective du bulk avec $V_D = V_{DSAT}$.

Pour obtenir la valeur numérique de V_{DSAT} , on a posé l'équation de I_{ds} en région linéaire égale I_{ds} en région de saturation pour $V_D = V_{DSAT}$:

$$B_{SAT} + 2A_{SAT} (W\mu C_{ox}) (V_{GS} - V_{fb} - 2\phi_f) v_{sat} - \frac{W\mu C_{ox}}{2} v_{sat} V_{DSAT} + W v_{sat} (Q_{BULK})_{SAT} + \sqrt{B_{SAT}^2 - 4A_{SAT} C_{SAT}} = 0 \quad (33)$$

Où A_{SAT} , B_{SAT} et C_{SAT} sont les valeurs de A, B et C données dans l'équation (30) à la tension de saturation.

Ce tableau ci-dessous présente les différents paramètres utilisés dans l'analyse.

La figure 2.7 montre les caractéristiques de courant de drain en fonction de tension de drain pour un dispositif cylindrique pour différentes valeurs de V_{gs} .

Paramètre	Valeur	Paramètre	Valeur
Θ	0.02	T	300(K)
μ_0	$0.1076 \text{ (m}^2\text{V}^{-1}\text{s}^{-1}\text{)}$	n_i	$1.45 \times 10^{16} \text{ (m}^{-3}\text{)}$
v_{sat}	$10^5 \text{ (ms}^{-1}\text{)}$	R_s/R_d	2
N_A	$10^{22} \text{ (m}^{-3}\text{)}$	k	$1.38 \times 10^{-23} \text{ (JK}^{-1}\text{)}$
t_{si}	20nm	t_{ox}	20 (nm)

Tableau 2.1 Les différents paramètres utilisés dans l'analyse

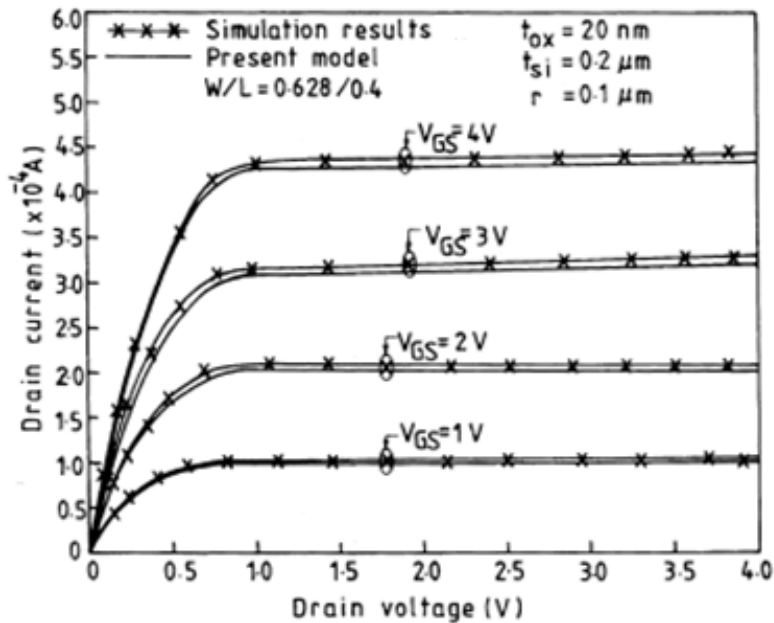


Figure 2.7 Variation du courant de drain en fonction de la tension de drain pour $r=0.1\mu\text{m}$ ($t_{\text{si}}=2r$), $L=0.4\mu\text{m}$ et différentes tensions de grille [9].

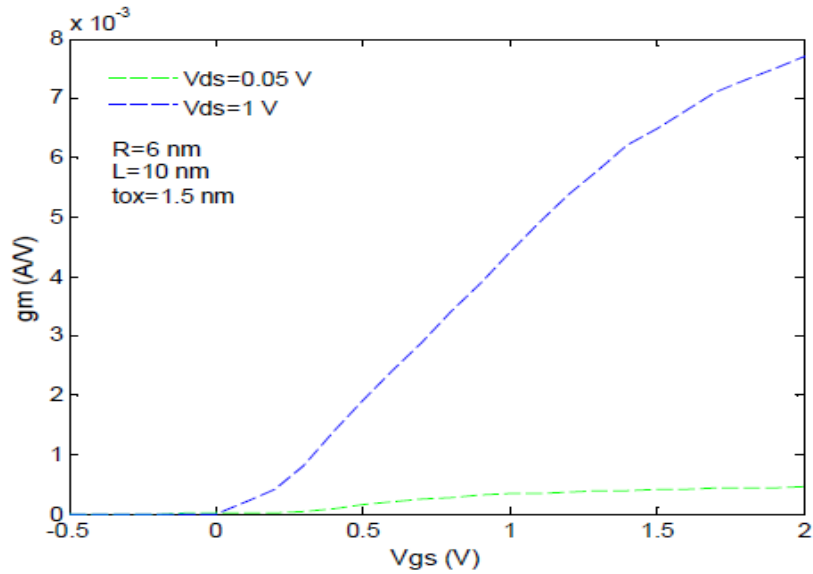
4.6 Transconductance et Conductance du drain

La transconductance g_m est un paramètre crucial dans la conception de circuits analogiques [23].

La Figure 2.8-a, montre une variation "raisonnable" de la transconductance g_m en fonction de la tension de grille V_{gs} , cela pour une faible et une forte valeur de la tension de drain $V_{ds} = 0.05$ et

1V. La Figure 2.8-b, illustre la conductance g_{ds} en fonction de la tension de drain V_{ds} .

(a)



(b)

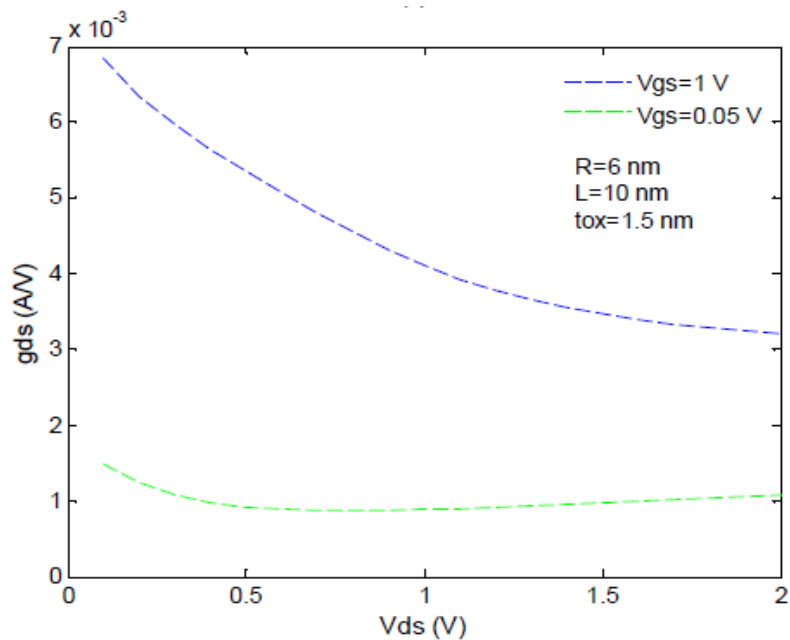


Figure 2.8 Variation de la transconductance en fonction de la tension de grille (a) ; variation de conductance en fonction de la tension de drain (b) [24].

Conclusion

L'intérêt de la modélisation compacte pour la simulation et la conception des circuits a été discuté dans ce chapitre, dans lequel nous avons détaillé l'ensemble des paramètres électriques des transistors MOSFET à grille cylindrique qui se sont très bien adaptés à la technologie CMOS et à l'intégration à très large échelle. Donc l'utilisation de l'approche PMA a permis le développement d'un modèle analytique du potentiel de surface, de la tension seuil incluant les paramètres physique

du transistor. Nous avons aussi développé le courant de drain de ces dispositifs, transconductance et la conductance du drain.

Les structures existantes pour l'instant ne sont pas idéales pour la simulation de circuit en raison de leur gamme de validations et du grand nombre de paramètres à extraire. Cela nous encourage à développer une nouvelle structure plus performante, dans le but de réduire les effets de canal courts et de simuler précisément les structures avec une grande densité d'intégrations.

Un modèle compact de MOSFET à grille cylindrique issu de nos travaux précédents, et contenant une première correction liée aux effets SCE, a été évalué en détail. Partant de ce modèle de base, nous avons développé une nouvelle structure de MOSFET à grille cylindrique. Nous allons détailler ce travail sur la modélisation compacte du transistor à grille cylindrique dans le chapitre suivant.

Références

- [1] H. Abd-Elhamid, B. Iñiguez, D. Jiménez, J. Roig, J. Pallarès, and L.F. Marsal, "Two-Dimensional Analytical Threshold Voltage Roll-Off and Subthreshold Swing Models For Undoped Cylindrical Gate All Around MOSFET," *Solid-State Electronics*, vol. 50, no. 5, pp. 805-812, May 2006
- [2] B. Iñiguez, H. Abd-Elhamid, D. Jiménez, "Compact Model of Multiple-gate SOI MOSFETs", ES 2005 NSTI Nanotechnology Conference and Trade Show Nanotech 2005 May 8-12, 2005 Anaheim Marriott & Convention Center Anaheim, California, U.S.A, workshop on compact modelling, WCM,.
- [3] C. H. Wann, K. Noda, T. Tanaka, M. Yoshida and C. Hu, "A comparative study of advanced MOSFET concepts," *IEEE Trans. Electron Devices*, vol. 43, no.10, pp. 1742-1753, Oct. 1996.
- [4] B. Iñiguez, D. Jiménez, J. Roig, and H.A. Hamid, "Explicit Continuous Model for Long-Channel Undoped Surrounding Gate MOSFETs," *IEEE Trans. on Electron Devices*, vol. 52, no. 8, pp. 1868-1872, August 2005.
- [5] H.C. Poon, L.D. Yau, R.L. Johnston, and D. Beecham, "DC model for short-channel IGFETs," in *IEDM Tech. Dig.*, pp. 156–159, 1974
- [6] K. Suzuki, T. Tanaka, Y. Tosaka, H. Horie, Y. Amimoto, and T. Itoh, "Analytical surface potential expression for thin-film double-gate SOI MOSFETs," *Solid-State Electron.*, vol. 37, no. 2, pp. 327–332, 1994.
- [7] D. J. Frank, "Power constrained CMOS scaling Limits", *IBM J. RES. & DEV.* Vol. 46, no. 2/3, March/May 2002

- [8] A. Kranti, S. Haldar, R.S. Gupta, “ An accurate 2D analytical model for short channel thin film fully depleted cylindrical/surrounding gate (CGT/SGT) MOSFET”, *Microelectronics Journal*, Vol. 32, no. 2A-4, pp. 305-313, APR 2001.
- [9] A. Kranti, S. Haldar, R.S. Gupta, “Analytical model for threshold voltage and I-V characteristics of fully depleted short channel cylindrical/surrounding gate MOSFET”, *Microelectronics Engineering*, Vol. 56, no. 3-4, pp. 241-259, AUG 2001.
- [10] H. Lu and Y. Taur, “Physics-based, non charge-sheet compact modeling of Double-Gate MOSFET”, Prof. of the Workshop on Compact Modeling (*WCM*), Anaheim, CA (USA), May 2005.
- [11] M. Cheralathan, “Compact Modeling for Multi-Gate MOSFETs using Advanced Transport Models”, thèse de doctorat, université Rovira I virgili, 2012.
- [12] V. Aggarwal and al., “Analytical two dimensional modeling for potential distribution and threshold voltage of short channel fully depleted SOI MOSFET” , *Solid State Electronics*, 37, pp. 1537–1542, 1994.
- [13] D. Monroe and J.M. Hergenrother, “Evanescent mode analysis of short channel effect in fully depleted SOI related MOSFETs”, *Proc. IEEE Int. SOI Conf.*, pp. 157–158, 1998.
- [14] K. Suzuki, T. Tosaka, Y. Horie, et al., “Scaling theory for double-gate SOI MOSFETs”, *IEEE Transactions on Electron Devices*, Vol. 40, pp. 2326-2329, 1993
- [15] R.H. Yan, A. Ourmazd, and K.F. Lee, “HTScaling the Si MOSFET: from bulk to SOI to bulk”, *IEEE Transactions on Electron Devices*, Vol. 39, no. 7, pp. 1704-1710, Jul. 1992.
- [16] WC Chuang “Subthreshold Behavior Analysis for Fully-Depleted Surrounding-Gate SOI MOSFET’s ”-etd.lib.stut.edu.tw.
- [17] H.M. Abd El Hamid, “Compact modeling of multiple gate mos devices”, thèse de doctorat, université de Rovira Ivirgili, 2007.
- [18] K.K. Young, Analysis of conduction in fully depleted SOI MOSFET’s, *IEEE Trans. Electron Devices* 36 (1989) 504–506
- [19] T. Endoh, T. Nakamura, F. Masuoka, An analytical steady state-steady current-voltage characteristics of short channel fully depleted surrounding gate transistor (FD-SGT), *IEICE Trans. Electron.* E80-C (1997) 911–917.
- [20] K. Suzuki, Y. Tosaka, T. Sugii, “Analytical threshold voltage model for short channel n –p double gate SOI MOSFET’s”, *IEEE Trans. Electron Devices*, Vol. 43, pp. 732–737, 1996.
- [21] N.D. Arora, “MOSFET Models for VLSI Circuit Simulation-Theory and Practice”, Springer, New York /Vienna, 1993.

- [22] S.L. Jang, S.S. Liu, “An analytical surrounding gate MOSFET model”, *Solid State Electronics*, Vol. 42, pp. 721–726, 1998.
- [23] A.B. Bhattacharyya, “*Compact MOSFET models for VLSI design*”, John Wiley & Sons (Asia) Pte Ltd, ISBN: 978-0-470-82342-2, 2009.
- [24] B. Smaani, S. Latreche, and B. Iñiguez, “Compact drain-current model for undoped cylindrical surrounding-gate metal-oxide semiconductor field effect transistors including short channel effects”, *Journal of Applied Physics*, Vol. 114, pp. 224507, 2013.

Chapitre 3

Modélisation analytique de la nouvelle structure MOSFET à grille cylindrique

1 Introduction

La technologie CMOS se rapproche de plus en plus de ses limites. Ceci est dû essentiellement aux effets de canaux courts (SCEs) qui constituent des effets parasites primordiaux. Comme solution à ce problème, une variété de dispositifs Multi-Grille FETs a proposée ces dernières années. Le TMOS à Grille Cylindrique ou Surrounding Gate (CG MOSFET) représente l'un des meilleurs candidats pour continuer la miniaturisation [1]. En effet, la grille cylindrique de ce dispositif permet de réduire les SCEs, à travers l'excellent contrôle du potentiel électrostatique qu'elle permet d'avoir [2].

En outre, la conception de circuits intégrés (CIs) n'est rendue possible que par l'utilisation de modèles compacts. Dans la littérature, la majorité des modèles compacts développés pour le CG MOSFET sont relatifs aux dispositifs à canal long, faiblement ou fortement dopé [3, 4, 5]. Cependant, réduire la longueur du canal du transistor engendre les SCEs; ces effets ne peuvent plus être ignorés pour des longueurs des canaux inférieures à 50 nm. Dans ce contexte, quelques modèles sont développés pour le CG MOFET à canal court pour réduire les SCEs dans cette gamme de longueurs [6, 7 et 8]. Ces modèles présentent une bonne précision et sont de base physique mais pas assez utilisés dans la simulation de circuits car soit ils exigent un calcul itératif (procédure numérique et donc un coût en temps de calcul important); soit ils sont de formulation complexe.

Nous développons dans ce chapitre un modèle analytique du potentiel de surface ϕ_s , de la tension de seuil V_{th} et la pente sous le seuil S par la résolution de l'équation de poisson à deux dimensions (2-D) pour une nouvelle structure du transistor MOSFET à grille cylindrique, cette structure combine les avantages de l'utilisation de deux matériaux au niveau de la grille avec différent fonctions de travail (DMG), l'utilisation d'un canal graduellement dopé (GC) dont le dopage est plus élevé du côté source que du côté drain et la couche d'oxyde qui entoure le canal est constitué de deux diélectrique de permittivités différentes (DOT). Cette combinaison permettra une bonne immunité contre les effets de canal court.

A partir de ce modèle on peut déduire aussi l'expression du courant de drain, de la transconductance et la conductance du drain. Les effets canaux courts sont modélisés avec des expressions simples.

2 Présentation du dispositif considéré

La coupe transversale du transistor DMG-GC-DOT MOSFET nanométrique est montrée dans la figure (1). Comme le montre la figure 3.1, le canal graduellement dopé (GC), est divisé en deux

régions, une première fortement dopée du côté de la source N_H , et une seconde faiblement dopée du côté de drain N_L , deux couches d'oxyde (DOT) entourent le canal, avec t_{ox1} est l'épaisseur de l'oxyde de la région 1 et t_{ox2} est l'épaisseur de l'oxyde de la région 2, et la grille est constituée aussi de deux matériaux (DMG) avec différentes fonctions de travail de sortie comme indiqué.

t_{si} et L sont respectivement l'épaisseur et la longueur du canal, la région (1) est de longueur L_1 et la région (2) de longueur $L - L_1$. Afin de comprendre les différentes caractéristiques du dispositif, il est utile de résoudre l'équation de Poisson en 2D.

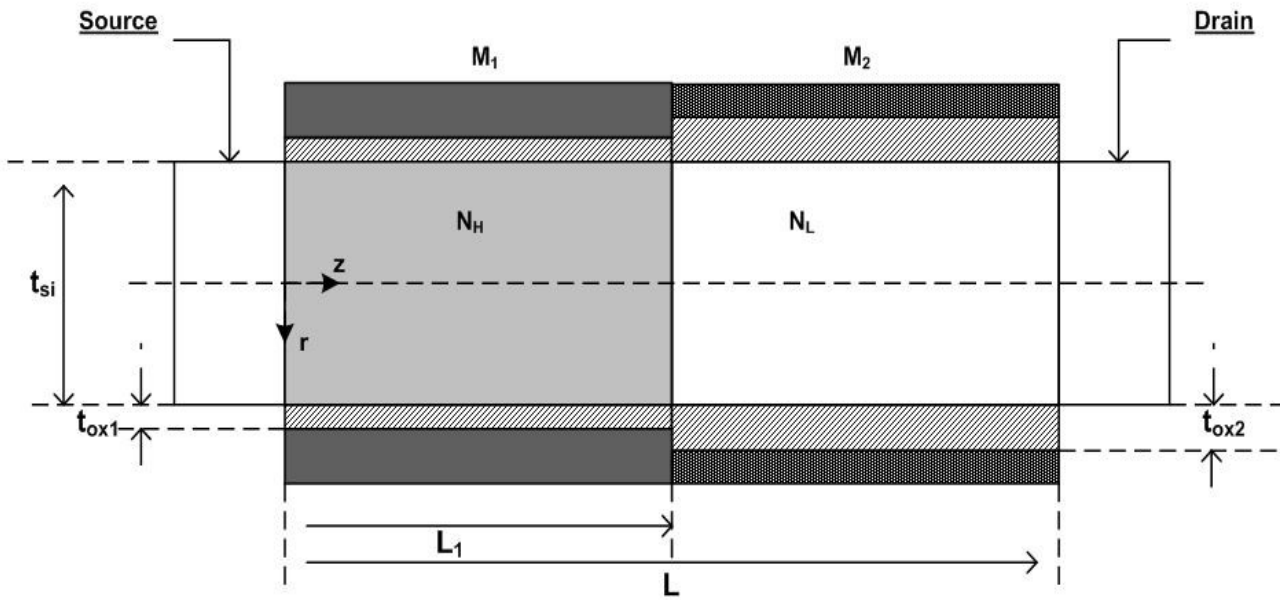


Figure 3.1 La coupe transversale du Structure du DMG-GC-DOT MOSFET.

3 Dérivation du modèle

3.1 Modèle du potentiel de surface

Le potentiel électrostatique et la distribution du champ électrique dans le canal de silicium peuvent être dérivés en résolvant l'équation de Poisson à 2D. En négligeant l'influence des porteurs de charge et des charges fixes, l'équation de Poisson en coordonnées cylindriques dans les deux régions ($i = 1, 2$) s'écrit:

$$\frac{1}{r} \frac{\partial}{\partial r} \left(r \frac{\partial \varphi_i(r, z)}{\partial r} \right) + \frac{\partial^2 \varphi_i(r, z)}{\partial z^2} = \frac{q}{\epsilon_{si}} (N_A + n_i(r, z)) \quad (1)$$

Avec

$$0 \leq z \leq L, 0 \leq r \leq \frac{t_{si}}{2}$$

q est la charge élémentaire électrostatique, N_i est la concentration des dopants $N_1 = N_H$ et $N_2 = N_L$ et ε_{si} représente la permittivité électrique du silicium.

Pour résoudre l'équation (1) (voir annexe C), nous considérons le modèle du potentiel parabolique (PMA) dans la direction de l'effet du champ (direction radiale), c'est à dire la direction transversale au canal. Le potentiel s'écrit donc de la manière suivante:

$$\varphi_i(r, z) = p_{i0}(z) + p_{i1}(z).r + p_{i2}(z).r^2 \quad (2)$$

Avec $p_{i0}(z)$, $p_{i1}(z)$ et $p_{i2}(z)$ sont des coefficients qui sont déterminés par les conditions aux limites pour le potentiel ainsi que pour le champ électrique au niveau des interfaces silicium-oxyde

Le potentiel de surface $\varphi_{si}(z)$ du canal est donnée pour $r = t_{si}/2$:

$$\varphi_{si}(z) \left[1 + \frac{c_{ox_i} t_{si}}{4\varepsilon_{si}} \right] - \frac{c_{ox_i} t_{si}}{4\varepsilon_{si}} [V_{gs} - V_{FB_i}] = p_{i0}(z)$$

Le champ électrique au centre de silicium est zéro

$$\left(\frac{\partial \varphi_i(r, z)}{\partial r} \right)_{r=0} = 0 = p_{i1}(z)$$

Le flux électrique à l'interface d'oxyde silicium est continu

$$\left(\frac{\partial \varphi_i(r, z)}{\partial r} \right)_{r=\frac{t_{si}}{2}} = \frac{c_{ox_i}}{\varepsilon_{si}} (V_{gs} - V_{FB_i} + \varphi_{si}(z)) = p_{i2}(z)t_{si}$$

V_{FB_i} est la tension des bandes plates dans les régions (i=1, 2):

$$V_{FB_1} = \varphi_1 - \varphi_{siH}, \quad V_{FB_2} = \varphi_2 - \varphi_{siL}$$

φ_1 et φ_2 représentent respectivement les fonctions de travail des matériaux. φ_{siH} et φ_{siL} sont les fonctions de travail de grille des régions L_1 et L_2 du canal, respectivement et sont données par:

$$\varphi_{siH} = X_{si} + E_g/2 + V_t \log \left(\frac{N_H}{n_i} \right)$$

$$\varphi_{siL} = X_{si} + E_g/2 + V_t \log \left(\frac{N_L}{n_i} \right)$$

Avec V_t est le potentiel thermique, $V_t = kT/q$, $X_{si} = 4.01eV$ est l'affinité électronique et le gap d'énergie $E_g = 1.08eV$.

Les calculs sont faits à température ambiante $T=300K$.

C_{ox_i} est la capacité d'oxyde ($i = 1, 2$) et définit comme :

$$C_{ox_i} = \frac{2\varepsilon_{ox}}{t_{si} \ln \left(1 + \frac{2t_{oxi}}{t_{si}} \right)}$$

$\varphi_{si}(z)$ est le potentiel de surface, ε_{ox} est la constante diélectrique d'oxyde de grille SiO_2 et t_{oxi} est l'épaisseur de la couche d'oxyde de deux régions.

En substituant l'équation (2) dans l'équation (1), on obtient l'équation différentielle du potentiel de surface $\varphi_{si}(z)$ dans les régions 1 et 2 :

$$\frac{\partial^2 \varphi_{si}(z)}{\partial z^2} + \frac{4C_{ox_i}}{t_{si}\varepsilon_{si}} (V_{gs} - V_{FB_i}) - \frac{4C_{ox_i}}{t_{si}\varepsilon_{si}} \varphi_{si}(z) = \frac{qN_i}{\varepsilon_{si}}$$

Ce qui donne:

$$\frac{\partial^2 \varphi_{si}(z)}{\partial z^2} - \frac{1}{\lambda_i^2} \varphi_{si}(z) = D_i \quad i=1, 2 \quad (3)$$

Avec $\lambda_i = \sqrt{\varepsilon_{si} t_{si} / 4C_{ox_i}}$, λ_i est la longueur caractéristique du canal et $D_i = \frac{qN_i}{\varepsilon_{si}} - \frac{1}{\lambda_i^2} (V_{gs} - V_{FB_i})$

Par la satisfaction de la continuité de la composante normale du déplacement électrique à l'interface Si-SiO₂, et du potentiel aux jonctions drain et source, les conditions aux limites du potentiel pour les deux régions sont déterminées ainsi

$\varphi_1(0,0) = V_{bi_1}$, V_{bi_1} est la tension créée entre le drain ou la source et le silicium intrinsèque et s'exprime par :

$$V_{bi_1} = V_t \ln \left(\frac{N_H N_D}{n_i^2} \right)$$

$\varphi_2(0,L) = V_{bi_2} + V_{ds}$ où L est la longueur du canal de dispositif, V_{ds} est la tension de drain,

$$V_{bi_2} = V_t \ln \left(\frac{N_L N_D}{n_i^2} \right)$$

Où N_D est la concentration des donneurs entre les contacts source/drain, et n_i est la concentration des porteurs intrinsèques,

La solution générale du potentiel de surface est donnée par l'expression:

$$\varphi_{si}(z) = A_i \exp \left(-\frac{z}{\lambda_i} \right) + B_i \exp \left(\frac{z}{\lambda_i} \right) - \frac{D_i}{\lambda_i^2} \quad (4)$$

En utilisant ces conditions aux limites :

$$\begin{cases} \varphi_1(0,0) = V_{bi_1} \\ \varphi_2(0,L) = V_{bi_2} + V_{ds} \\ \varphi_{sH}(L_1) = \varphi_{sL}(L_1) \\ \left. \frac{\partial \varphi_{sH}}{\partial z} \right|_{L_1} = \left. \frac{\partial \varphi_{sL}}{\partial z} \right|_{L_1} \end{cases}$$

En remplaçant chaque paramètre par sa valeur, on obtient les expressions suivantes :

$$\begin{cases} A_1 + B_1 = V_{bi_1} + \frac{D_1}{\lambda_1^2} \\ A_2 \exp\left(\frac{L}{\lambda_2}\right) + B_2 \exp\left(-\frac{L}{\lambda_2}\right) = V_{bi_2} + V_{ds} + \frac{D_2}{\lambda_2^2} \\ A_1 \exp\left(\frac{L_1}{\lambda_1}\right) + B_1 \exp\left(-\frac{L_1}{\lambda_1}\right) - A_2 \exp\left(\frac{L_1}{\lambda_2}\right) - B_2 \exp\left(-\frac{L_1}{\lambda_2}\right) = \frac{D_1}{\lambda_1^2} - \frac{D_2}{\lambda_2^2} \\ \frac{1}{\lambda_1} A_1 \exp\left(\frac{L_1}{\lambda_1}\right) - \frac{1}{\lambda_1} B_1 \exp\left(-\frac{L_1}{\lambda_1}\right) - \frac{1}{\lambda_2} A_2 \exp\left(\frac{L_1}{\lambda_2}\right) + \frac{1}{\lambda_2} B_2 \exp\left(-\frac{L_1}{\lambda_2}\right) = 0 \end{cases}$$

Les coefficients A_i et B_i ($i=1, 2$) peuvent être déterminés comme:

$$A_1 = V_{bi_1} + \frac{D_1}{\lambda_1^2} - B_1$$

$$A_2 = \left(\left(V_{bi_2} + V_{ds} + \frac{D_2}{\lambda_2^2} \right) - B_2 \exp\left(\frac{L}{\lambda_2}\right) \right) \exp\left(\frac{L}{\lambda_2}\right)$$

$$B_1 = \frac{U_1}{U_0}$$

$$B_2 = \frac{U_2}{U_0}$$

Avec

$$U_0 = a_0 d_0 - b_0 c_0$$

$$U_1 = d_0 C_1 - b_0 C_2$$

$$U_2 = a_0 C_2 - c_0 C_1$$

$$C_1 = \left(V_{bi_2} + V_{ds} + \frac{D_2}{\lambda_2^2} \right) \exp\left(-\frac{L_1}{\lambda_2}\right) - \left(V_{bi_1} + \frac{D_1}{\lambda_1^2} \right) \exp\left(-\frac{L}{\lambda_2}\right) \exp\left(-\frac{L_1}{\lambda_1}\right) + \left(\frac{D_1}{\lambda_1^2} - \frac{D_2}{\lambda_2^2} \right) \exp\left(-\frac{L}{\lambda_2}\right)$$

$$C_2 = -\lambda_2 \left(V_{bi_2} + V_{ds} + \frac{D_2}{\lambda_2^2} \right) \exp\left(-\frac{L_1}{\lambda_2}\right) + \lambda_1 \left(V_{bi_1} + \frac{D_1}{\lambda_1^2} \right) \exp\left(-\frac{L}{\lambda_2}\right) \exp\left(-\frac{L_1}{\lambda_1}\right)$$

$$a_0 = 2 \exp\left(-\frac{L}{\lambda_2}\right) \sinh\left(\frac{L_1}{\lambda_1}\right), \quad b_0 = 2 \sinh\left(\frac{(L-L_1)}{\lambda_2}\right)$$

$$c_0 = 2\lambda_1 \exp\left(-\frac{L}{\lambda_2}\right) \cosh\left(\frac{L_1}{\lambda_1}\right), \quad d_0 = -2\lambda_2 \cosh\left(\frac{(L-L_1)}{\lambda_2}\right)$$

Le diagramme du champ électrique le long du canal détermine la vitesse de transport d'électrons à travers le canal. En différenciant $\varphi_{si}(z)$ ($i=1,2$) par rapport à z , la composante du champ électrique dans la direction z est donnée comme suit :

$$E_i(z) = -\frac{1}{\lambda_i} A_i \exp\left(-\frac{z}{\lambda_i}\right) + \frac{1}{\lambda_i} B_i \exp\left(\frac{z}{\lambda_i}\right) \quad \text{avec } 0 \leq z \leq L \quad i=1, 2 \quad (5)$$

3.2 Dérivation de la tension seuil V_{th}

Dans la structure qui a deux grilles de matériaux différents, la position du potentiel minimum est toujours située sous le matériau de grille ayant une fonction de travail plus élevée (M_1). Par conséquent, la position du potentiel de surface minimum peut être trouvée en égalant la dérivée du potentiel de surface sous M_1 à zéro, en assimilant $d\varphi_{s1}/dz = 0$, nous obtenons:

$$z_{\min} = \frac{1}{2\lambda_1} \sqrt{\frac{B_1}{A_1}}$$

La tension de seuil V_{th} est définie comme la valeur de V_{gs} à laquelle le potentiel de surface minimum $\varphi_{si,\min} = \varphi_{si}(z_{\min}) = 2\varphi_B$

Avec φ_B est le potentiel de fermi qui représente la différence entre le niveau de fermi et le niveau intrinsèque du substrat et est égale à

$$\varphi_B = (KT/q) \ln(N_A/n_i)$$

Nous avons examiné le potentiel de surface minimum dans la région où la concentration de dopage N_H est élevée (région (1)).

$\varphi_{si,\min}$ peut être déduite de l'équation du potentiel de surface :

$$\varphi_{si,\min} = 2\sqrt{A_1 B_1} - \frac{D_1}{\lambda_1^2} \quad (6)$$

L'égalité de cette expression avec $2\varphi_B$, nous donne :

$$4(a_1 + V_{bi1} - V_{th} - B_1)B_1 = 4\phi_B^2 + 4\phi_B a_1 + a_1^2 - 4\phi_B V_{th} - 2a_1 V_{th} + V_{th}^2$$

En posant $B_1 = D + EV_{th}$, l'expression devient :

$$\begin{aligned} &(-4E - 4E^2 - 1)V_{th}^2 + (4(a_1 + V_{bi1})E - 4D - 8DE + 4\phi_B + 2a_1)V_{th} \\ &+ (4(a_1 + V_{bi1})D - 4D^2 - 4\phi_B^2 - 4\phi_B a_1 - a_1^2) = 0 \end{aligned}$$

Après la résolution de cette équation, l'expression de la tension seuil V_{th} est:

$$V_{th} = \left(-\eta + \sqrt{\eta^2 - 4\sigma\xi} \right) / 2\sigma \quad (7)$$

Avec

$$\eta = 4(V_{bi1} + a_1)E + 4D - 8DE + 2a_1 + 4\phi_B$$

$$\xi = 4(V_{bi1} + a_1)D - 4D^2 - a_1^2 - 4a_1\phi_B - 4\phi_B^2$$

$$\sigma = -(4E^2 + 4E + 1)$$

Où

$$E = (d(e_2 e_0 - e_1) + b(\lambda_1 e_2 e_0 - \lambda_2 e_1)) / U_0$$

$$D = (d(b_2 - b_1 + e_2(a_1 - a_2)) + b(c_2 - c_1)) / U_0$$

$$U_0 = a_0 d_0 - b_0 c_0$$

$$a_0 = 2 \exp\left(-\frac{L}{\lambda_2}\right) \sinh\left(\frac{L_1}{\lambda_1}\right), \quad b_0 = 2 \sinh\left(\frac{(L-L_1)}{\lambda_2}\right)$$

$$c_0 = 2\lambda_1 \exp\left(-\frac{L}{\lambda_2}\right) \cosh\left(\frac{L_1}{\lambda_1}\right), \quad d_0 = -2\lambda_2 \cosh\left(\frac{(L-L_1)}{\lambda_2}\right)$$

$$e_0 = \exp\left(-\frac{L_1}{\lambda_1}\right), \quad e_1 = \exp\left(-\frac{L_1}{\lambda_2}\right), \quad e_2 = \exp\left(-\frac{L}{\lambda_2}\right)$$

$$a_1 = \frac{(qN_H)}{\epsilon_{si}\lambda_1^2} + V_{FB1}, \quad a_2 = \frac{(qN_L)}{\epsilon_{si}\lambda_2^2} + V_{FB2}, \quad b_1 = e_2 e_0 (V_{bi1} + a_1)$$

$$c_1 = \lambda_1 b_1, \quad b_2 = e_1 (V_{ds} + V_{bi2} + a_2), \quad c_2 = \lambda_2 b_2$$

3.3 Calcul de la pente sous le seuil

La pente sous le seuil (SS) est définie comme étant la variation de polarisation de grille nécessaire pour augmenter le courant d'une décade. Elle s'exprime en mV/déc et est proportionnelle à la

tension thermique V_t ainsi qu'à un facteur n . Ce facteur est appelé facteur de substrat ou facteur de pente, et est supérieur ou égal à 1. Dans le cas idéal où nous aurions une pente sous le seuil SS égale à 60 mV/dec à la température ambiante, il prend la valeur de 1. Autrement, il est supérieur à 1, ce qui conduit à des valeurs de pente sous le seuil plus élevées que la valeur idéale. Ceci a pour conséquence la dégradation des performances du dispositif par suite de la dégradation de la valeur de la pente sous le seuil.

Toujours en considérant la proportionnalité du courant à la concentration des électrons au niveau de la cathode virtuelle $n_{\min}(r)$ qui pour rappel est obtenue en utilisant l'approximation de Boltzmann comme :

$$n_{\min}(r) = \left(n_i^2 / N_A \right) e^{\varphi_{\min}(r)/V_t} \quad (8)$$

L'inverse de la pente sous le seuil est défini par [10] :

$$S = \frac{\partial V_{gs}}{\partial \log I_{ds}} = V_t \ln(10) \left[\frac{\int_0^{t_{si}/2} e^{\frac{\varphi_{\min}}{V_t}} \frac{\partial \varphi_{\min}}{\partial V_{gs}} dr}{\int_0^{t_{si}/2} e^{\frac{\varphi_{\min}}{V_t}} dr} \right]^{-1} \quad (9)$$

Or, il est quasi impossible d'obtenir une solution analytique pour cette intégrale, nous nous tournons donc vers une approximation simplificatrice [11] de l'équation (9) telle que :

$$S = V_t \ln(10) \left[\frac{\partial \varphi_{s,\min}}{\partial V_{gs}} \right]^{-1} \quad (10)$$

A partir de l'équation (6), on obtient :

$$\left(\frac{\partial \varphi_{s,\min}}{\partial V_{gs}} \right) = 1 + (A_1 B_1)^{\left(\frac{-1}{2}\right)} (A_1 P_1 + B_1 P_2) \quad (11)$$

Avec

$$P_1 = \frac{d_0}{U_0} \left(\exp\left(-\left(\frac{L}{\lambda_2} + \frac{L_1}{\lambda_1}\right)\right) - \exp\left(\frac{L_1}{\lambda_2}\right) - \frac{b_0}{U_0} \lambda_2 \left(\exp\left(-\frac{L_1}{\lambda_2}\right) - \exp\left(-\left(\frac{L}{\lambda_2} + \frac{L_1}{\lambda_1}\right)\right) \right) \right)$$

$$P_2 = -1 - P_1$$

3.4 Courant de drain

➤ Région linéaire

Afin d'obtenir un modèle compact du courant de drain en appliquant la densité de charge, des courants de drain individuels sont obtenus dans les deux régions proches de la source et du drain respectivement. Enfin, une expression du courant de drain dans la région linéaire est obtenue. Dans la région de forte inversion, Le courant de drain est principalement donné par la tendance de dérive et peut être exprimé comme suit [12]:

$$I_{ds}(z) = \pi t_{si} Q_{ni}(z) \frac{\mu_{ni} (dV(z)/dz)}{1 + (1/E_{sat})(dV(z)/dz)} \quad (12)$$

Où $V(z)$ est le potentiel du canal dans la direction z , t_{si} est le diamètre du dispositif, $dV(z)/dz$ est le champ électrique dans la direction z , $E_{sat} = 2v_{sat}/\mu_{ni}$ est le champ critique, v_{sat} est la vitesse de saturation, μ_{ni} est la mobilité dans la région i ($i=1, 2$), et est donnée comme [13]:

$$\mu_{ni} = \frac{\mu_1}{1 + \theta_i (V_{gs} - V_{thi})} \quad (13)$$

Où θ_i est un paramètre d'ajustement et μ_1 exprime une dépendance de densité de l'impureté de la mobilité et est donnée empiriquement par

$$\mu_1 = \frac{\mu_{n0}}{\sqrt{\left(1 + \left[N_i / (N_{ref} + (N_i/S)) \right] \right)}} \quad (14)$$

Où μ_{n0} est la mobilité des électrons. Les paramètres S et N_{ref} impliquent des différences entre la diffusion des phonons et celle des impuretés, respectivement, et sont donnés comme $S = 450$, $N_{ref} = 3 \times 10^{22} \text{ m}^{-3}$.

$Q_{ni}(z)$ est la densité de charge de surface en un point z dans la région d'inversion forte et donnée par :

$$Q_{ni}(z) = c_{ox_i} (V_{gs} - V_{thi} - V(z)) \quad (15)$$

Où V_{gs} est la polarisation de grille source, V_{thi} est la tension de seuil pour les deux régions pour i égal à 1 et 2, respectivement, et c_{ox_i} est la capacité d'oxyde de grille pour les deux régions du DMG-GC-DOT MOSFET.

La substitution des équations (13)-(15) dans l'équation (12) et l'exécution de l'intégration aboutit à l'expression suivante pour le courant de drain dans la région linéaire:

$$I_{ds} = \frac{\pi t_{si} \mu_{eff} c_{ox_i} [V_{gs} - V_{th} - (V_{ds}/2)] V_{ds}}{L \left(1 + (V_{ds}/LE_{eff}) \right)} \quad (16)$$

Avec

$$\mu_{eff} = \frac{L}{\left[(L_1/\mu_{n1}) + (L_2/\mu_{n2}) \right]}$$

$$E_{eff} = \frac{2v_{sat}}{\mu_{eff}}$$

➤ **Région de saturation**

Dans la région de saturation, une expression pour le courant de drain est donnée par [12] :

$$I_{dsSat} = \pi t_{si} v_{sat} Q_{inSat} \quad (17)$$

Où I_{dsSat} est le courant de drain de saturation et Q_{inSat} est la charge d'inversion à $V_{ds} = V_{dsSat}$ et donnée comme :

$$Q_{inSat} = c_{ox_i} (V_{gs} - V_{th} - V_{dsSat}) \quad (18)$$

En utilisant l'équation (18) dans l'équation (17), le courant de drain à la région de saturation devient

$$I_{dsSat} = \pi t_{si} c_{ox_i} v_{sat} (V_{gs} - V_{th} - V_{dsSat}) \quad (19)$$

Où V_{th} est la tension de seuil du DMG-GC-DOT MOSFET dans la région (1).

V_{dsSat} est la tension de saturation du drain et peut être déterminée en égalant Eqs. (16) et (19) à

$$V_{ds} = V_{dsSat} :$$

$$V_{dsSat} = \frac{V_{gs} - V_{th}}{1 + (V_{gs} - V_{th})/LE_{eff}} \quad (20)$$

3.5 Courant sous le seuil

La région de sous seuil décrit principalement le comportement de commutation du dispositif et est particulièrement importante pour des applications de faible puissance, comme la commutation dans la logique numérique et des applications de mémoire. En outre, puisque la consommation d'énergie en mode veille dans le VLSI est directement liée au courant sous seuil du MOSFET et elle augmente à mesure que le niveau d'intégration augmente, il est donc essentiel de maintenir de bonnes caractéristiques sous-seuil. Le courant de drain sous-seuil est obtenu en utilisant le potentiel de surface minimum.

Le courant d'électrons le long du canal d'un MOSFET à grille cylindrique peut être écrit comme :

$$I_{sub}(z) = \pi t_{si} \int_0^{t_{si}/2} J(r, z) dr \quad (21)$$

La conduction sous-seuil est dominée par le courant de diffusion et est donnée par [14]:

$$J(r, z) = -q \frac{\mu'_n}{1 + \theta(V_{gs} - V_{th})} n(r, z) \frac{dV(z)}{dz} \quad (22)$$

Avec $n = n_i e^{\phi_{s,\min} - V/V_t}$

En substituant cette valeur des porteurs de charge d'inversion dans (21), on obtient cette expression [6] :

$$I_{sub}(z) = \frac{\mu'_n}{1 + \theta(V_{gs} - V_{th})} \pi q n_i \left(\frac{t_{si}}{2} \right)^2 \frac{dV(z)}{dz} e^{\frac{\phi_{s,\min} - V}{V_t}} \quad (23)$$

En intégrant l'équation ci-dessus le long du canal et en appliquant les conditions aux limites à la source $V(0) = 0$ et au drain $V(L) = V_{ds}$, le potentiel dans la région 2 est beaucoup plus grand que dans la région 1, on obtient:

$$I_{sub} = \frac{\mu'_{n1}}{1 + \theta(V_{gs} - V_{th1})} \frac{\pi t_{si}^2 n_i^2 kT (1 - e^{-\frac{-qV_{ds}}{kT}}) e^{\frac{q\phi_{\min,1}}{kT}}}{N_1 L_1} \quad (24)$$

Et la mobilité du dopage (μ'_{ni}) est donnée comme:

$$\mu'_{ni} = \frac{\mu_n}{\sqrt{\left(1 + \frac{N_i}{(N_{ref} + N_i S_1)}\right)}} \quad (25)$$

S_1 et θ sont des paramètres d'ajustement, μ_n est la mobilité des électrons. Pour obtenir un bon ajustement entre les résultats modélisés et simulés dans l'analyse, la valeur des paramètres d'ajustement S_1 et θ a été prise comme 450 et 0,04, respectivement.

3.6 Modèle complet pour tous les régimes

Afin d'écrire une expression compacte unique pour tous les régimes d'opération, nous devons introduire une fonction de transition qui peut relier ces deux régimes [15]. Une fonction tangente hyperbolique est appropriée pour ce but et nous pouvons enfin exprimer le modèle de courant de drain total I_{tot} comme

$$I_{tot} = I_{ds} \times \frac{1}{2} \left[1 - \tanh \left[G(V_{gs} - V_{th1}) \right] \right] + I_{sub} \times \frac{1}{2} \left[1 + \tanh \left[G(V_{gs} - V_{th1}) \right] \right]$$

Dans cette expression, un paramètre supplémentaire est introduit, à savoir le paramètre de transition G . V_{th1} fixe le centre de transition dans deux fonctions tangentes hyperboliques. Le paramètre G détermine le degré de rapidité de la transition autour de V_{th1} avec la valeur 0,5.

3.7 Transconductance et Conductance du drain

La transconductance est un paramètre crucial dans la conception de circuits analogiques, elle est calculée en dérivant le courant de drain par rapport à V_{gs} et permet donc de vérifier la différentialité du modèle [16], et s'exprime comme suit:

$$g_m = \left(\frac{dI_{ds}}{dV_{gs}} \right) \Big|_{V_{ds}=const} \quad (26)$$

En utilisant l'équation (16), l'expression de g_m dans la région linéaire est dérivée comme indiqué ci-dessous :

$$g_m = \pi t_{si} c_{ox_i} V_{ds} \left[\frac{Ab - aB}{\left(L \left(1 + \left(\frac{V_{ds}}{LE_{eff}} \right) \right) \right)^2} \right] \quad (27)$$

Avec

$$a = \mu_{eff} \left(V_{gs} - V_{th} - \frac{V_{ds}}{2} \right)$$

$$b = L \left(1 + \left(\frac{V_{ds}}{LE_{eff}} \right) \right)$$

$$E = \frac{-L\theta_i \mu_1^3 (L_1 + L_2)}{\left[(L_1 + L_2) (\mu_1 + \theta_i \mu_1 V_{gs}) - \theta_i \mu_1 (L_1 V_{th1} + L_2 V_{th2}) \right]^2}$$

$$A = E \left(V_{gs} - V_{th} - \frac{V_{ds}}{2} \right) + \mu_{eff} \quad , \quad B = \frac{V_{ds}}{2v_{sat}} E$$

Où μ_{eff} , E_{eff} , μ_{ni} et μ_1 sont définis pour l'équation (16).

De même, la transconductance dans la région de saturation $g_{m,sat}$ peut être obtenue en différenciant équation (19)

$$g_{m,sat} = (\pi t_{si} c_{oxi} \nu_{sat}) \left(1 - LE_{eff} \left(\frac{LE_{eff} + 2V_{th}}{(LE_{eff} + V_{th} - V_{gs})^2} \right) \right)$$

La conductance du drain est un paramètre important du transistor pour la simulation analogique de circuit et est définie comme [16]:

$$g_{ds} = \left(\frac{dI_{ds}}{dV_{ds}} \right) \Big|_{V_{gs}=const} \quad (28)$$

En utilisant l'équation (16), la conductance du drain g_{ds} est donnée par l'expression,

$$g_{ds} = \frac{Cd - Dc}{\left(L \left(1 + \frac{V_{ds}}{LE_{eff}} \right) \right)^2} \quad (29)$$

Avec

$$C = \pi t_{si} \mu_{eff} c_{oxi} (V_{gs} - V_{th} - V_{ds})$$

$$D = \frac{1}{E_{eff}}$$

$$c = \pi t_{si} \mu_{eff} c_{oxi} V_{ds} \left(V_{gs} - V_{th} - \frac{V_{ds}}{2} \right)$$

$$d = L \left(1 + \frac{V_{ds}}{LE_{eff}} \right)$$

Dans l'équation (29), toutes les autres constantes sont définies dans l'équation (16).

g_{dsat} , dans la région de saturation peut également être obtenue en différenciant (19) par rapport à V_{ds} en gardant V_{gs} constante

$$g_{dsat} = -(\pi t_{si} c_{oxi} \nu_{sat}) \left(f - LE_{eff} V_{gs} \left(\frac{-f}{h^2} \right) + LE_{eff} \left(\frac{f(h) - V_{th}(f)}{h^2} \right) \right)$$

Avec

$$f = \frac{\partial V_{th}}{\partial V_{ds}}$$

$$h = LE_{eff} - V_{gs} + V_{th}$$

Conclusion

Dans ce chapitre, nous avons présenté un nouvel modèle analytique d'un MOSFET à grille cylindrique avec deux matériaux de grille, deux dopages de canal et deux épaisseurs d'oxyde. À partir de la résolution de l'équation de Poisson et en utilisant l'approximation en mode parabolique

(PMA), la tension de seuil et la pente sous le seuil sont calculés à partir du minimum de potentiel de surface. En plus, le courant de drain de la structure proposée est calculé de manière explicite. De plus, les effets "canaux courts" sont modélisés avec des expressions analytiques simples.

Le modèle analytique proposé utilise par ailleurs un nombre réduit de paramètres d'ajustements, ces derniers sont fixés à travers la modélisation analytique du dispositif. En effet, la simplicité et la continuité du modèle compact du courant de drain du CG MOSFET proposé mène à l'utilisation de ce modèle dans la simulation de circuits.

Finalement, la structure proposée a été validée dans le chapitre suivant, en le comparant avec d'autres structures existantes dans la littérature, par la simulation numérique avec la méthode de différence finie, aussi via la simulation numérique de dispositif obtenues avec le logiciel commercialisé SILVACO-ATLAS-TCAD.

Références

- [1] The International Technology Roadmap for Semiconductors (ITRS), web site <<http://www.itrs.net/>>.
- [2] J.P. Colinge, "FinFETs and Other Multi-Gate Transistors: Technology to Circuit", Springer and Business Media, ISBN 978-0-387-71751-7, 2008.
- [3] W. Bian, J. He, L. Zhang et al, "Sub-threshold behavior of long channel undoped cylindrical surrounding-gate MOSFETs", *Microelectronics Reliability*, Vol. 49, pp. 97-103, 2009.
- [4] F. Liu, J. Zhang, F. He et al, "A charge based compact model for predicting the current-voltage and capacitance voltage characteristics of heavily doped Cylindrical Surrounding gate MOSFETs", *Solid-State Electronics*, Vol. 53, pp. 49-53, 2009.
- [5] F. Liu, J. He, L. Zhang et al, "A Charge-Based Model for Long-Channel Cylindrical Surrounding-Gate MOSFETs From Intrinsic Channel to Heavily Doped", *IEEE Transactions on Electron Devices*, Vol. 55, pp. 87-94, 2008.
- [6] H. A. El Hamid, B. Iñíguez and J. R. Guitart, "Analytical Model of the Threshold Voltage and Subthreshold Swing of Undoped Cylindrical Gate-All Around Based MOSFETs", *IEEE Transactions on Electron Devices*, Vol. 54, pp. 72-79, 2007.
- [7] B. Ray and S. Mahapatra, "Modeling and Analysis of Body Potential of Cylindrical Gate-All-Around Nanowire Transistor", *IEEE Transactions on Electron Devices*, Vol. 55, pp. 09-16, 2008.

- [8] H. Børli, S. Kolberg, T-A. Fjeldly et al, "Precise Modeling Framework for Short- Channel Double-Gate and Gate-All-Around MOSFETs", IEEE Transactions on Electron Devices, Vol. 55. pp. 78-86, 2008.
- [9] R.H. Yan, A. Ourmazd, and K. F. Lee, "Scaling the Si MOSFET: from bulk to SOI to bulk," IEEE Transactions on Electron Devices, Vol. 39, pp. 1704-1710, 1992
- [10] H.M. Abd Elhamid, "Compact modeling of multiple gate MOS Devices", Thèse de doctorat, Université de Rovira i Virgili, Espagne, 2007.
- [11] K. K. Young, "Analysis of Conduction in Fully Depleted SOI MOSFET's", IEEE Transaction on Electron Devices, Vol. 36, no.3, pp. 504-506, Mar. 1989.
- [12] Kaur, H., Kabra, S., Haldar, S., Gupta, R.S. (2007), "An analytical drain current model for graded channel cylindrical/ surrounding gate MOSFET", Microelectronics Journal, 38, 352-359.
- [13] Ghosh, P., Haldar, S., Gupta, R.S., Gupta, M. (2012), "An analytical drain current model for dual material engineered cylindrical/surrounded gate MOSFET", Microelectronics Journal, 43, 17-24.
- [14] Yuan Taur , Tak H. Ning, Fundamentals of Modern VLSI Devices. Cambridge University Press, 1998.
- [15] Chang, H. Kim., Student Member, IEEE, Alejandra, C.-C., Estrada, M., Senior Member, IEEE, Antonio C., Senior Member, IEEE, Bonnassieux, Y., Horowitz, G., and Iñiguez, B., Senior Member, IEEE,(2012), "A Compact Model for Organic Field-Effect Transistors with Improved Output Asymptotic Behaviors", IEEE Transactions on Electron Devices.
- [16] S.M. Sze, Physics of Semiconductor Devices, second edition, John Wiley & sons Asia Ltd, 1981

Chapitre 4

Présentation des résultats et discussions

1 Introduction

Nous allons à présent discuter les résultats du modèle analytique pour la nouvelle structure DMG-GC-DOT MOSFET en partant de la résolution de l'équation de Poisson 2D, du potentiel électrostatique le long du canal du transistor qui représente la première étape du modèle et qui, doit être la plus exacte possible en les comparant avec les résultats d'autres structures existant dans la littérature comme DMG(A. Pal and A. Sarkar, 2014) et DMG-DOT MOSFETs. Nous étudierons les expressions du potentiel de surface et du champ électrique dans le canal pour en déduire les propriétés électriques (tension de seuil, pente sous le seuil et le DIBL) et les effets des grandeurs géométriques (longueur du canal, épaisseur de la couche d'oxyde ...) sur ces propriétés électriques. Nous nous passerons au courant de drain, de la transconductance et de la conductance du drain. Nous aborderons l'apport de l'utilisation de la couche d'oxyde à haute permittivité, de deux matériaux de grille et de deux dopages du canal du transistor DMG-GC-DOT2 et l'impacte des paramètres physiques, géométriques et électriques sur la performance du transistor.

Les modèles analytiques de cette nouvelle structure du transistor seront comparés à ceux du transistor DMG SGR MOSFET et DMG-DOT SRG MOSFET.

Pour la validation de notre modèle analytique, les résultats seront comparés à ceux obtenus par calcul numérique (méthode des éléments finis) et par le simulateur CAD ATLAS de SILVACO, que nous nous proposons tout d'abord de présenter.

2 Outil de modélisation et simulation

2.1 Matlab (Méthode des différences finies)

La méthode des différences finies est une technique courante de recherche de solutions approchées d'équations aux dérivées partielles qui consiste à résoudre un système de relations liant les valeurs des fonctions inconnues en certains points suffisamment proches les uns des autres.

L'objet de la méthode des différences finies est l'obtention de solutions approchées de problèmes aux dérivées partielles (=équations aux dérivées partielles + conditions aux limites ou initiales), en certains points (les nœuds) de leur domaine

La répartition du potentiel dans le canal du transistor CG MOSFET est gouvernée par l'équation de poisson qui est de la forme suivante :

$$\frac{1}{r} \frac{\partial}{\partial r} \left(r \frac{\partial \varphi_i(r, z)}{\partial r} \right) + \frac{\partial^2 \varphi_i(r, z)}{\partial z^2} = \frac{qN_i}{\epsilon_{si}} \quad (1)$$

- La première étape du procédé de résolution de notre code de calcul est l'introduction des caractéristiques physiques qui décrivent notre problème (q, N_i, n_i, \dots), en suite on fait intervenir les conditions aux limites convenables pour notre structure DMG-GC-DOT MOSFET, après vient l'introduction du potentiel d'essai qui est une étape très importante pour assurer une convergence de notre programme, dans notre cas on a choisi un potentiel d'essai à partir de notre modèle analytique (le potentiel à l'état initial égal zéro et à l'état suivant égal au potentiel généré par le modèle analytique). Après la génération du maillage, la résolution du système équations Poisson se fait par la méthode de Newton Raphson. La solution numérique du problème est obtenue quand le potentiel calculé est suffisamment proche du potentiel d'essai, c'est-à-dire la différence entre potentiel d'essai et le potentiel calculé à l'issue de la $n^{\text{ème}}$ itération devient négligeable c'est-à-dire la condition de convergence est vérifiée si non, on passe alors à l'itération suivante $\varphi_n \rightarrow \varphi_{n+1}$.

Génération de maillage du domaine $[0, L_r] \times [0, L_z]$ dont les nœuds sont les points $(r_i, z_j) = (i\Delta r, j\Delta z)$, $i=0, 1, \dots, N$

Où N est un entier positif, $\Delta r = \Delta z = h = \frac{L}{N+1}$

L'équation (3) du chapitre 3 va être linéarisée par la méthode des éléments finis, elle va s'écrire:

$$\frac{\varphi_s(z_{i+1}) - 2\varphi_s(z_i) + \varphi_s(z_{i-1}))}{h^2} - \lambda_i^2 \varphi_s(z_i) = D_i \quad (2)$$

Nous donne

$$\varphi_s(z_i) = \frac{\varphi_s(z_{i+1}) + \varphi_s(z_{i-1}))}{\kappa h^2} - \frac{D_i}{\kappa} \quad (3)$$

Où

$$\kappa = \lambda_i^2 + \frac{2}{h^2}$$

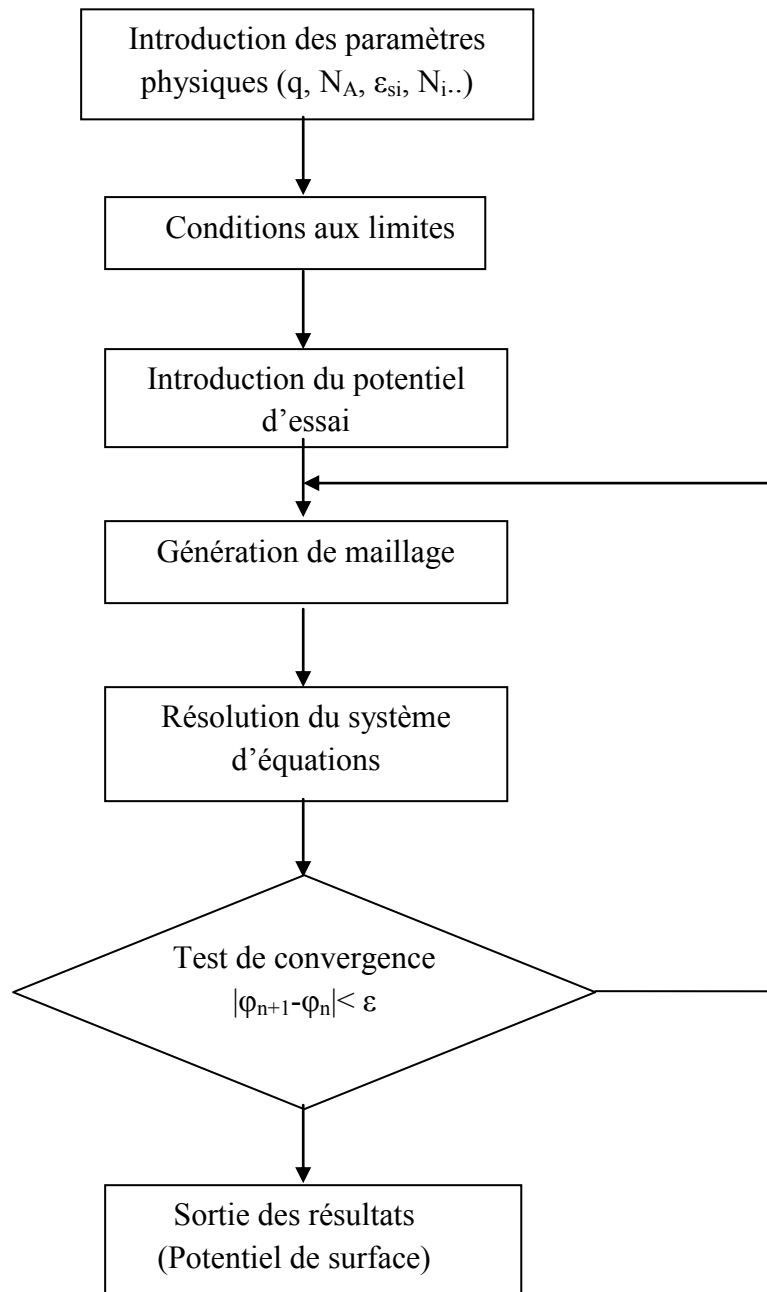


Figure 4.1 Organigramme général de la procédure numérique de la résolution du système d'équations Poisson.

Pour résoudre l'équation (10), nous avons appliqué la méthode itérative de Newton-Raphson. (Voir annexe B).

Cette méthode de Newton-Raphson est appliquée jusqu'à ce que la convergence soit atteinte, condition réalisée lorsque la quantité rajoutée au potentiel de l'itération précédente est inférieure à une certaine valeur. La valeur de cette dernière constitue le critère d'arrêt de la méthode.

L'organigramme présenté par la figure 4.1 illustre le procédé de résolution utilisé pour le développement de notre code de calcul. La méthode de Newton Raphson a été utilisée pour la résolution du système d'équations.

2.2 Outils de conception assistée par ordinateur (CAO) et Silvaco

Les mathématiques sont les moyens les plus simples pour développer de nouveaux dispositifs, mais faire un modèle incluant tous les phénomènes peut prendre beaucoup de temps. Il existe donc des outils de conception assistée par ordinateur, par exemple des outils de CAO, qui peuvent prendre en compte les paramètres de construction de dispositif et simuler le dispositif avec la physique donnée de dispositif et afficher les paramètres requis. Il existe de nombreux outils de CAO d'entreprises telles que Silvaco, Synopsis, Cadence, Sentaurus, etc. Dans ce travail, un outil de CAO de la société SILVACO nommé TCAD EDA Tools est utilisé [3].

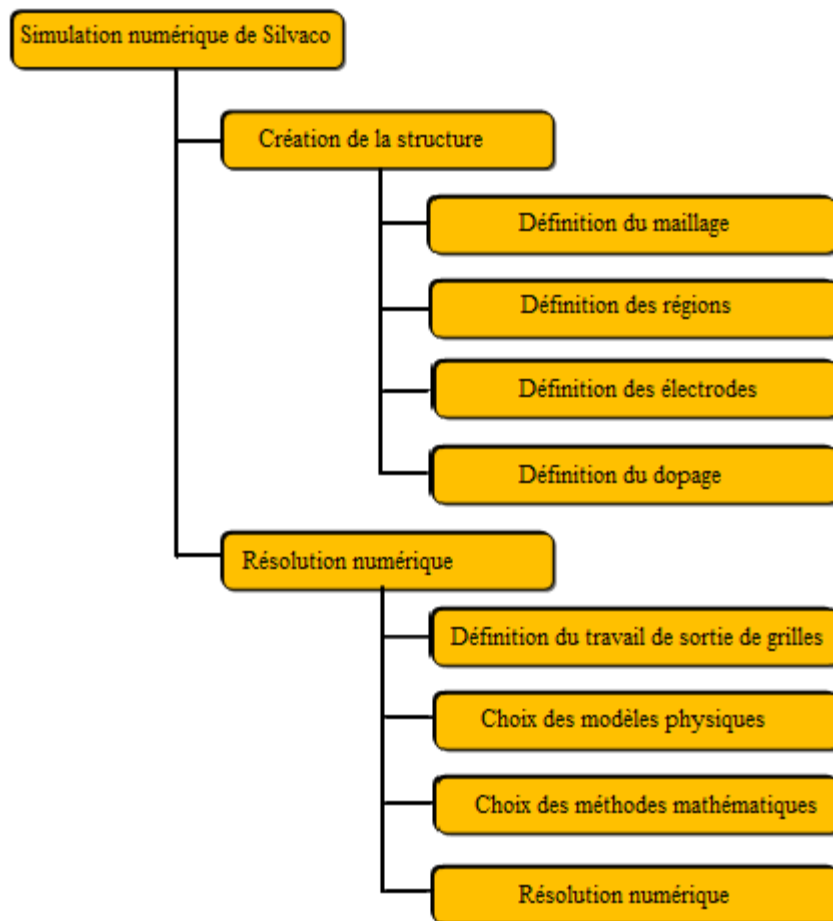


Tableau 4.1 Diagramme de la simulation numérique de Silvaco

Une simulation numérique de Silvaco (ou tout outil TCAD) est constitué de deux étapes principales (Tableau 4.1) : création de la structure, puis résolution numérique. La création de la structure comprend la définition du maillage, des différentes régions du dispositif, des électrodes et des

dopages (niveau et profil). La résolution numérique comprend la définition du travail de sortie des grilles, les choix des modèles physiques et des méthodes mathématiques utilisées par le simulateur pour trouver sa solution.

Silvaco TCAD EDA Tools est un logiciel de simulation de dispositif qui a beaucoup de fonctionnalités utiles.

Telles que ...

- Description de dispositif: Il suffit d'écrire quelques codes simples pour décrire une région de dispositif avec le matériau utilisé dans la région. Les électrodes, la concentration de dopage, etc. peuvent être décrites de la même manière.

```
region num=1 x.min=0.001 x.max=0.079 y.min=-0.02 y.max=0.02 silicon  
region num=2 x.min=0.02 x.max=0.06 y.min=0.02 y.max=0.022 sio2
```

- Contrôle sur tous les paramètres de dispositif: tous les paramètres du dispositif peuvent être modifiés facilement. Il prend en charge une vaste gamme de matériaux. En définissant les contacts, la fonction de travail du matériau peut être mise. Ainsi sans mentionner des noms de matériaux différents, nous pouvons juste saisir les fonctions de travaux pour différentes régions et pouvons avoir une structure de grille multi-matériau avec la fonction de travail désiré.

```
contact name=gate workfunction=4.8
```

```
contact name=gate1 common=gate workfunction=4.4
```

```
contact name=source
```

```
contact name=drain
```

- Analyse DC: Le premier code établira une tension de drain et le deuxième code donnera la valeur du courant de drain à une tension de grille différente.

```
solve init  
solve vdrain=0.1
```

```
log outf=salog.log  
solve vgate=0 vstep=0.25 vfinal=3.0 name=gate
```

- Prise en charge des dispositifs 3D: Le dispositif prend en charge la description de dispositif 3D dans le système de coordonnées R, A, Z. La simulation de dispositif 3D exige le nombre énorme de calculs comme il manipule (traite) 3 axes et les points de pivot dans la structure

seront très grands. Donc la simulation 3D prend plus de ressources de matériau, plus de puissance de traitement et beaucoup plus de temps. De la condition susmentionnée, on devrait considérer la courbure cylindrique, mais le design (la conception) complexe du MOSFET exige le temps beaucoup plus haut pour chaque simulation. Maintenant la commande "CUTPLANE" peut extraire un 2D profil du fichier de structure 3D. Premièrement, nous devons construire la structure 3D et le sauvegarder comme un fichier de structure, mais pas le simuler. Ensuite en utilisant la commande CUTPLANE, un profil 2D est extrait et sauvegardé comme un autre fichier de structure. Ce fichier de structure 2D simulera les mêmes commandes pour la 3D et produira les mêmes caractéristiques et paramètres. Au lieu d'obtenir une structure de dispositif 2D par la méthode CUTPLAIN, nous pouvons faire la structure 2D d'une saisie de modèle de dispositif 2D. Mais nous devrions attacher l'attribut "cylindrical" dans la définition de structure. Sans l'attribut "cylindrical" le simulateur fera semblant la structure comme la boîte rectangulaire pas comme le type cylindrique et la courbure du canal ne sera pas considéré. De nouveau, pour avoir le dispositif cylindrique parfait, le ZÉRO d'axe des abscisses (qui est ressemblé au rayon) devrait être à la position $r=0$,

```
mesh cylindrical
x.m l=0.000 spac=0.001
```

- Prise en charge de la fabrication du dispositif à partir du processus de fabrication: Une partie de ce logiciel appelé ATHENA peut fabriquer un dispositif à partir des étapes du processus de fabrication.
- Sortie de tous les paramètres généraux: La simulation peut donner la sortie de tous les paramètres généraux comme le champ électrique, le potentiel, la mobilité, le courant etc

```
extract name="vt"
(xintercept(maxslope(curve(abs(v."gate"),abs(i."drain")))) \
- abs(ave(v."drain"))/2.0)
```

- Dérivation des paramètres à partir des résultats: La commande EXTRACT peut extraire une valeur ou un paramètre d'une courbe ou d'un résultat. Par exemple. Extraction de V_{TH} à partir du graphe $I_D - V_G$.

Autres fonctionnalités utiles: Il prend en charge de nombreuses fonctionnalités, telles que le tracé de superposition comparative, l'analyse Cut-Plane, différentes méthodes de résolution avec limite de trappe, etc.

2.3 Silvaco CAD

Le logiciel Silvaco TCAD est divisé en plusieurs sous-logiciels. Parmi eux, les parties importantes sont ATLAS, Deckbuild, Tonyplot, Tonyplot3D, DEVEDIT et ATHENA.

ATLAS est un simulateur de dispositif à base physique. Il offre des capacités générales pour la simulation en deux (2D) et en trois dimensions (3D) de dispositifs à semi-conducteurs. Il spécifie les problèmes de simulation de dispositif en définissant: la structure physique à simuler, les modèles physiques à utiliser et les conditions de polarisation pour lesquelles les caractéristiques électriques doivent être simulées. ATLAS peut être utilisé en conjonction avec le V.W.F. (Virtual Wafer Framework) Outils interactifs. Ceux-ci incluent Deckbuild, Tonyplot, DEVEDIT (Modification de périphérique), MaskViews et Optimizer.

Deckbuild fournit un environnement d'exécution interactif. **Tonyplot** fournit des capacités de visualisation scientifique. **DEVEDIT** est un outil interactif pour la spécification de structure et de maillage. **MaskView** est un éditeur de mise en forme de circuit intégré IC. L'optimiseur prend en charge l'optimisation de la boîte noire sur plusieurs simulateurs. ATLAS est souvent utilisé en conjonction avec le simulateur de processus Athena qui prédit les structures physiques résultantes des étapes de traitement. Les structures physiques résultantes sont utilisées en entrée par ATLAS, qui prédit ensuite les caractéristiques électriques associées aux conditions de polarisation spécifiées. La combinaison d'ATHENA et d'ATLAS permet de déterminer l'impact des paramètres de procédé sur les caractéristiques de dispositif. Les caractéristiques électriques prédites par ATLAS peuvent être utilisées en entrée par la caractérisation de dispositif UTMOST et le logiciel de modélisation SPICE. Des modèles compacts basés sur des caractéristiques de dispositifs simulées peuvent ensuite être fournis aux concepteurs de circuits pour leur conception. La combinaison d'ATHENA, d'ATLAS, d'UTMOST et de SmartSpice permet de prédire l'impact des paramètres de processus sur les caractéristiques du circuit. ATLAS peut être utilisé comme l'un des simulateurs au sein du V.W.F. (Outils d'automatisation V.W.F). Il est pratique d'effectuer des expérimentations basées sur des simulations hautement automatisées. Il lie donc la simulation au développement technologique, ce qui se traduit par des avantages significativement accrus de l'utilisation de la simulation.

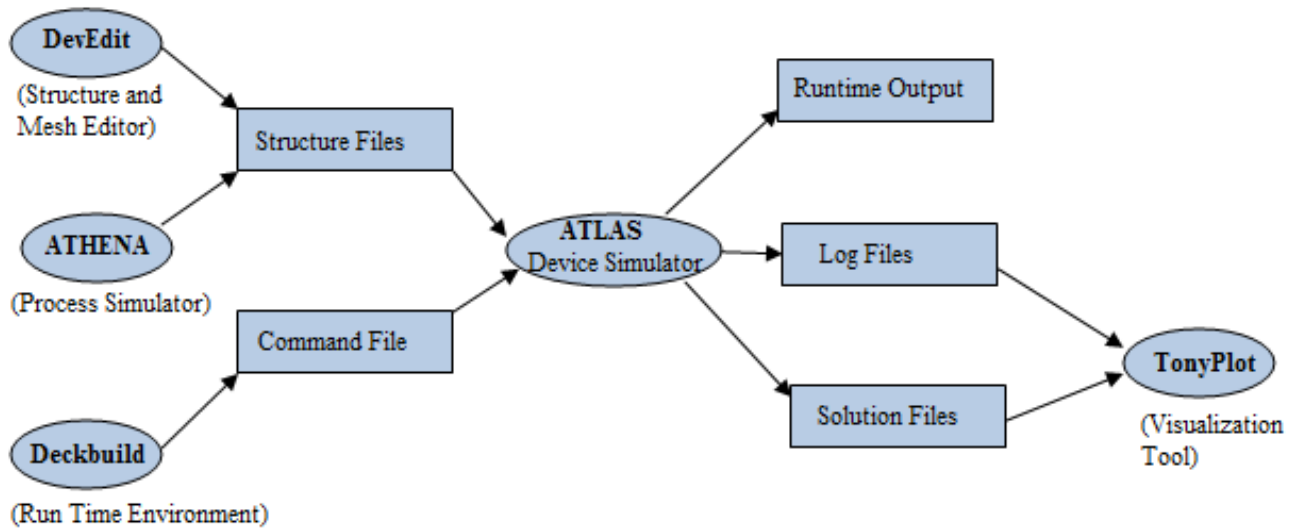


Figure 4.2 flux de processus de Silvaco EDA Tools (Source: Manuel ATLAS.).

ATLAS produit trois types de fichiers de sortie. Le premier type de fichier de sortie est la sortie d'exécution, qui nous donne la progression et les messages d'erreur et d'avertissement au cours de la simulation. Le deuxième type de fichier de sortie est le fichier journal, qui stocke toutes les tensions et tous les courants des terminaux à partir de l'analyse de l'appareil. Le troisième type de fichier de sortie est le fichier de solution, qui stocke les données 2D et 3D relatives aux valeurs des variables de solution dans l'appareil à un point de polarisation donné. Ces fichiers de journalisation et de structure peuvent être visualisés par **TonyPlot** et TonyPlot3d et à partir de là, les données peuvent être extraites pour d'autres calculs.

2.3.1 ATLAS

Comme mentionné ci-dessus, ATLAS du logiciel Silvaco EDA Tools est la partie qui simule le dispositif avec la physique de dispositif. Pour simuler le périphérique, l'entrée de commande directe à l'ATLAS peut être donnée ou DECKBUILD peut être utilisé pour obtenir un interpréteur basé sur l'interface graphique. Pour n'importe quel volume ou région de la structure, il devrait y avoir une unité ou une pièce structurale minimale et additionner ces unités minimales, les formes MESH. Il existe des commandes simples pour créer des structures maillées bidimensionnelles, tridimensionnelles et cylindriques tridimensionnelles bidimensionnelles avec un paramètre de l'unité minimale comme souhaité.

Ensuite, le maillage est divisé en certaines régions avec lesquelles la région contient le matériau comme le silicium, l'oxyde de silicium ou le matériau de la grille, etc. Les contacts et les profils de dopage sont définis dans les régions de maillage souhaitées. La construction du MOSFET souhaité

est maintenant terminée et nous devons simuler le dispositif. Premièrement, l'environnement de simulation devrait être défini. C'est ce que la physique de dispositif doit être utilisée (comme approprié pour que le dispositif soit analysé) et quelles méthodes de calcul / résolution (méthodes de résolution NEWTON, GUMMEL etc.) à utiliser avec quelles précisions indiquées. Ensuite, les paramètres calculés requis (comme le champ électrique, le potentiel, la mobilité, le courant par les porteurs, les courants de dérive et de diffusion, etc.) sont mentionnés comme requis dans l'analyse actuelle. Après la déclinaison de l'environnement de simulation, les fichiers LOG de sortie de simulation et STRUCTURE sont donnés, suivis des entrées électriques avec des valeurs initiales. Puis, la simulation se produit et stocke les résultats dans les fichiers spécifiés. Ces fichiers sont ensuite visualisés par différents logiciels dont TONYPLOT. Nous pouvons en outre extraire d'autres paramètres des fichiers / données. La figure 4.3 montre les étapes et les instructions associées utilisées dans ATLAS.

<i>Group</i>		<i>Statements</i>
1. Structure Specification	—————	MESH REGION ELECTRODE DOPING
2. Material Models Specification	—————	MATERIAL MODELS CONTACT INTERFACE
3. Numerical Method Selection	—————	METHOD
4. Solution Specification	—————	LOG SOLVE LOAD SAVE
5. Results Analysis	—————	EXTRACT TONYPLOT

Figure 4.3 Instruction de ATLAS (Source: Manuel ATLAS.).

Dans les premiers résultats, on a utilisé la méthode des éléments finis qui est fondamentalement un cas spécial des formulations intégrales. En effet, chacune des méthodes utilise une base de fonctions comme point de départ pour obtenir une solution approximative.

2.3.2 Structure DMG-GC-DOT MOSFET

Afin de valider notre modèle, nous avons élaboré notre structure DMG-GC-DOT MOSFET à grille cylindrique sur le simulateur électrique Atlas [4]. La figure 4.4 montre la coupe transversale de la structure DMG-GC-DOT développée au cours de cette thèse.

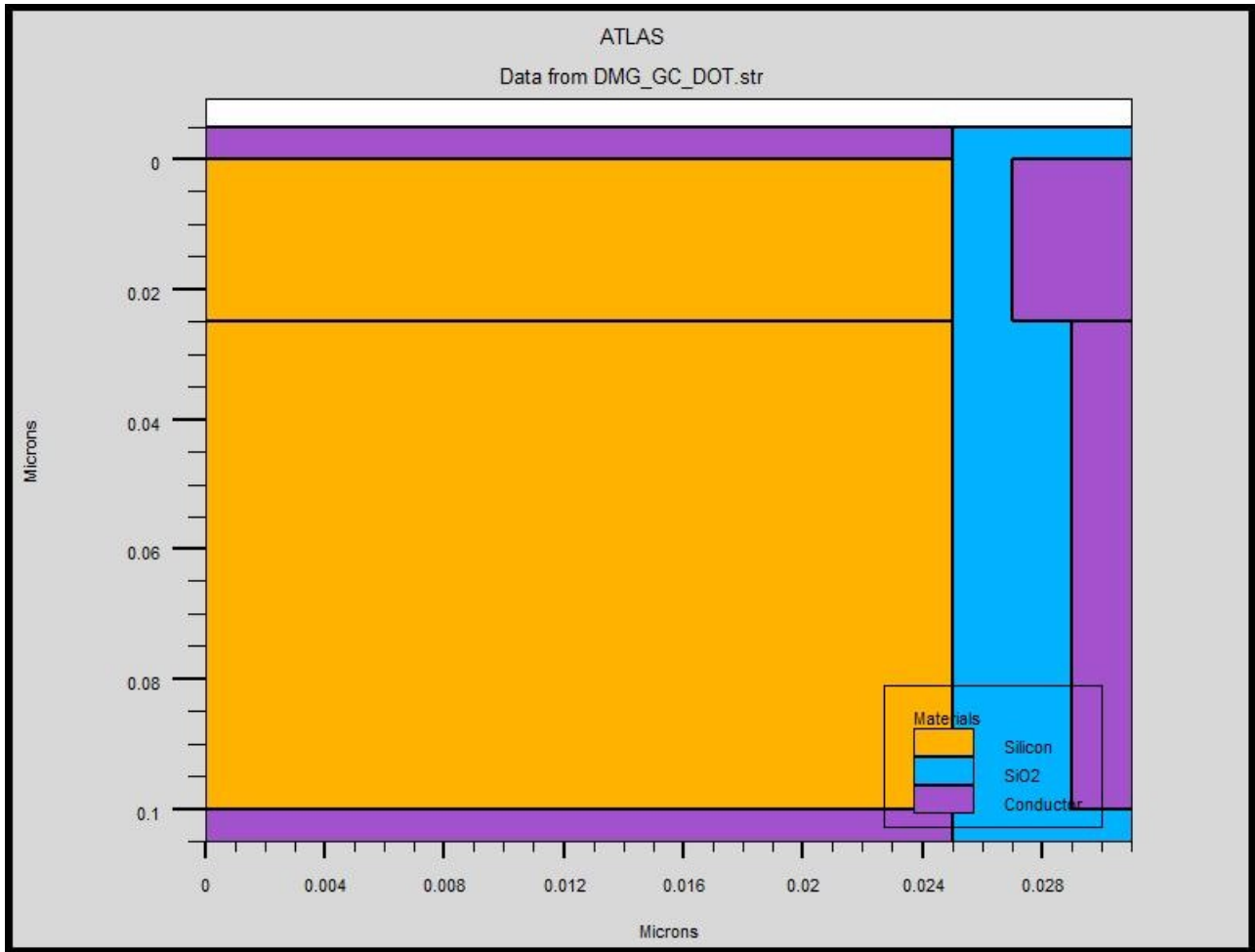


Figure 4.4 Structure DMG-GC-DOT du MOSFET à grille cylindrique développée sur Atlas, $L=100$ nm, $t_{si}=25$ nm, $t_{ox1}=2$ nm, $t_{ox2}=4$ nm

3 Validation du modèle analytique DMG-GC-DOT MOSFET

Nous avons pris un DMG-GC-DOT MOSFET comme notre dispositif d'étude de base. Une vue en coupe transversale est donnée dans la figure 4.5. Dans notre nouvelle structure DMG-GC-DOT MOSFET, comme le montre la figure 4.5 (c), le canal est divisé en deux parties, les longueurs des deux métaux M_1 et M_2 sont L_1 et $L_2 = L - L_1$ respectivement, la concentration de dopage N_H dans la région (L_1) est supérieure à N_L dans le reste du canal ($L_2 = L - L_1$) et la couche d'oxyde

d'épaisseur t_{ox1} dans la région L_1 est petite que t_{ox2} dans la région $L_2 = L - L_1$. t_{si} et L sont respectivement l'épaisseur du canal en silicium, et sa longueur.

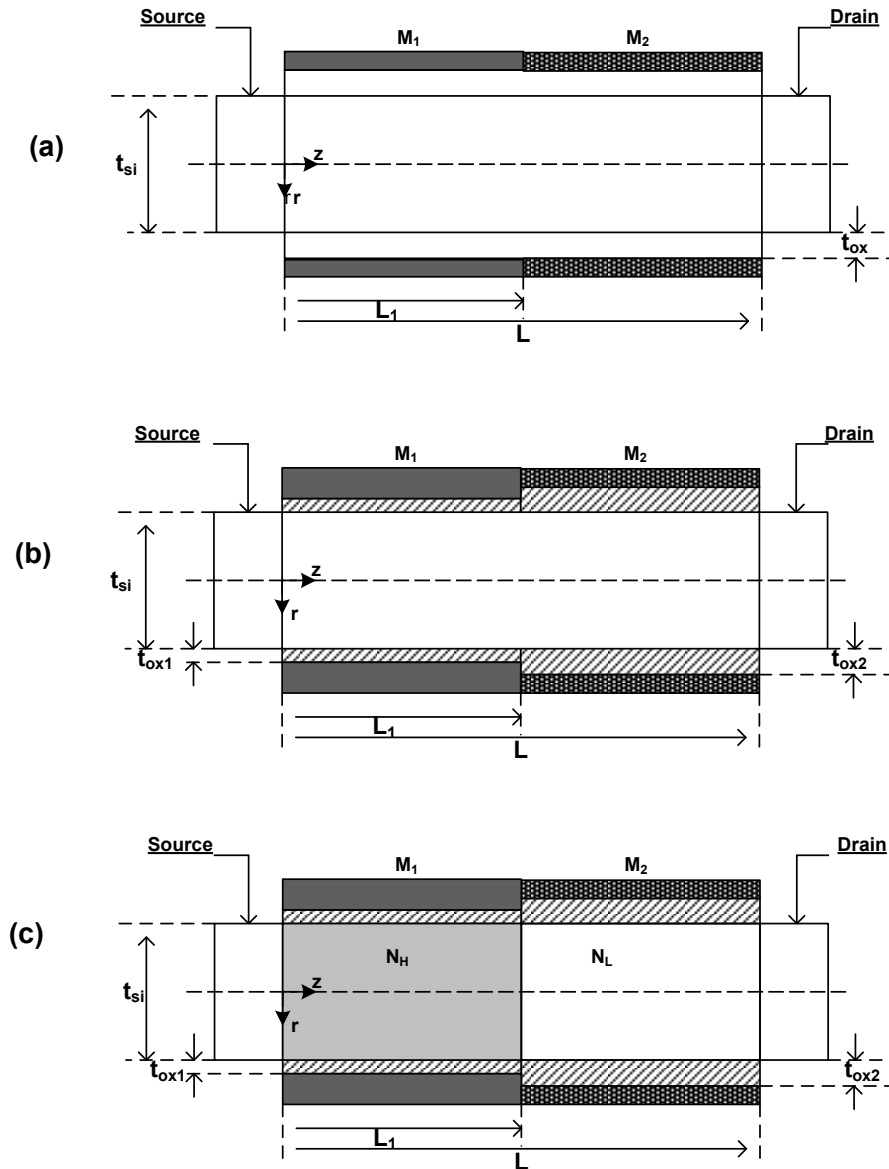


Figure 4.5 Vues en coupe transversale de structures différentes de SG MOSFET. (a) DMG, (b) DMG-DOT, (c) DMG-GC-DOT

Les modèles analytiques et numériques (méthode des éléments finis) du potentiel de surface, de la tension de seuil, de la pente sous le seuil, et du DIBL pour le DMG-GC-DOT MOSFET sont comparés à ceux du DMG MOSFET (A. Pal and A. Sarkar, 2014) et du DMG-DOT MOSFET. Le courant de drain, le courant sous le seuil, la transconductance et la conductance du drain sont également tracés pour les trois structures.

La figure 4.6 montre l'évolution du potentiel de surface pour DMG-GC-DOT, DMG et DMG-DOT tout au long du canal pour $L=100\text{nm}$, $L_1=25\text{nm}$, $t_{si}=20\text{nm}$, $t_{ox1}=2\text{nm}$, $t_{ox2}=4\text{nm}$, $V_{gs}=0.1\text{V}$, $V_{ds}=0.5\text{V}$, $N_d=2.10^{20}\text{cm}^{-3}$, $N_L=4.10^{16}\text{cm}^{-3}$, $\phi_1=4.8$, $N_H=3.10^{17}\text{cm}^{-3}$, $\phi_2=4.4$, $N_A=5.10^{17}\text{cm}^{-3}$

D'après la figure 4.6, on peut voir que l'utilisation de deux couches d'oxyde dans DMG-GC-DOT MOSFET entraîne un décalage des potentiels de surface minimum. Comme le potentiel de surface est proportionnel à la courbure de la bande, une réduction de l'épaisseur de l'oxyde entraîne une réduction des SCE, ce qui peut être attribué en raison de l'augmentation de la contrôlabilité de la grille.

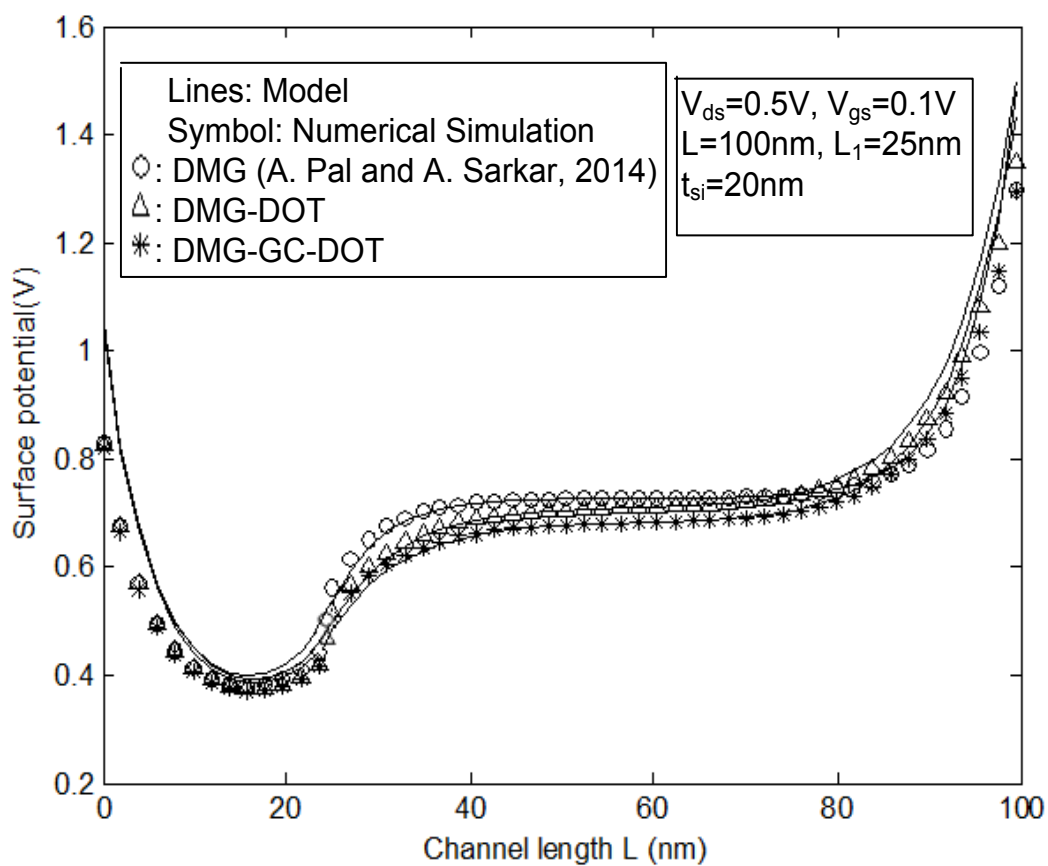


Figure 4.6 Potentiel de surface le long du canal pour DMG-GC-DOT, DMG-DOT et DMG

La figure 4.7 montre le champ électrique latéral le long du canal MOSFET pour les trois structures. Le profil implique un changement dans le champ électrique situé à la jonction des deux matériaux de grille. L'augmentation du champ électrique latéral dans le canal situé sous l'interface de deux matériaux de grille, conduit à une augmentation de l'efficacité de transport de porteurs.

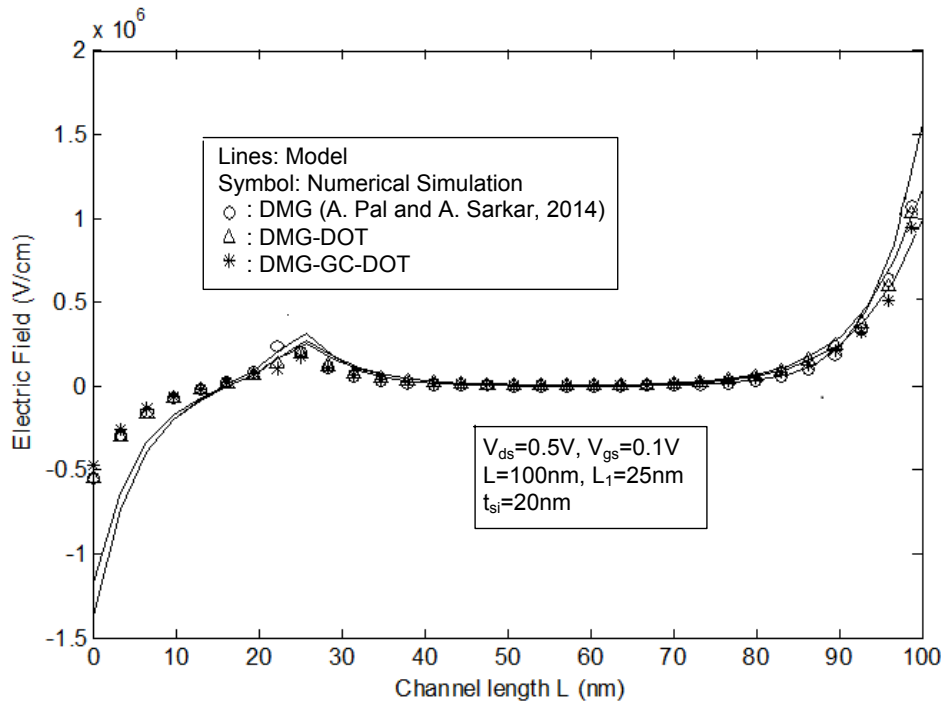


Figure 4.7 Variation du champ électrique en fonction de la longueur du canal pour DMG-GC-DOT, DMG-DOT et DMG avec $V_{gs} = 0.1 \text{ V}$ et $V_{ds} = 0.5 \text{ V}$

La figure 4.8 présente la variation de la tension de seuil en fonction de la longueur du canal pour DMG-GC-DOT, DMG et DMG-DOT MOSFETs.

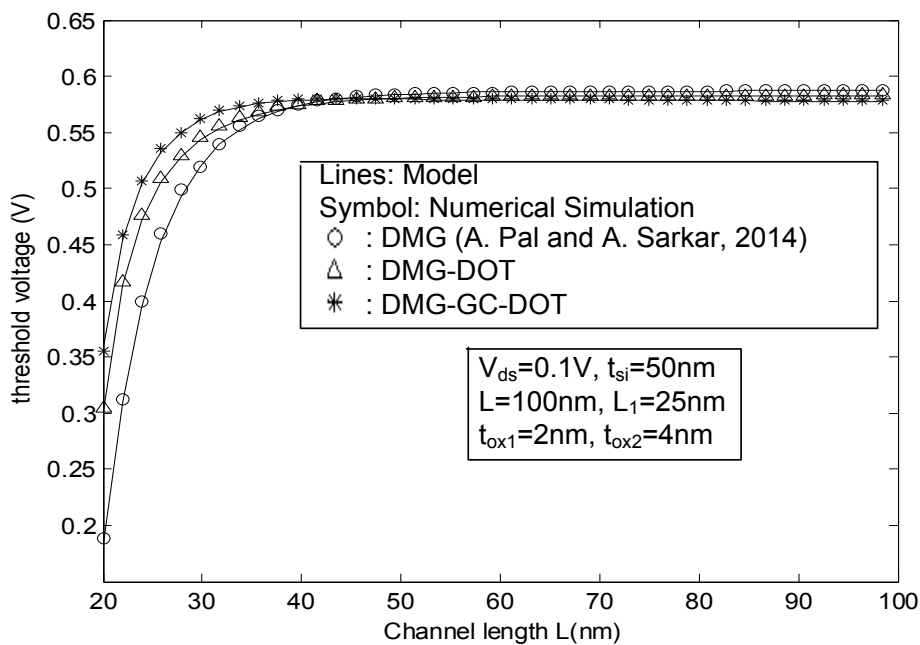


Figure 4.8 Tension de seuil V_{th} en fonction de la longueur du canal L pour DMG-GC-DOT, DMG et DMG-DOT MOSFETs.

La figure 4.8 indique que lorsque la longueur du canal est réduite, la tension de seuil diminue plus rapidement dans DMG-DOT MOSFET et DMG MOSFET par rapport à notre structure DMG-GC-DOT MOSFET.

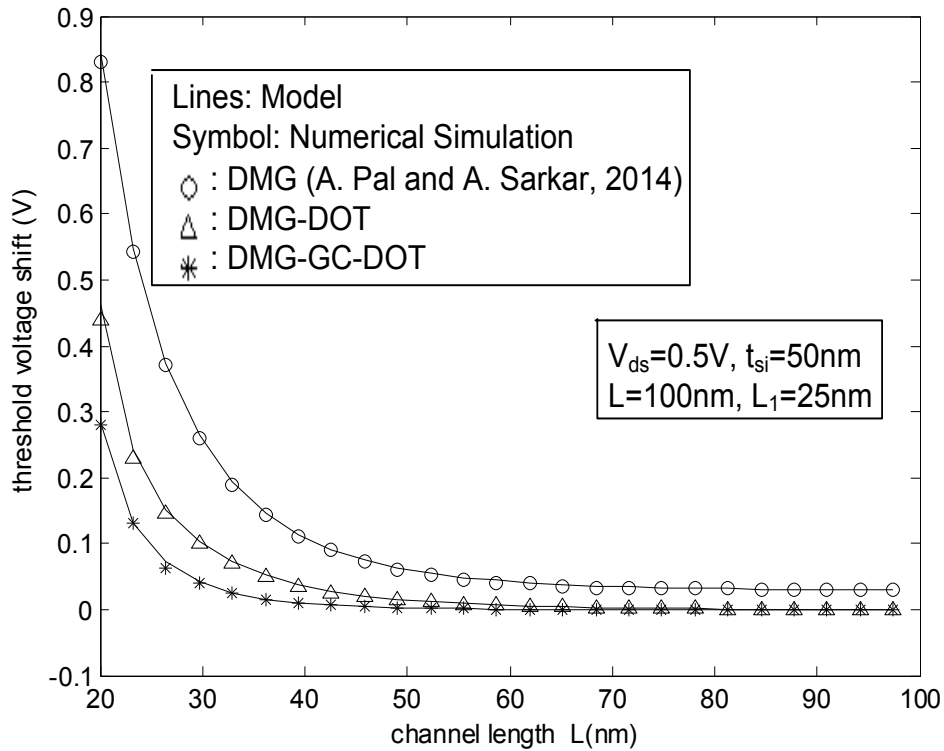


Figure 4.9 Décalage de la tension de seuil en fonction de la longueur du canal pour le DMG-GC-DOT, DMG et DMG-DOT MOSFETs

Sur la figure 4.9, nous présentons la variation du décalage de tension de seuil (ΔV_{TH}) en fonction de la longueur du canal pour les structures DMG, DMG-DOT et DMG-GC-DOT MOSFETs. A partir de la figure 4.9, il est évident que le DMG-GC-DOT MOSFET fournit une efficacité supérieure à (ΔV_{TH}) par rapport aux structures DMG MOSFET et DMG-DOT MOSFET. La variation de tension de seuil de DMG-GC-DOT MOSFET reste très faible lorsque la longueur de la grille est supérieure à 60 nm. Cette fonctionnalité est très importante lorsque les dimensions de composant diminuent continuellement.

La figure 4.10 montre la variation de la pente sous-seuil en fonction de la longueur du canal pour DMG-GC-DOT, DMG et DMG-DOT MOSFETs. Il est clair que la pente sous-seuil a été réduite pour le dispositif DMG-GC-DOT MOSFET par rapport au DMG-DOT MOSFET et DMG MOSFET.

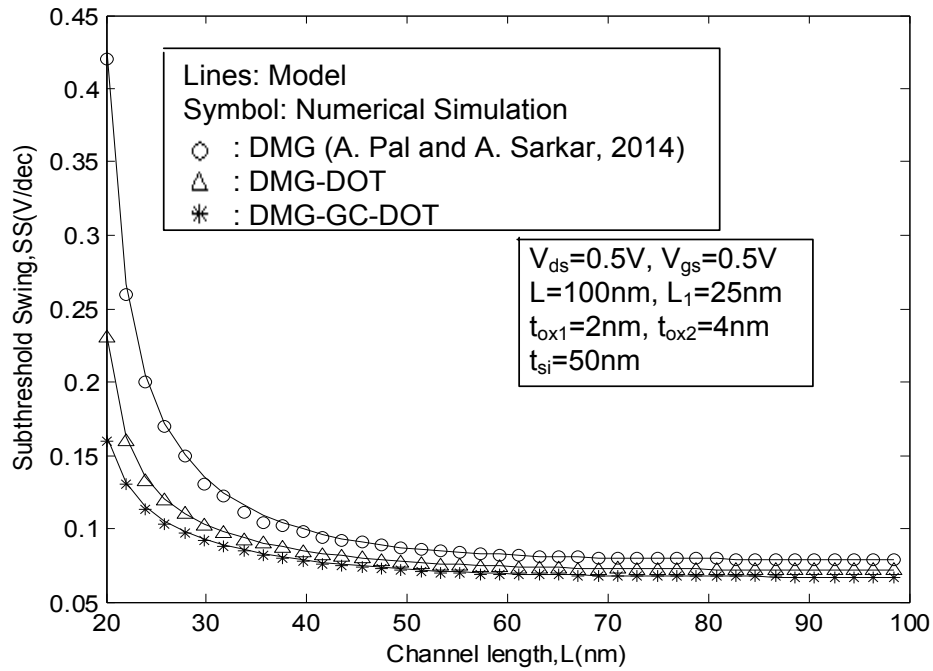


Figure 4.10 Pente sous le seuil (SS) par rapport à la longueur du canal (L) pour DMG-GC-DOT, DMG et DMG-DOT MOSFETs.

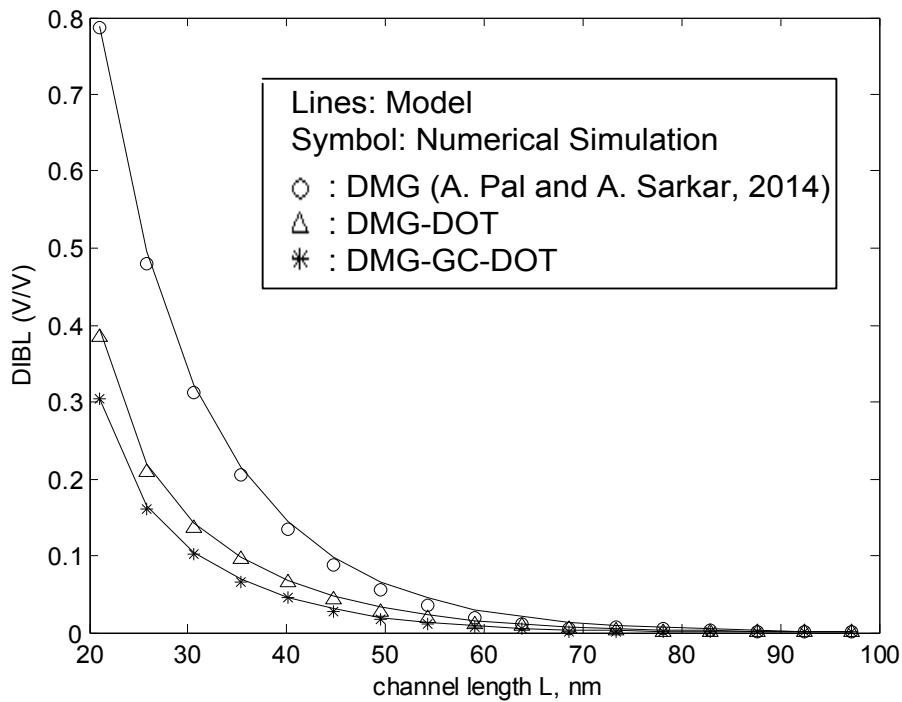


Figure 4.11 Variation de DIBL en Fonction de Longueur de Canal L pour DMG-GC-DOT, DMG-DOT et DMG MOSFETs

La figure 4.11 ci-dessous montre l'effet DIBL en fonction de la longueur pour DMG-GC-DOT, DMG et DMG-DOT MOSFETs. Le DIBL est un paramètre très important qui reflète l'effet de percement sur les canaux courts, il est obtenu en effectuant la différence entre la tension de seuil pour deux tensions de drain, une assez haute et l'autre très basse, il peut être exprimé par $\Delta V_{th} / \Delta V_{ds}$ où $\Delta V_{th} = V_{th} |_{V_{ds}=0} - V_{th} |_{V_{ds}=2}$ et $\Delta V_{ds} = 2V$. L'abaissement de la barrière induite par le drain est perceptible à moins de 40 nm et devient très important pour une longueur de 20 nm. Il y a alors l'impact de l'utilisation de deux couches d'oxyde sur la diminution du DIBL dans les canaux ultracourts et de ce fait, l'amélioration de la contrôlabilité de la grille.

La figure 4.12 montre la comparaison entre l'expression modélisée et la simulation TCAD de la variation du courant de drain sous-seuil (I_{ds}) en fonction du V_{gs} pour les structures DMG-GC-DOT, DMG-DOT et DMG MOSFETs avec $\mu_0 = 1076 \text{ cm}^2 / \text{V} - \text{S}$ et $v_{sat} = 10^7 \text{ cm/s}$. Elle indique que le DMG-GC-DOT MOSFET fournit un courant I_{ds} plus élevé que le DMG-DOT MOSFET et le DMG MOSFET. Cependant, il convient de mentionner qu'une augmentation du courant de drain sous-seuil provoque une augmentation du courant de fuite sous-seuil et une diminution de la pente sous-seuil, qui doit être minimisée pour les applications de dispositifs à très faible puissance.

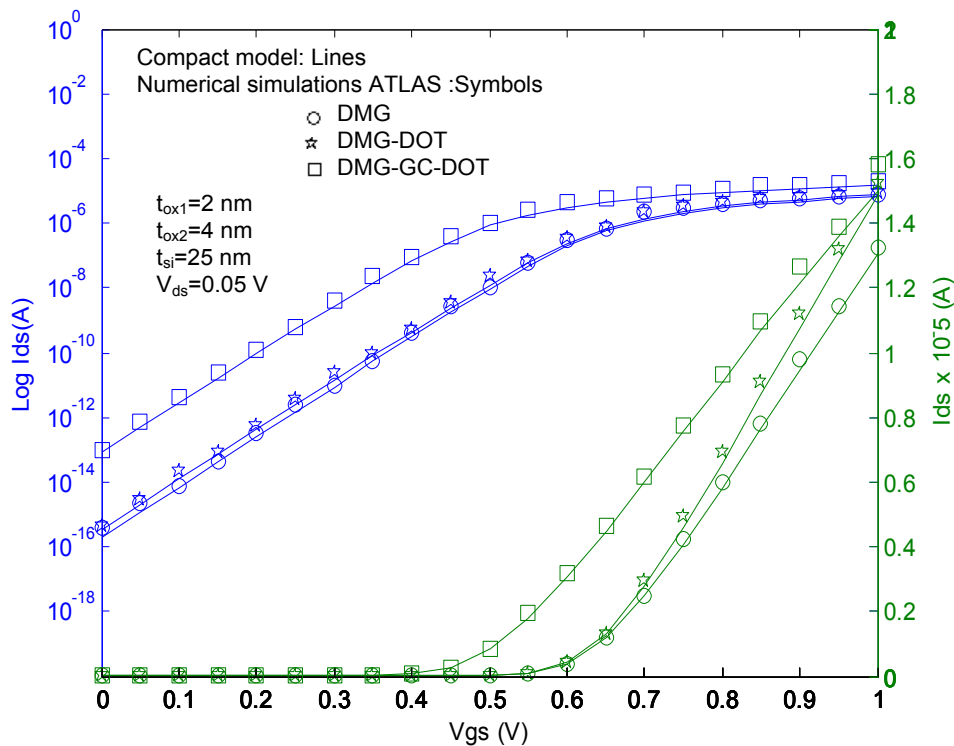


Figure 4.12 Courant de drain en fonction de la tension de grille du modèle DMG-GC-DOT SRG MOSFET, en comparaison avec DMG et DMG-DOT, en échelle linéaire et échelle logarithmique.

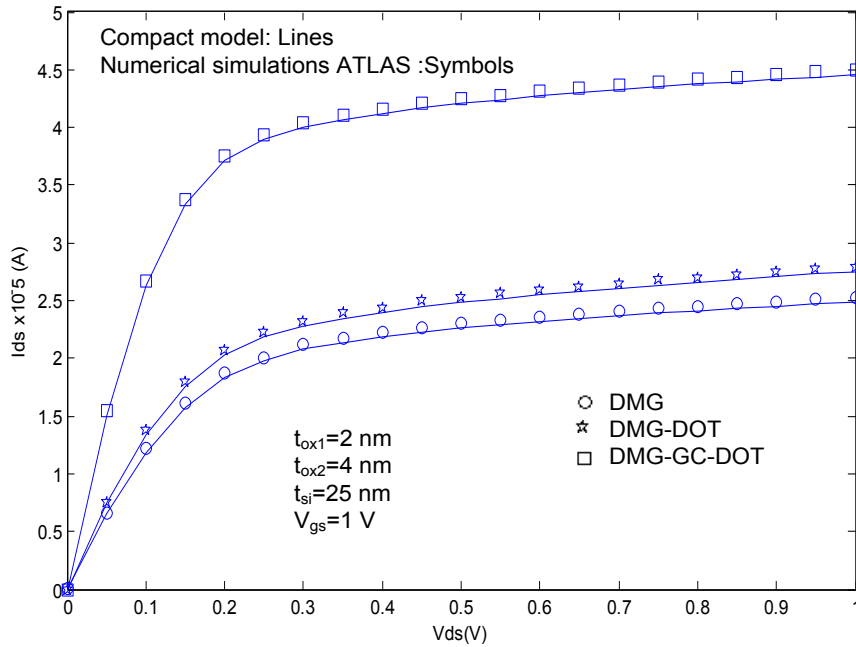


Figure 4.13 Courant de drain par rapport à la tension de drain du modèle DMG-GC-DOT CG MOSFET en comparaison avec DMG et DMG-DOT

La figure 4.13 montre la variation du courant de drain en fonction de la tension du drain à $V_{gs} = 1\text{ V}$. D'après la figure, on observe une augmentation du courant de drain pour l'architecture DMG-GC-DOT MOSFET par rapport aux dispositifs DMG MOSFET et DMG-DOT MOSFET.

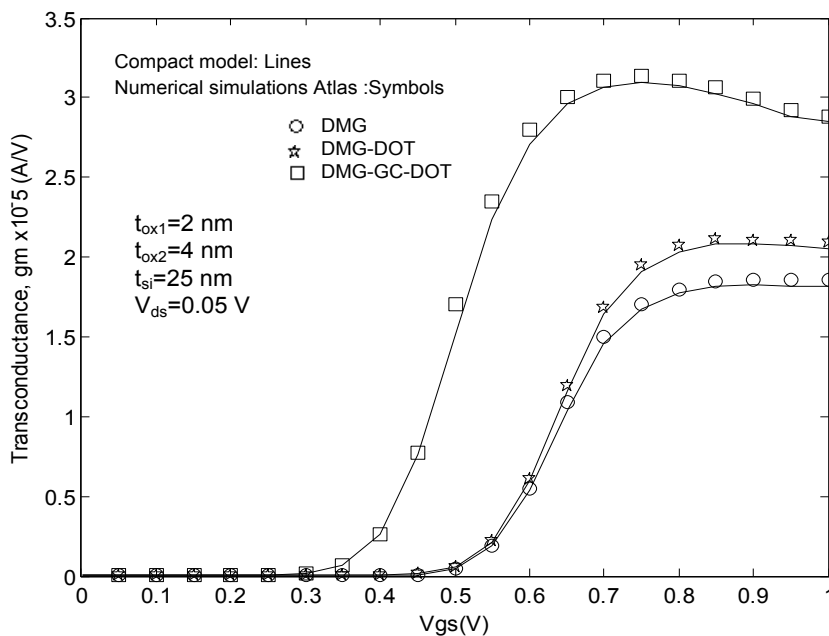


Figure 4.14 Transconductance en fonction de tension grille-source dans les structures MOSFET DMG-GC-DOT, DMG et DMG-DOT

La figure 4.14 montre les caractéristiques de transconductance en fonction de la tension de grille-source pour les structures DMG, DMG-DOT et DMG-GC-DOT. On voit que la transconductance est significativement plus grande dans le cas de la structure DMG-GC-DOT MOSFET indiquant que la grille a un meilleur contrôle sur la conductance dans la structure de DMG-GC-DOT MOSFET.

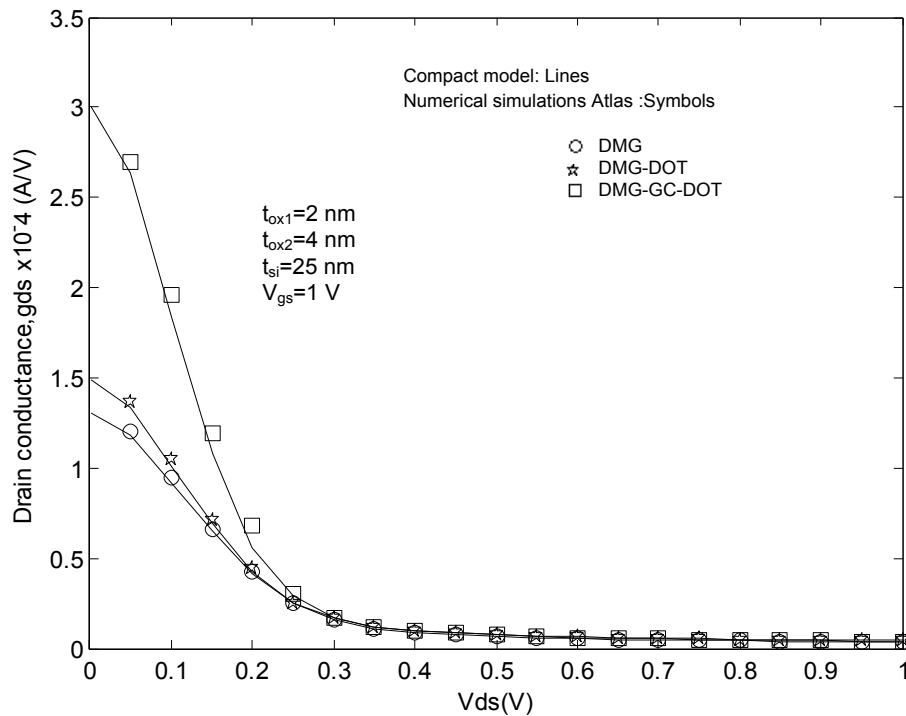


Figure 4.15 Conductance de drain en fonction de tension drain-source dans les structures de DMG-GC-DOT, DMG et DMG-DOT MOSFETs.

Sur la figure 4.15, la conductance du drain a été tracée en fonction de la tension de drain-source pour les structures de DMG, DMG-DOT et DMG-GC-DOT MOSFETs. On observe que la conductance du drain dans le cas de la structure du DMG-GC-DOT MOSFET est plus élevée que celle des structures DMG et DMG-DOT. Ceci est cohérent avec une capacité de commande de courant plus élevée de la structure DMG-GC-DOT MOSFET.

4 Effet des paramètres géométriques et électriques sur la structure DMG-GC-DOT MOSFET

Pour prédire avec précision les caractéristiques du DMG-GC-DOT, les effets de la variation des paramètres géométriques et électriques de notre MOSFET tels que l'épaisseur d'oxyde,

longueur de canal, le rayon du canal, la tension drain / source et la tension grille/ source sur la performance de la structure ont également été étudiés. Les paramètres de la structure sont indiqués dans le tableau 4.2 ci-dessous.

Paramètre	Valeur
Longueur de canal (L)	100 nm
Longueur de la région 1 (L_1)	25 nm
Epaisseur de film de silicium (t_{si})	20 nm
Epaisseur d'oxyde de la région 1 (t_{ox1})	2 nm
Epaisseur d'oxyde de la région 2 (t_{ox2})	4 nm
Tension drain/source (V_{ds})	0.5 V
Tension grille/source (V_{gs})	0.1 V
Concentration de dopage région 1 (N_H)	$3.10^{17} \text{ cm}^{-3}$
Concentration de dopage région 2 (N_L)	$4.10^{16} \text{ cm}^{-3}$
Fonction de travail M_1 (Φ_1)	4.8
Fonction de travail M_2 (Φ_2)	4.4

Tableau 4.2 Liste des valeurs des paramètres MOSFET DMG-GC-DOT utilisés dans la simulation

La figure 4.16 montre la variation du potentiel de surface pour différentes valeurs de L_1 en gardant la somme totale de longueur de grille constante. En conséquence, il existe un décalage dans le potentiel de surface, un changement d'étape du potentiel le long du canal à l'interface $M_1 - M_2$ donc il y a apparition d'un autre paramètre le DIBL. La grille perd son contrôle sur le canal.

Figure 4.17 montre la variation du potentiel de surface en fonction de la longueur du canal en Changeant V_{gs} et t_{si} , la diminution de la couche de silicium (diamètre du canal cylindrique) provoquant un potentiel de surface plat sur la région plus de canal qui indique un meilleur contrôle des charges du canal.

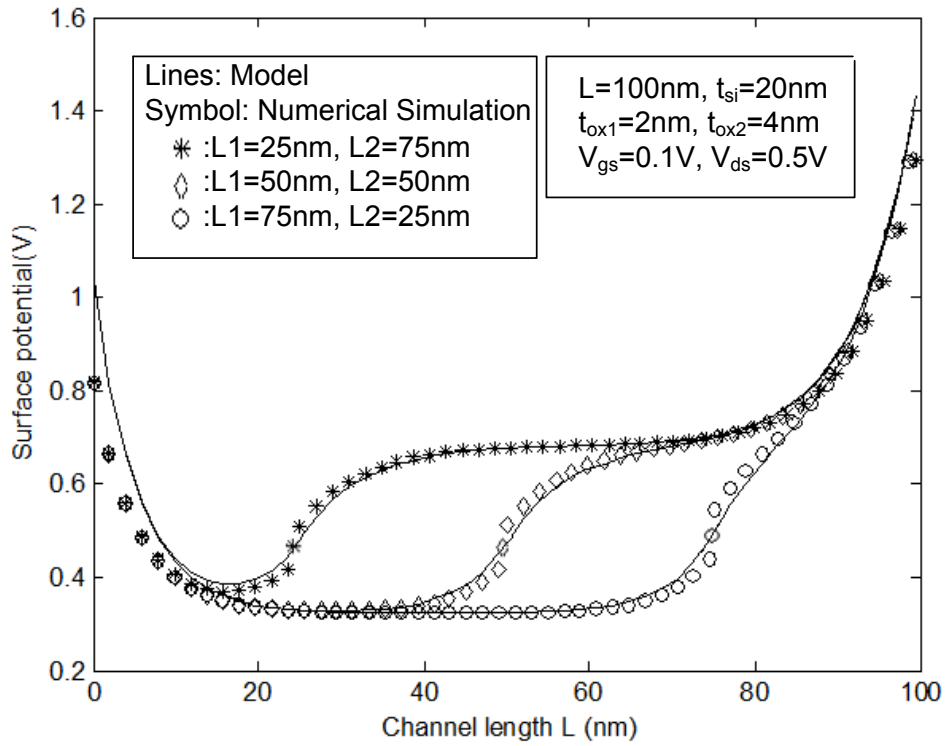


Figure 4.16 Variation de potentiel de surface pour des différentes valeurs de L_1

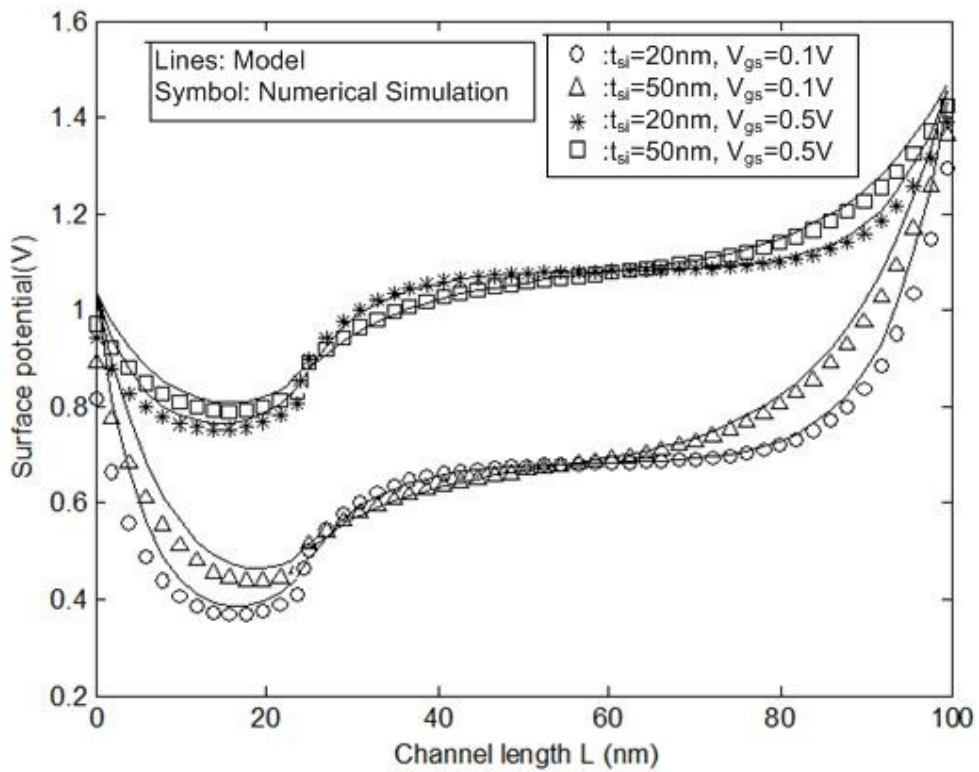


Figure 4.17 Variation du potentiel de surface en fonction de la position le long du canal pour deux V_{gs} et deux t_{si} avec $L_1 = 25$ nm et $L_2 = 75$ nm

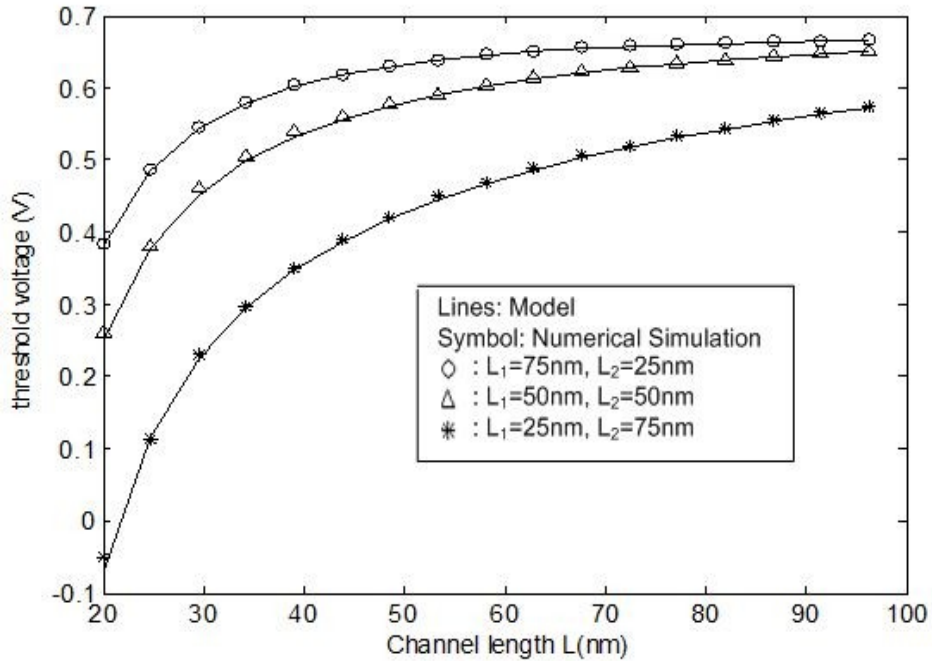


Figure 4.18 Effet du rapport de longueur de grille de L_1 à L_2 sur la tension de seuil

La figure 4.18 montre que le plus petit rapport de L_1 à L_2 dégrade la tension de seuil beaucoup plus que d'autres rapports. On peut conclure qu'un rapport plus grand entre la longueur de la grille de la région 1 et la longueur totale de la grille peut abaisser efficacement la barrière de potentiel du canal et améliorer l'immunité aux effets du canal court SCE.

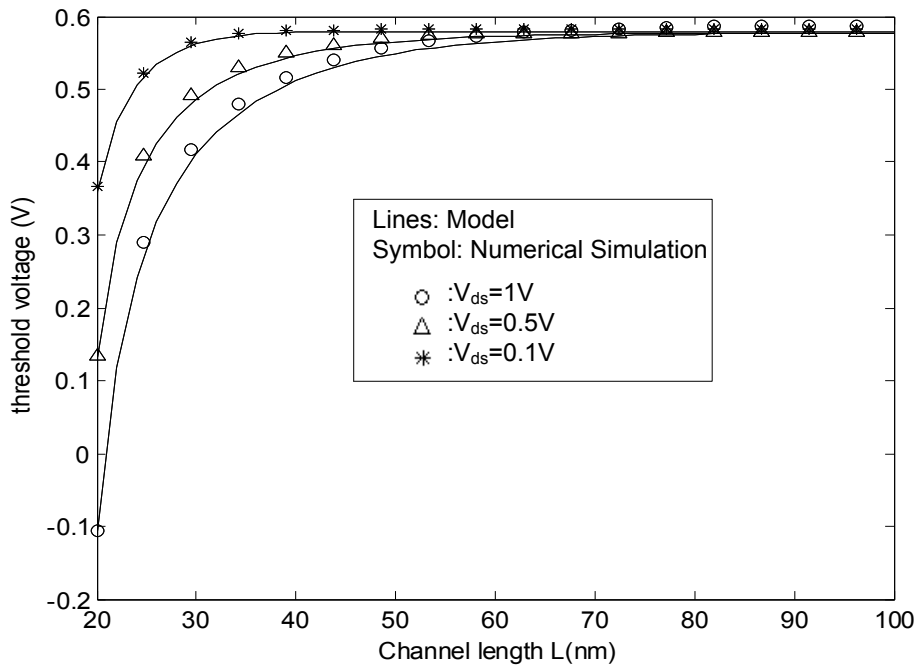


Figure 4.19 Variation de tension de seuil pour divers polarisation de drain

La figure 4.19 montre la variation de la tension de seuil pour diverses polarisations de la tension de drain. Néanmoins, il y a une diminution de la dégradation de la tension de seuil, relativement à la diminution de la valeur de la tension de drain. Ainsi, une réduction de V_{ds} est nécessaire pour obtenir une réduction des effets du canal court (SCE).

La figure 4.20 illustre la tension de seuil de DMG-GC-DOT en fonction de la longueur du canal avec différents épaisseur du canal de silicium. Un petit rayon du canal de silicium conduit à une augmentation de la tension de seuil.

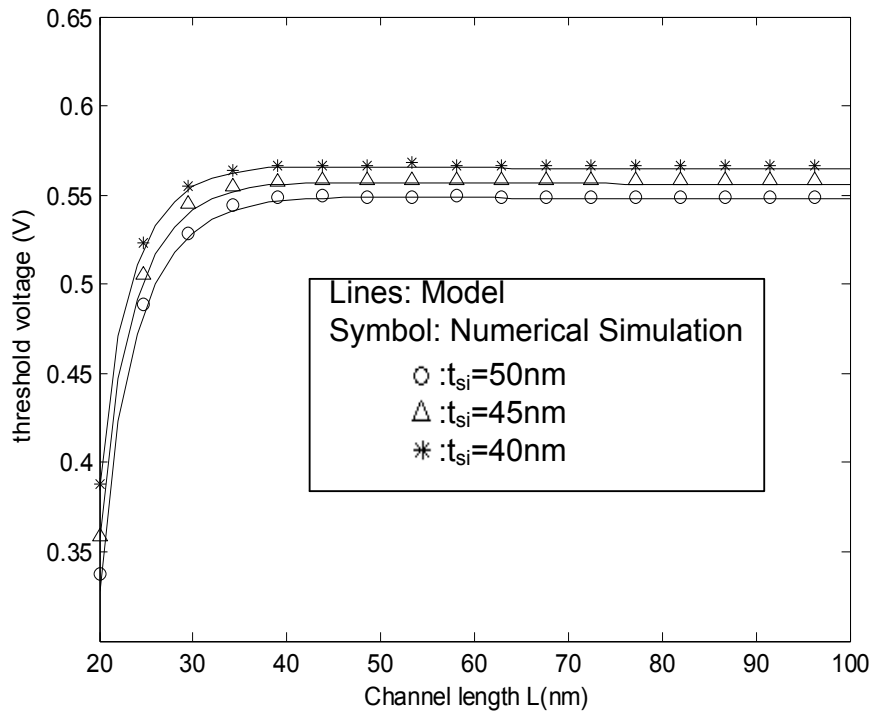


Figure 4.20 Tension de seuil en fonction de la longueur du canal pour différentes valeurs d'épaisseur de silicium

La figure 4.21 présente la pente sous-seuil en fonction de la longueur du canal pour différentes valeurs de l'épaisseur de canal. Il est clair l'impact du rayon de silicium sur la pente sous-seuil tel que la diminution de l'épaisseur de silicium provoque la diminution de la pente sous le seuil.

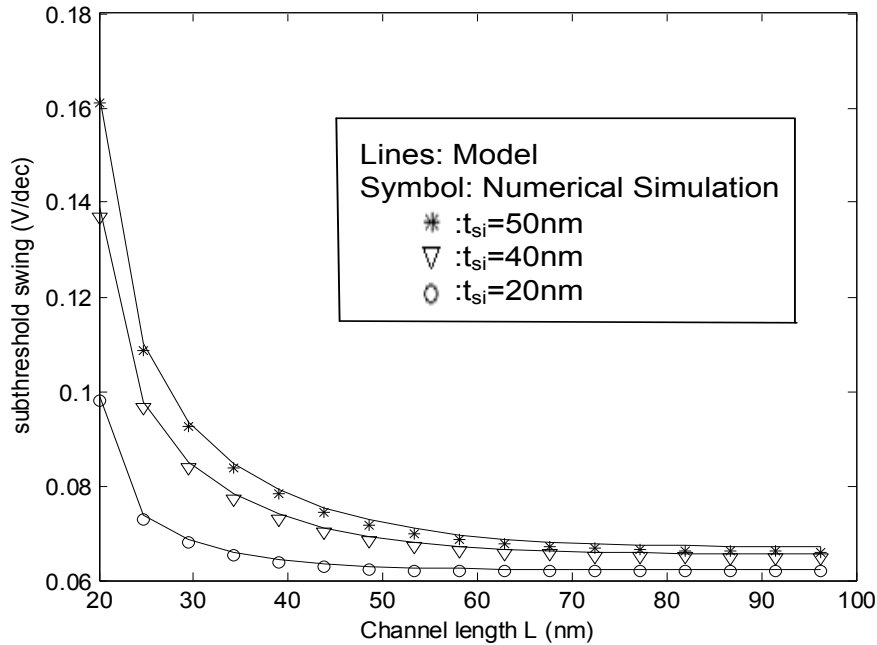


Figure 4.21 Pente sous-seuil par rapport à la longueur du canal pour différent épaisseur de silicium

Il ressort aussi de la figure 4.22 qu'une réduction du rayon du canal améliore non seulement les performances de la tension de seuil, mais améliore également les performances du DIBL considérées comme des SCEs majeurs. Un bon accord est observé entre notre modèle proposé et la simulation numérique.

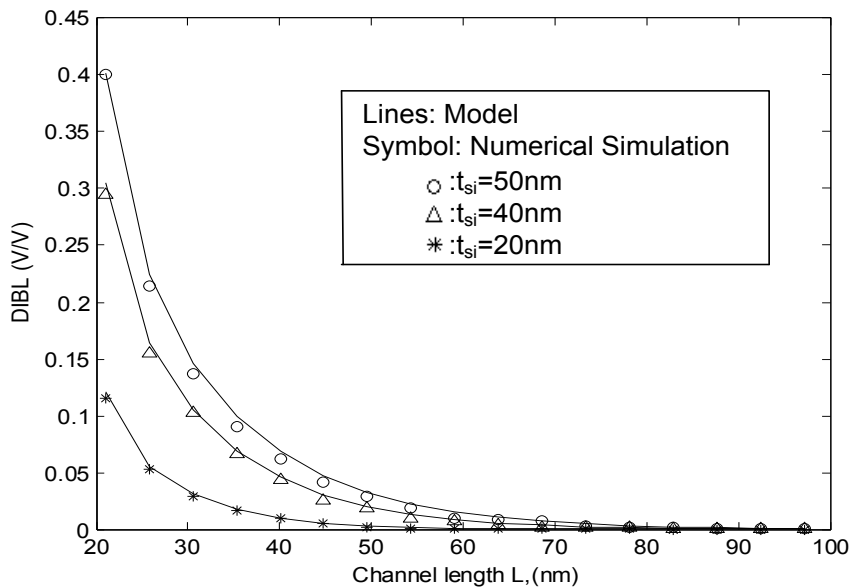


Figure 4.22 Variation de DIBL en fonction de la longueur de canal pour le DMG-GC-DOT MOSFET pour différents rayons de silicium avec $t_{ox1} = 2\text{nm}$ et $t_{ox2} = 4\text{nm}$

La figure 4.23 illustre la comparaison entre le modèle du courant de drain en fonction de la tension de grille et la simulation numérique(ATLAS) de notre structure DMG-GC-DOT. Pour $V_{gs}=0V$ à $1V$ avec $V_{ds}=0.05V$ et $1V$, le modèle analytique du courant de drain est en bon accord avec la simulation pour une longueur de canal de 100 nm pour les deux tensions de V_{ds} . Nous pouvons voir que le décalage de la tension de seuil dû à l'effet DIBL et au V_t Roll-off est bien inclus dans le modèle du courant de drain avec des paramètres d'ajustement considérés.

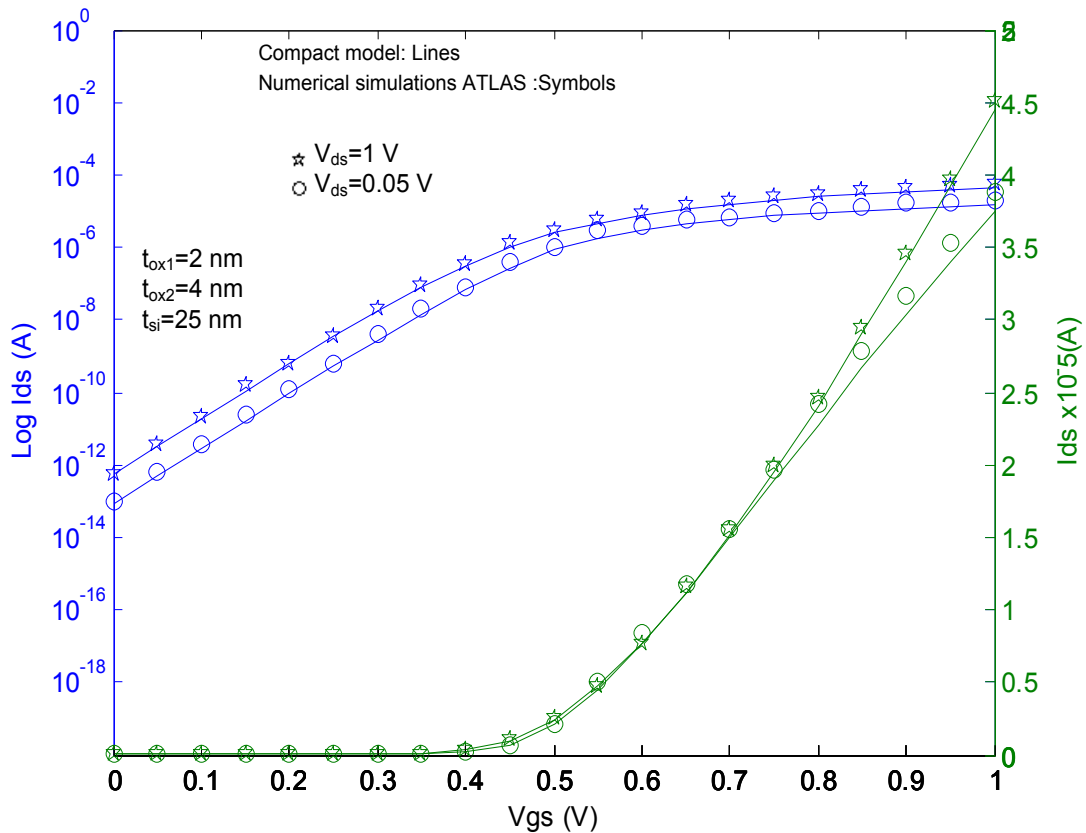


Figure 4.23 Courant de drain en fonction de la tension de grille du modèle DMG-GC-DOT CG MOSFET, en échelle linéaire et en échelle logarithmique. Modèle compact: lignes; simulations numériques: Symboles.

La figure 4.24 montre le modèle du courant de drain en fonction de la tension de drain comparé à la simulation numérique 3D pour $V_{gs} = 0.5V$, $1V$ et $1,5V$. Pour une tension de grille donnée, le courant de drain augmente et atteint sa valeur maximale. Les graphiques ainsi obtenus sont en bon accord avec les résultats simulés, confirmant ainsi la validité de notre modèle.

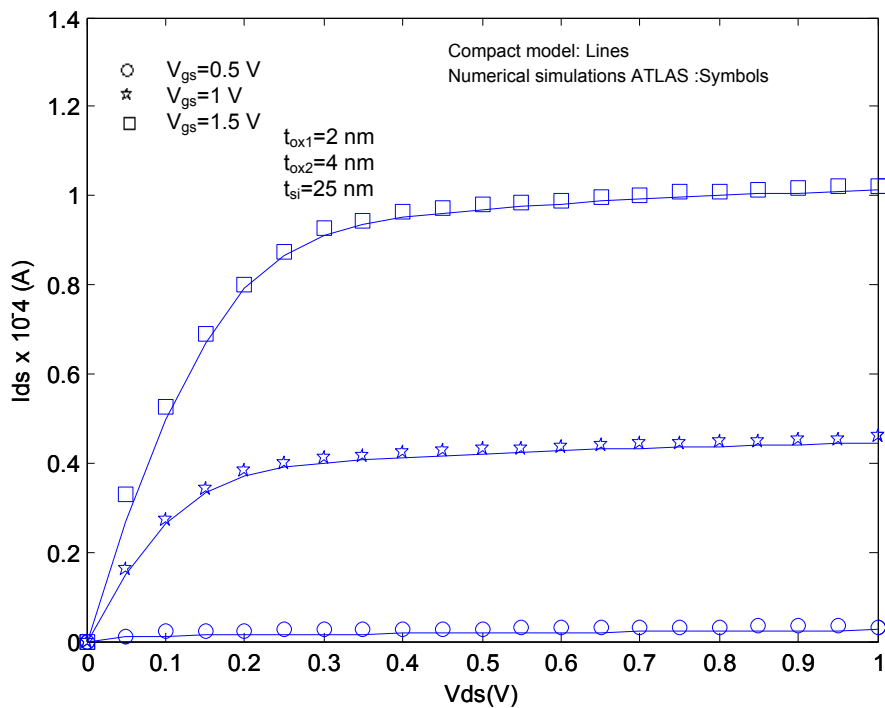


Figure 4.24 Courant de drain par rapport à la tension de drain du modèle DMG-GC-DOT CG MOSFET. Modèle compact: lignes; simulations numériques: Symboles.

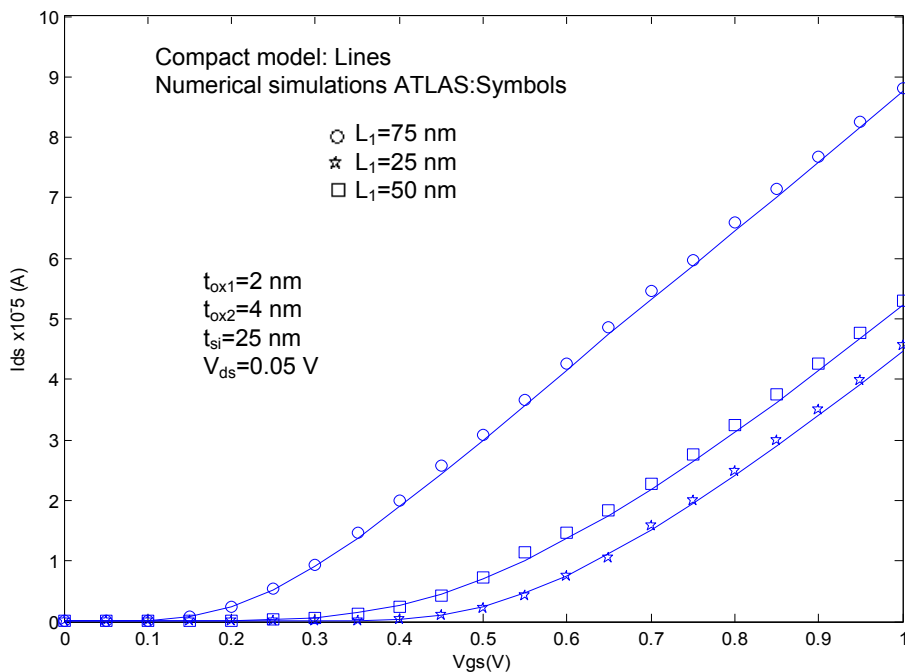


Figure 4.25 Courant de drain en fonction de la tension de drain du modèle DMG-GC-DOT CG MOSFET pour différentes valeurs de L_1

La Figure 4.25 correspond à la caractéristique du courant de drain du transistor DMG-GC-DOT CG MOSFET tracée pour différentes longueurs L_1 de la région 1. On peut voir que le transistor DMG-GC-DOT MOSFET avec une grande valeur de L_1 peut avoir un grand courant sous le seuil par rapport à ceux avec un petit L_1 , cela signifie que la barrière potentielle du canal est inférieure quand L_1 est petit.

La figure 4.26 montre la variation du courant de drain en fonction de la tension grille-source à différentes fonction de travail de la région 1, $\phi_1 = 4.5, 4.7$ et 4.9 avec $\phi_2 = 4$ et $V_{ds} = 0.05 V$. On peut voir que lorsque ϕ_1 augmente, le courant de drain diminue.

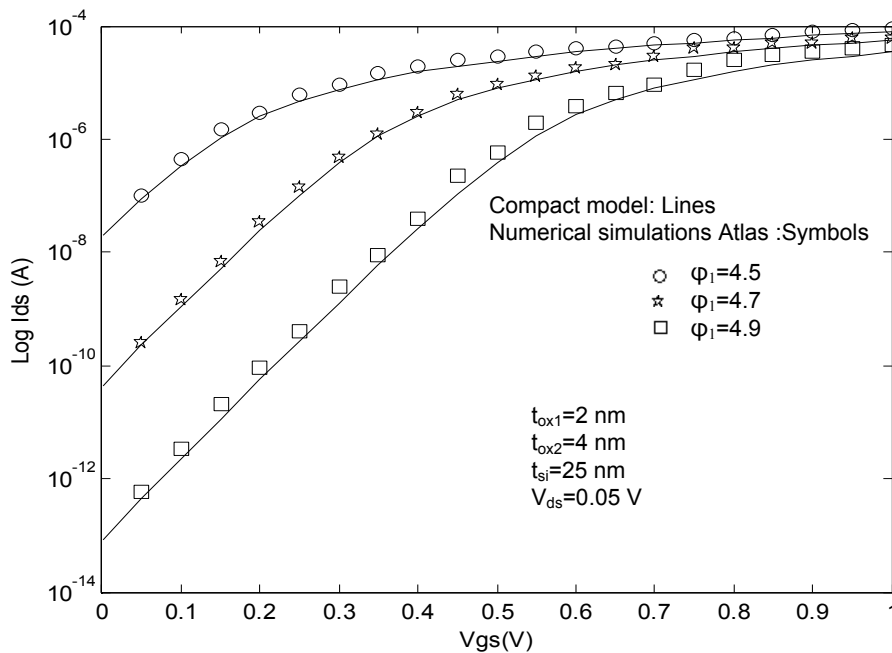


Figure 4.26 Courant de drain en fonction de tension grille-source pour différentes valeurs de fonction de travail dans la structure DMG-GC-DOT CG MOSFET.

La figure 4.27 montre une variation raisonnable de la transconductance g_m en fonction de la tension grille-source V_{gs} pour $V_{ds} = 0.05 V$ et $1V$. Le résultat est comparé avec la simulation numérique avec un bon accord.

La figure 4.28 illustre également la conductance du drain g_{ds} en fonction de la tension de drain V_{ds} pour différentes valeurs de $V_{gs} = 0.5 V, 1V$ et $1,5V$. Un bon accord entre les résultats analytiques et simulés ce qui valide le modèle.

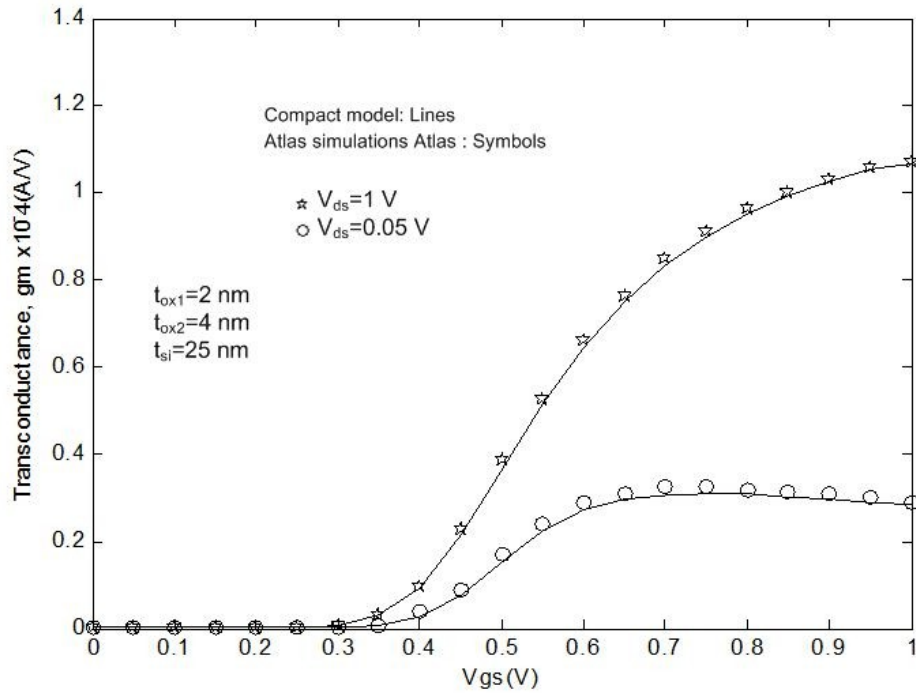


Figure 4.27 Transconductance en fonction de la tension grille-source pour différentes valeurs de V_{ds} dans la structure de DMG-GC-DOT CG MOSFET.

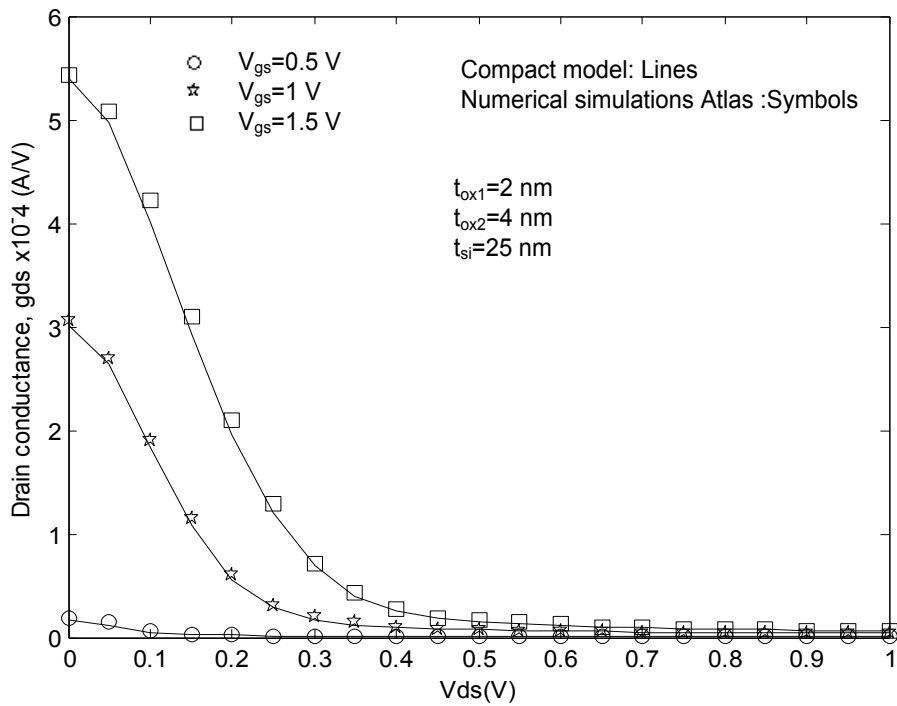


Figure 4.28 Conductance du drain en fonction de la tension drain-source pour différents V_{gs} dans la structure DMG-GC-DOT CG MOSFET.

5 Utilisation de deux couches d'oxyde de permittivité différentes des DMG-GC-DOT CG MOSFET

Pour réduire d'avantage les effets de canal court sur DMG-GC-DOT CG MOSFET, nous avons opté à remplacer la couche d'oxyde d'épaisseur t_{ox1} par un oxyde de haute permittivité (High-k) et garder la couche d'oxyde d'épaisseur t_{ox2} de permittivité du SiO₂, cela nous donne un nouveau transistor DMG-GC-DOT2 MOSFET figure 4.29-(b). Ce dispositif est également comparé avec le DMG-GC-DOT1 (figure 4.29-(a)).

En raison de l'épaisseur décroissante d'oxyde de grille, le problème du courant de fuite à travers la grille augmente. Pour réduire ce courant, le high-k diélectrique de grille est une alternative à la place du diélectrique SiO₂.

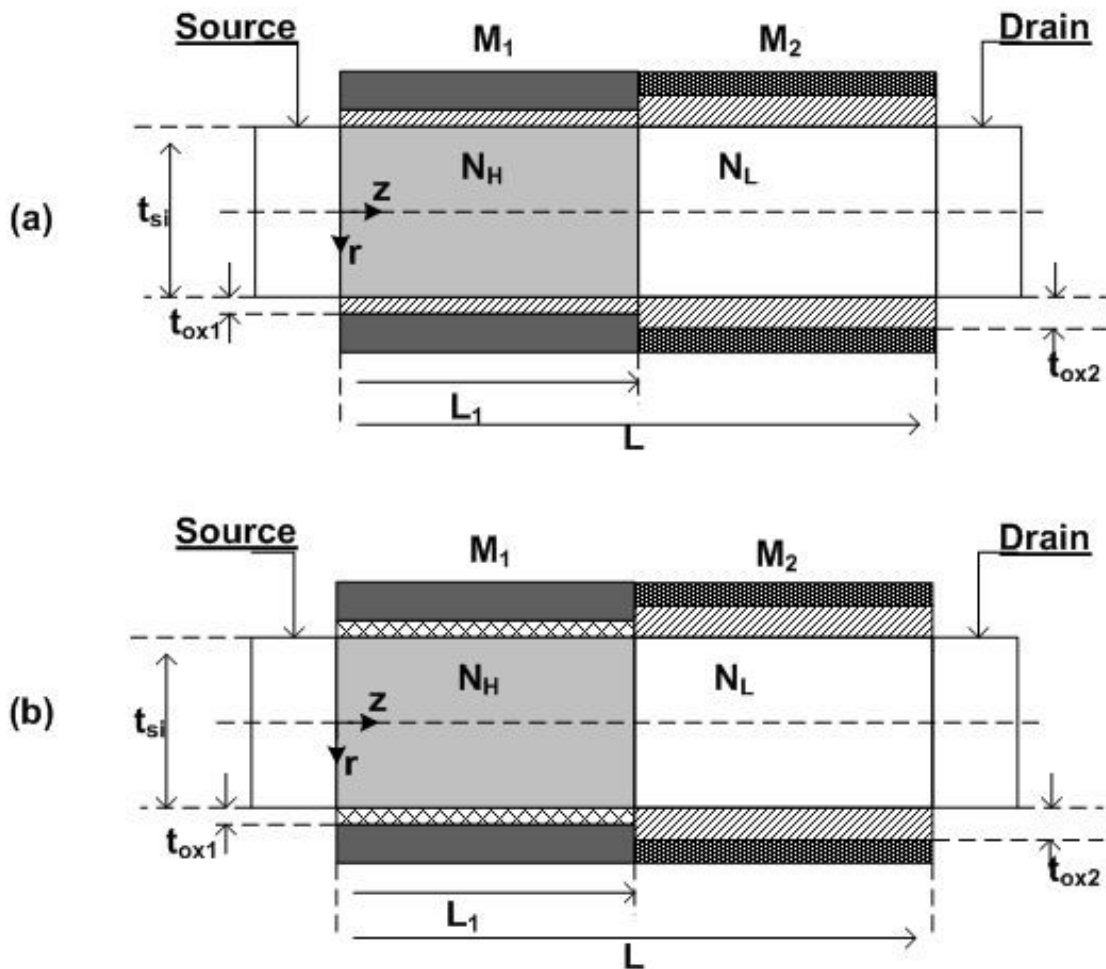


Figure 4.29 Vues en coupe transversale de la structure CG MOSFET (a) (DMG-GC-DOT1), (b) (DMG-GC-DOT2)

Dans l'architecture de double oxyde de grille, le matériel avec la constante diélectrique élevée est présenté dans la couche mince d'oxyde du côté de la source pour augmenter l'épaisseur efficace et diminuer l'épaisseur physique de la couche d'oxyde réduisant de ce fait le courant de fuite de grille.

La figure 4.30 montre l'évolution du potentiel de surface pour DMG-GC-DOT1 et DMG-GC-DOT2 MOSFET le long du canal. On peut voir que l'incorporation de deux épaisseurs d'oxyde avec différentes constantes diélectriques dans le transistor DMG-GC-DOT2 MOSFET introduit une augmentation de la barrière de potentiel.

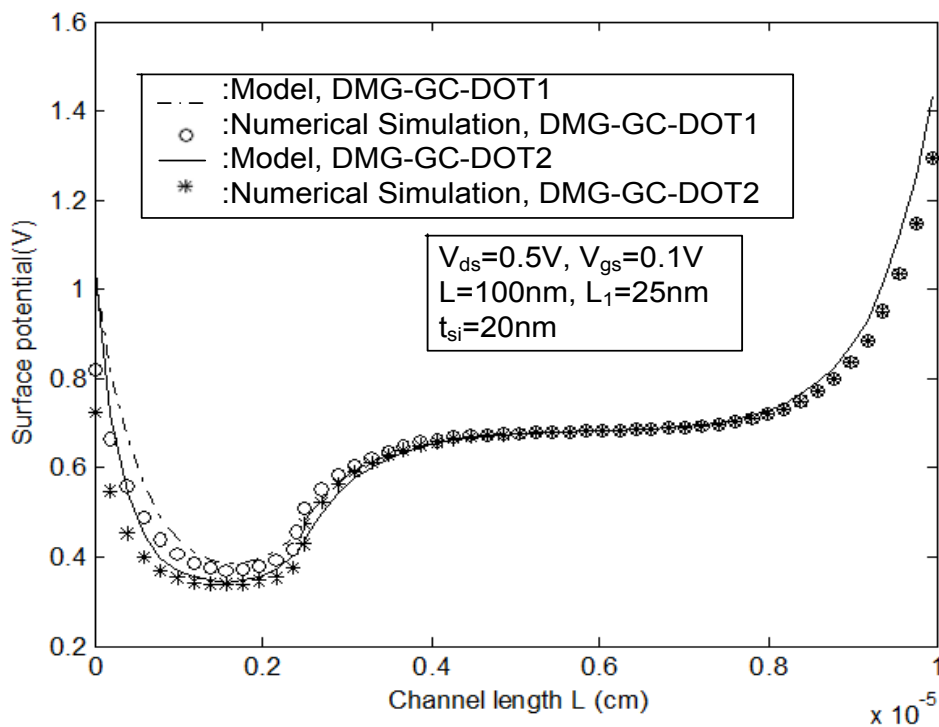


Figure 4.30 Potentiel de surface le long du canal pour DMG-GC-DOT1 MOSFET et DMG-GC-DOT2 MOSFET.

La figure 4.31 montre la variation du champ électrique pour les deux structures de DMG-GC-DOT1 et DMG-GC-DOT2 MOSFETs. La figure révèle une augmentation du champ électrique latéral dans le canal situé sous l'interface de deux matériaux de grille provoque une augmentation de l'efficacité du transport de la porteurs.

La figure 4.32 illustre la variation du décalage de tension de seuil en fonction de la longueur du canal pour les structures DMG-GC-DOT1 et DMG-GC-DOT2 MOSFETs. Le DMG-GC-DOT2 MOSFET fournit une efficacité supérieure à celle de DMG-GC-DOT1 MOSFET.

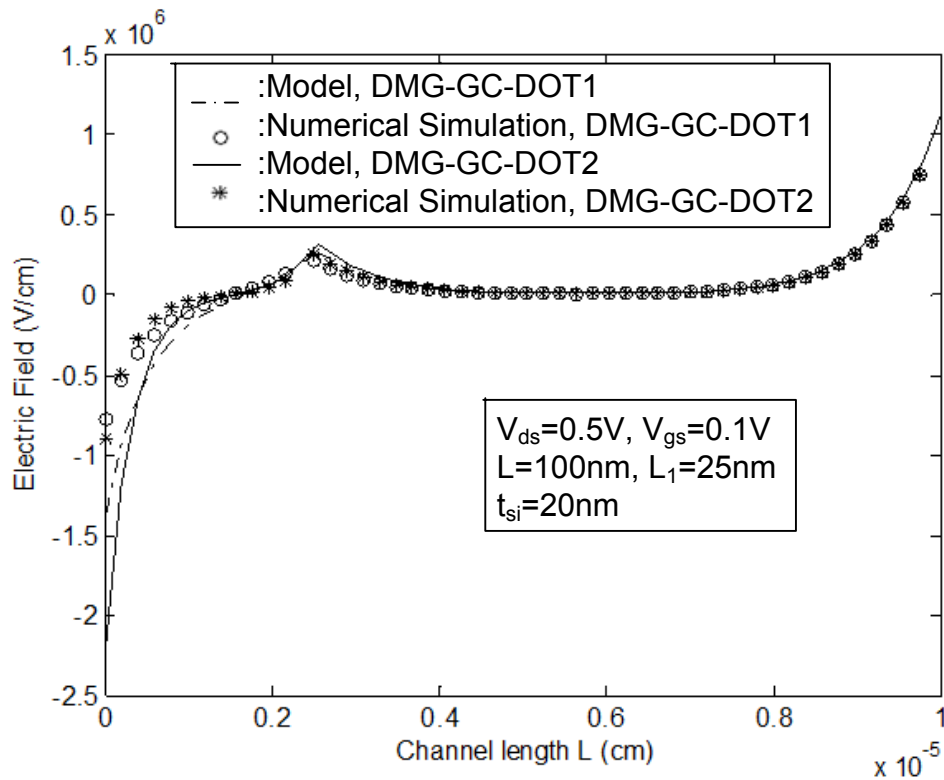


Figure 4.31 Variation du champ électrique en fonction de la longueur du canal pour DMG-GC-DOT1 et DMG-GC-DOT2 avec $V_{gs} = 0,1$ V et $V_{ds} = 0,5$ V.

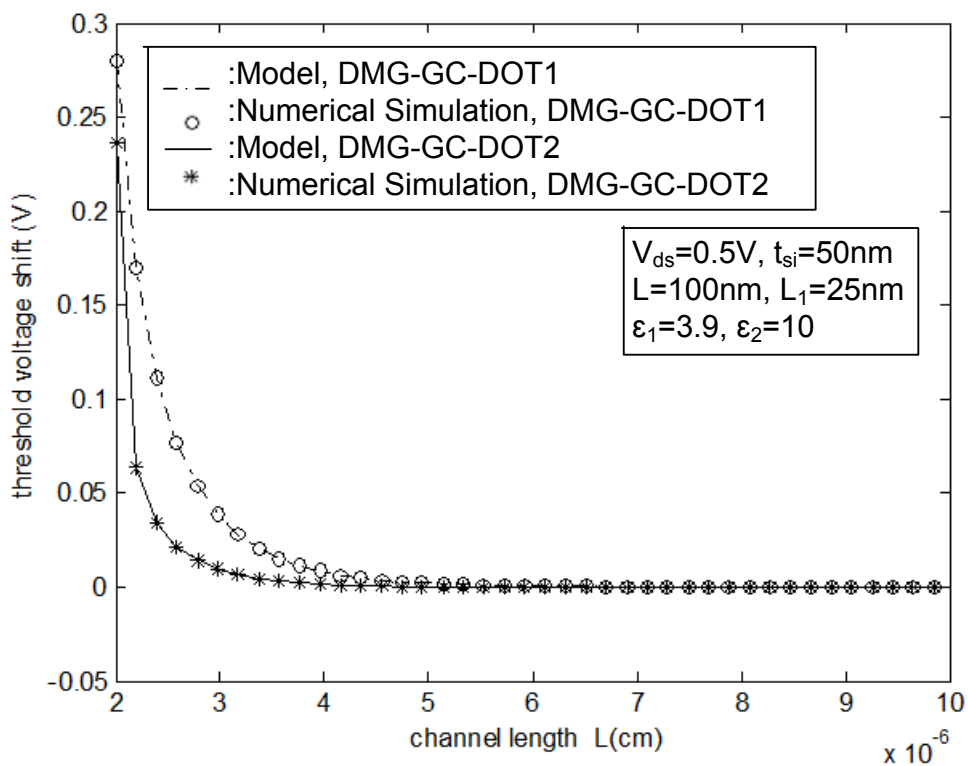


Figure 4.32 Variation de tension de seuil en fonction de la longueur du canal pour le DMG-GC-DOT1 MOSFET et DMG-GC-DOT2 MOSFET

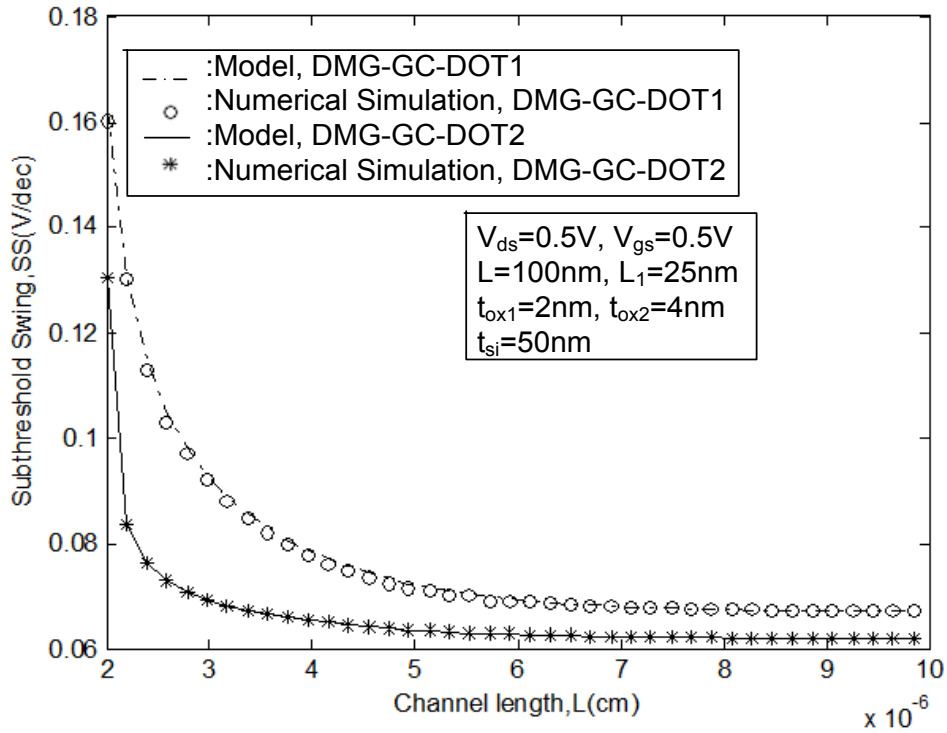


Figure 4.33 Pente sous le seuil (SS) en fonction de la longueur du canal (L) pour DMG-GC-DOT1 MOSFET et DMG-GC-DOT2 MOSFET.

La figure 4.33 montre la variation de la pente sous-seuil en fonction de la longueur du canal pour DMG-GC-DOT1 MOSFET et DMG-GC-DOT2 MOSFET. On peut voir que la pente sous-seuil est réduite pour le dispositif DMG-GC-DOT2 MOSFET que pour le DMG-GC-DOT1 MOSFET.

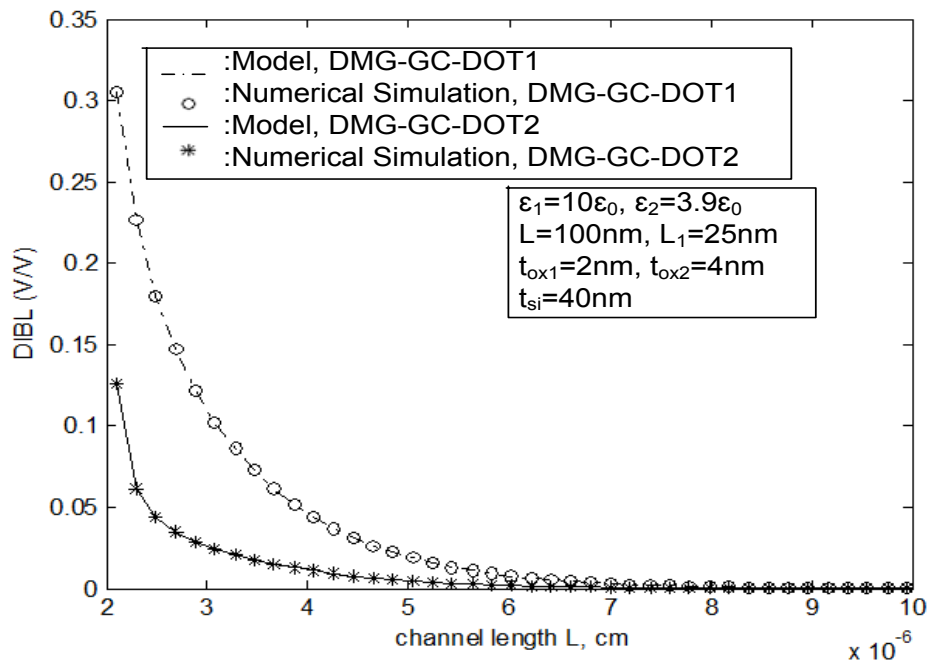


Figure 4.34 Variations DIBL en fonction de la longueur du canal pour le DMG-GC-DOT1 MOSFET et le DMG-GC-DOT2 MOSFET

La figure 4.34 montre la variation de l'effet DIBL pour le DMG-GC-DOT1 MOSFET et du MOSFET DMG-GC-DOT2 par rapport à la longueur du canal. Il ressort de la figure qu'en raison des effets conjoints de l'épaisseur d'oxyde double avec une constante diélectrique différente, le DMG-GC-DOT2 MOSFET présente une meilleure suppression du DIBL que le DMG-GC-DOT1 MOSFET.

La figure 4.35 montre une comparaison entre les caractéristiques de la transconductance en fonction de la tension grille-source pour les modèles DMG-GC-DOT1 et DMG-GC-DOT2 (ϵ_1 et ϵ_2). Les résultats montrent que la structure DMG-GC-DOT2 MOSFET fournit une transconductance plus grande que la structure DMG-GC-DOT1 MOSFET lorsqu'on augmente V_{gs} .

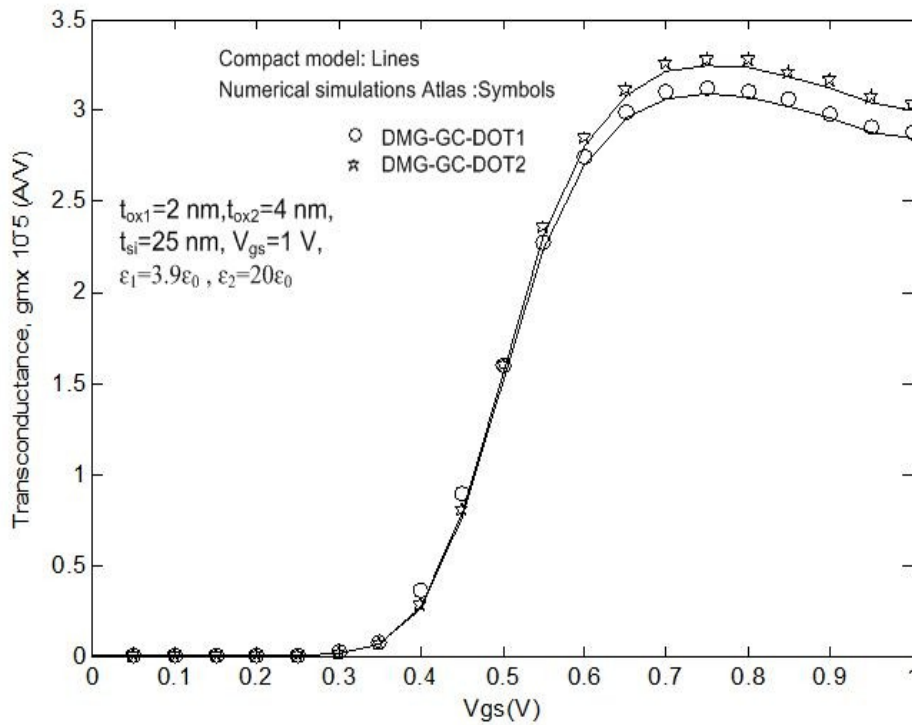


Figure 4.35 Comparaison entre DMG-GC-DOT1 MOSFET et structure DMG-GC-DOT2 MOSFET pour la transconductance.

La variation de la conductance du drain a été tracée sur la figure 4.36 en fonction de la tension drain-source V_{ds} pour les deux structures DMG-GC-DOT1 MOSFET et DMG-GC-DOT2 MOSFET. On peut analyser qu'une très légère différence est observée entre les deux structures DMG-GC-DOT2 MOSFET et DMG-GC-DOT1 MOSFET pour des tensions V_{ds} petites.

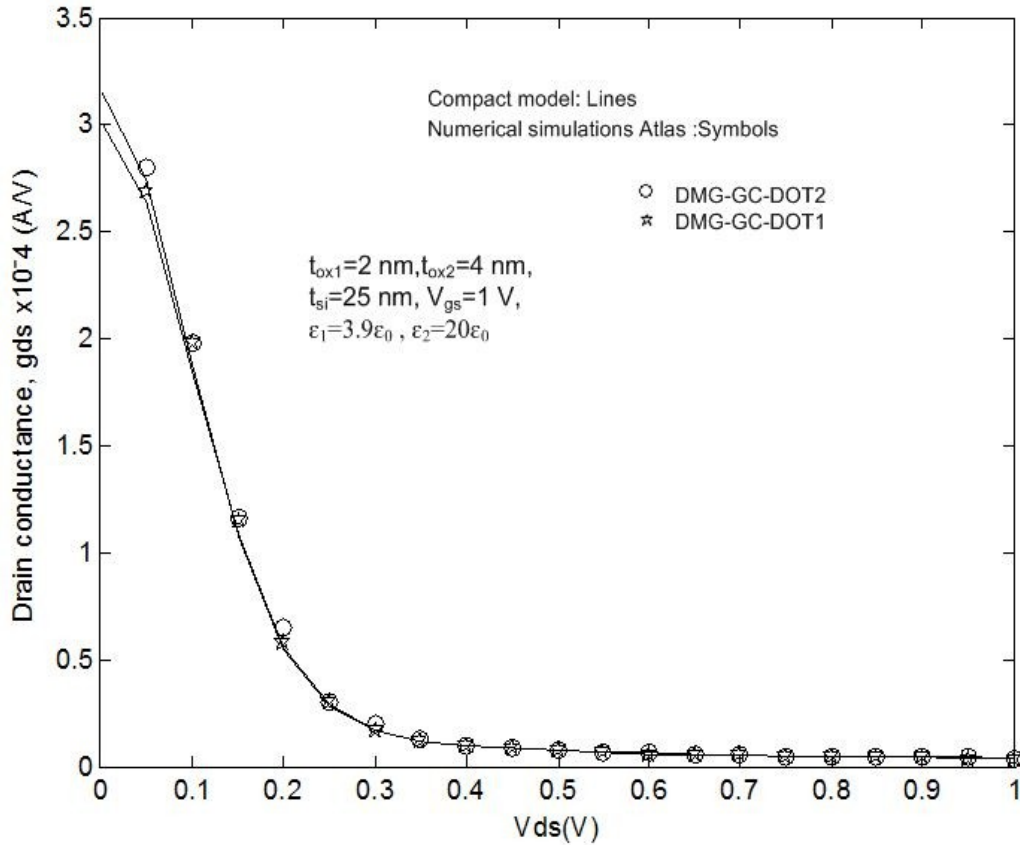


Figure 4.36 Comparaison entre DMG-GC-DOT1 MOSFET et la structure DMG-GC-DOT2 MOSFET pour la conductance du drain.

✚ Effets de paramètres géométriques et électriques sur cette nouvelle structure

La figure 4.37 montre la variation du potentiel de surface le long du canal pour le transistor (DMG-GC-DOT2) CG MOSFET pour $L = 100 \text{ nm}$. On peut voir que l'incorporation de la conception de deux constants diélectriques d'oxyde dans DMG-GC-DOT2 introduit une augmentation de la barrière de potentiel avec l'augmentation de la permittivité diélectrique de la couche 1 (ϵ_1).

La figure 4.38 révèle que la barrière de potentiel est diminuée lorsque l'épaisseur de la couche 1 (t_{ox1}) est augmentée. Le décalage du profil de potentiel filtre la région proche de l'extrémité source des variations de la tension de drain et assure ainsi une réduction de la tension de seuil.

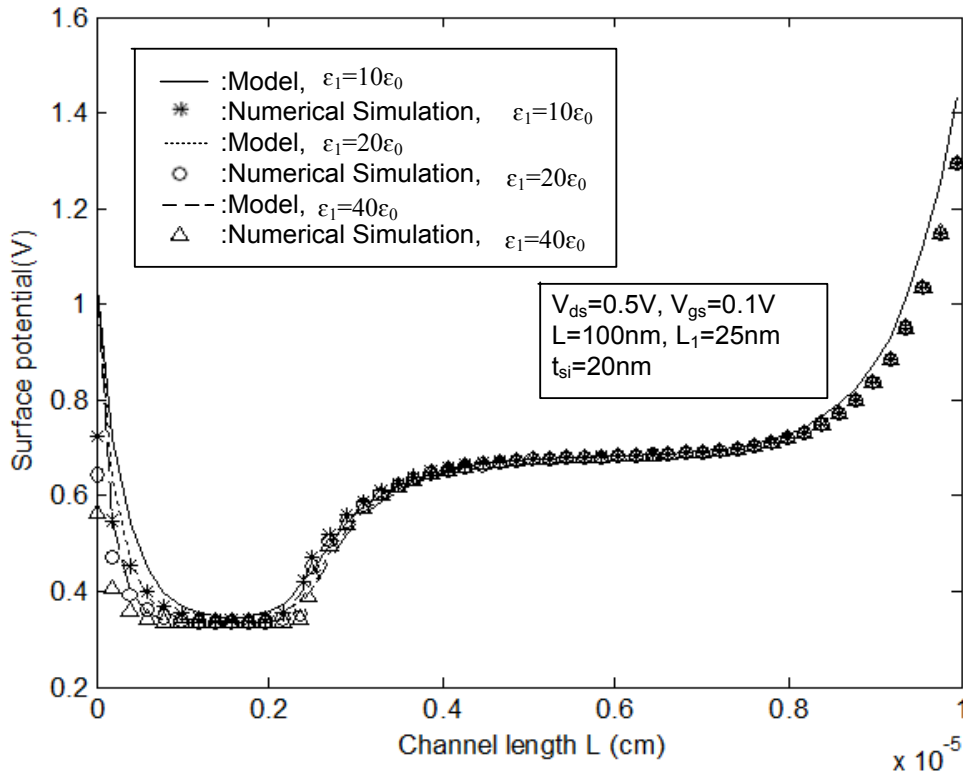


Figure 4.37 Variation du potentiel de surface le long du canal pour un MOSFET de 100 nm (DMG-GC-DOT2) en fonction de la permittivité diélectrique différente de t_{ox1} .

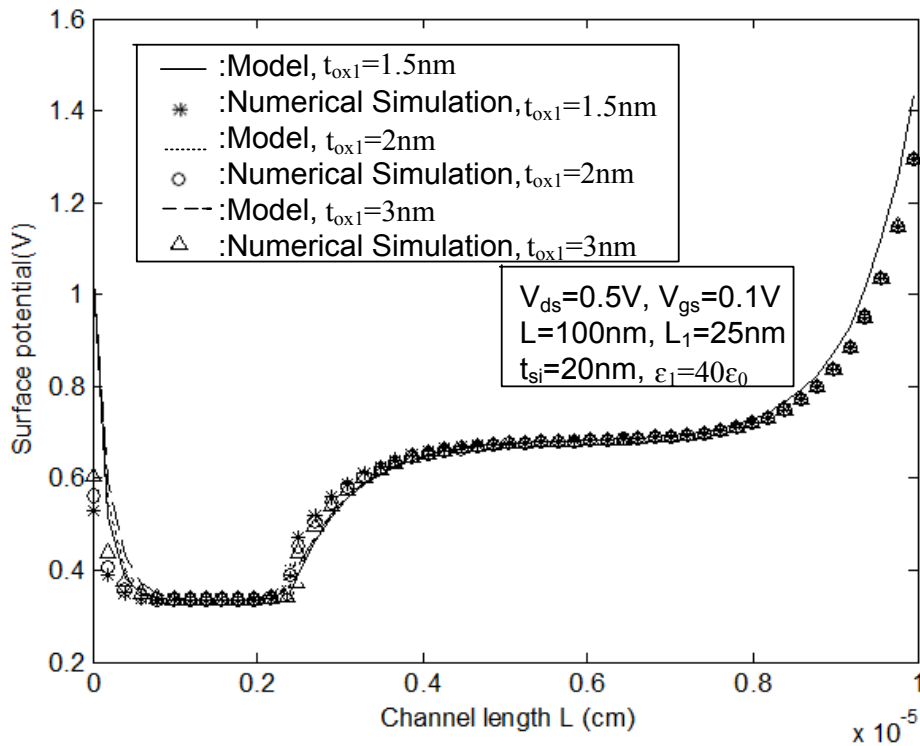


Figure 4.38 Variation du potentiel de surface le long du canal pour le DMG-GC-DOT2 MOSFET pour différente valeur de l'épaisseur t_{ox1} .

Sur la figure 4.39, nous montrons la variation du décalage de tension de seuil (ΔV_{th}) en fonction de la longueur du canal pour le DMG-GC-DOT2 MOSFET. On remarque que l'augmentation de la permittivité ϵ_1 de la couche d'oxyde (High-K) entraîne une diminution de la variation de la tension de seuil ΔV_{th} pour des faibles longueurs du canal.

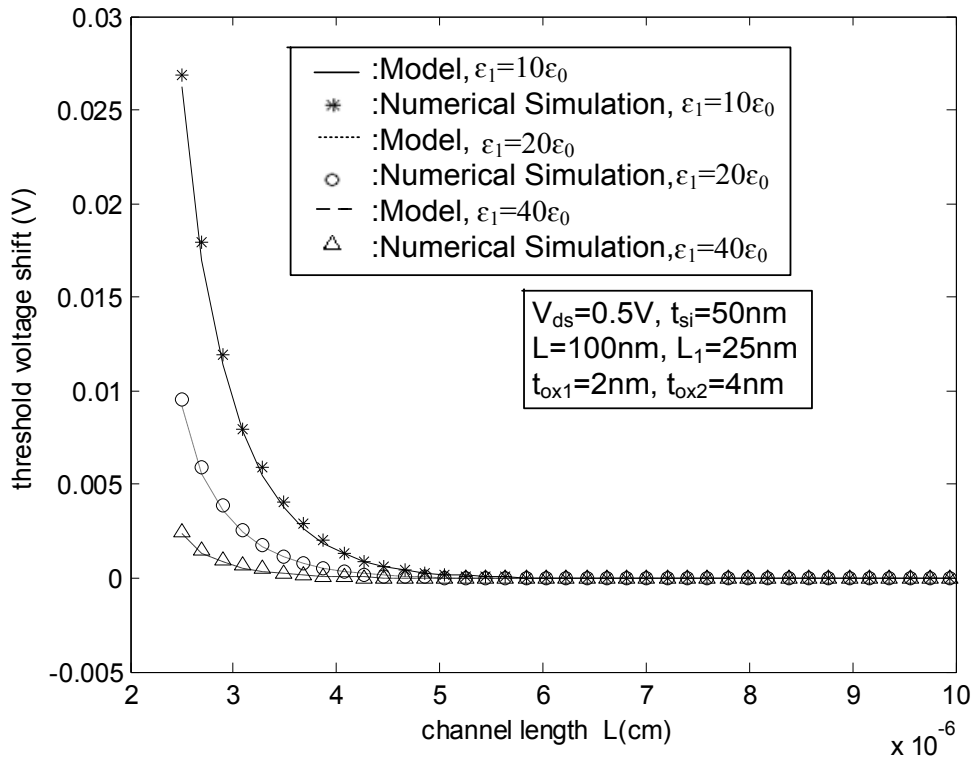


Figure 4.39 Décalage de la tension seuil en fonction de la longueur du canal pour le DMG-GC-DOT2 MOSFET avec une permittivité diélectrique différente (ϵ_1)

La figure 4.40 montre la variation de la pente sous-seuil en fonction de la longueur du canal pour DMG-GC-DOT2. Il est clair que la pente sous-seuil est réduite pour le dispositif DMG-GC-DOT2 lorsque la permittivité diélectrique (ϵ_1) de la couche high-k est augmentée.

La figure 4.41 montre la variation du DIBL du DMG-GC-DOT2 MOSFET en fonction de la longueur du canal. On peut montrer que le DIBL avec $t_{ox1}=1.5nm$ est le plus bas pour la conception (DMG-GC-DOT2) SG MOSFET par rapport à d'autres t_{ox1} ce qui indique le fait que l'incorporation d'une faible épaisseur d'oxyde avec une constante diélectrique élevée (high-k) conduit à une diminution des effets de canaux courts.

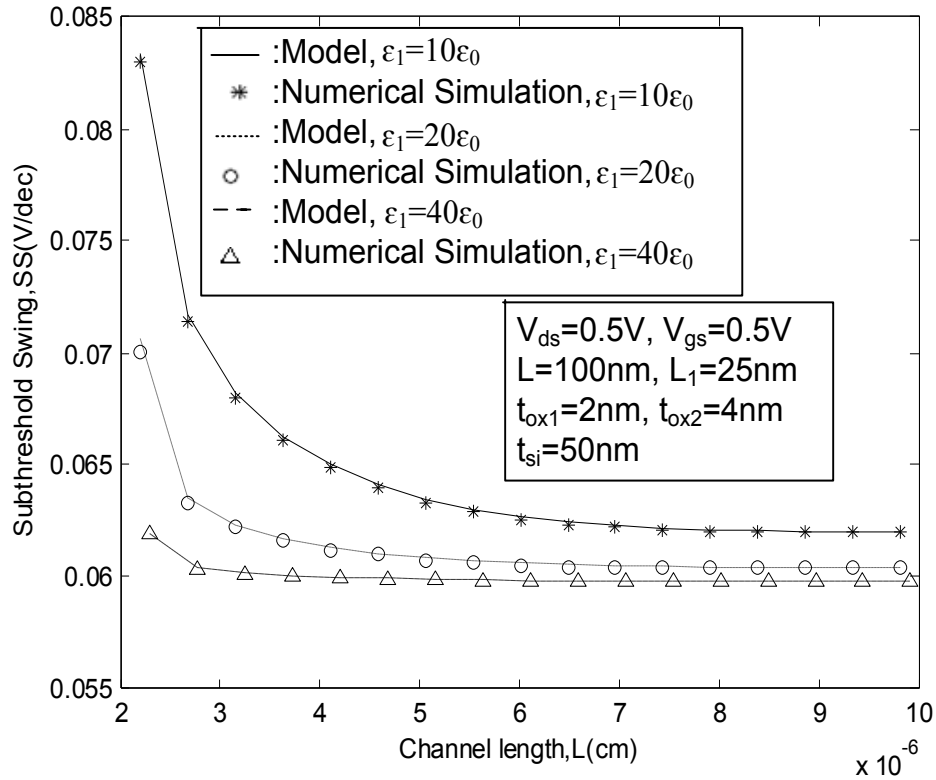


Figure 4.40 Pente sous le seuil (SS) en fonction de la longueur du canal (L) pour DMG-GC-DOT avec une permittivité diélectrique différente (ϵ_1).

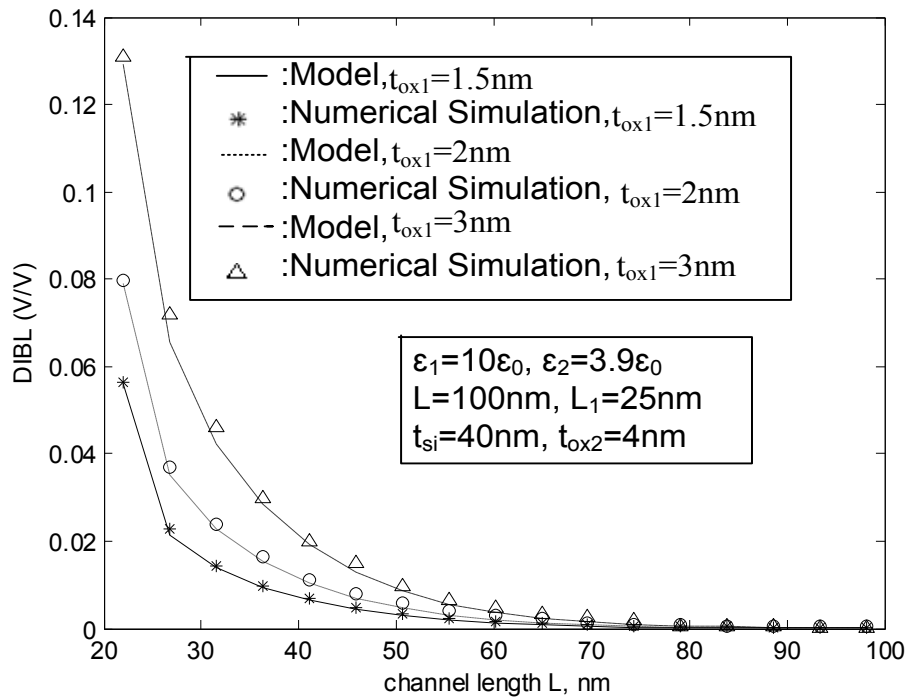


Figure 4.41 Variations de DIBL en fonction de la longueur du canal pour le DMG-GC-DOT MOSFET avec différent épaisseur t_{ox1} .

La figure 4.42 montre la variation du courant de drain par rapport au V_{gs} pour DMG-GC-DOT2 MOSFET, DMG-DOT MOSFET et DMG MOSFET, l'utilisation de deux épaisseurs d'oxyde avec différentes permittivité ϵ_1 et ϵ_2 entraîne une diminution des effets canaux courts de DMG-GC-DOT2 MOSFET en comparaison avec les autres structures.

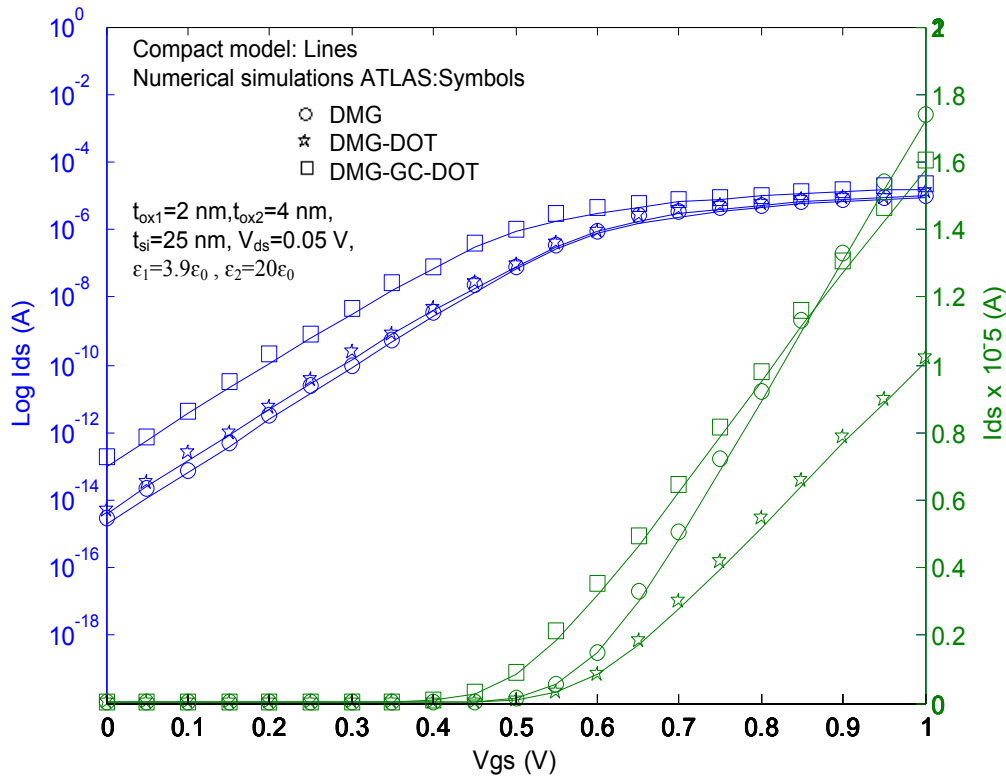


Figure 4.42 Variation du courant de drain sous-seuil I_{ds} en fonction de la tension de grille-source V_{gs} pour le transistor DMG-GC-DOT MOSFET avec $\epsilon_1 = 3.9\epsilon_0$ et $\epsilon_2 = 20\epsilon_0$ et pour DMG $L_1 = 25\text{nm}$ et $L_2 = 75\text{nm}$, en échelle linéaire et échelle logarithmique

La figure 4.43 montre la comparaison entre le courant de drain par rapport à la tension de drain et la simulation numérique 3D pour les trois dispositifs. Le courant de drain modélisé est en bon accord avec la simulation 3D. A partir de la figure 4.43, il est clair qu'il y a une augmentation du courant de drain pour la nouvelle structure par rapport aux autres structures et surtout avec l'utilisation de deux épaisseurs d'oxyde de permittivité différente ϵ_1 et ϵ_2 .

La figure 4.44 illustre la variation de la transconductance des dispositifs DMG MOSFET, DMG-DOT MOSFET et DMG-GC-DOT2 MOSFET en fonction de la tension source grille. On observe à partir de la figure que la structure DMG-GC-DOT2 MOSFET conduit à une amélioration de la transconductance par rapport au DMG MOSFET et DMG-DOT MOSFET.

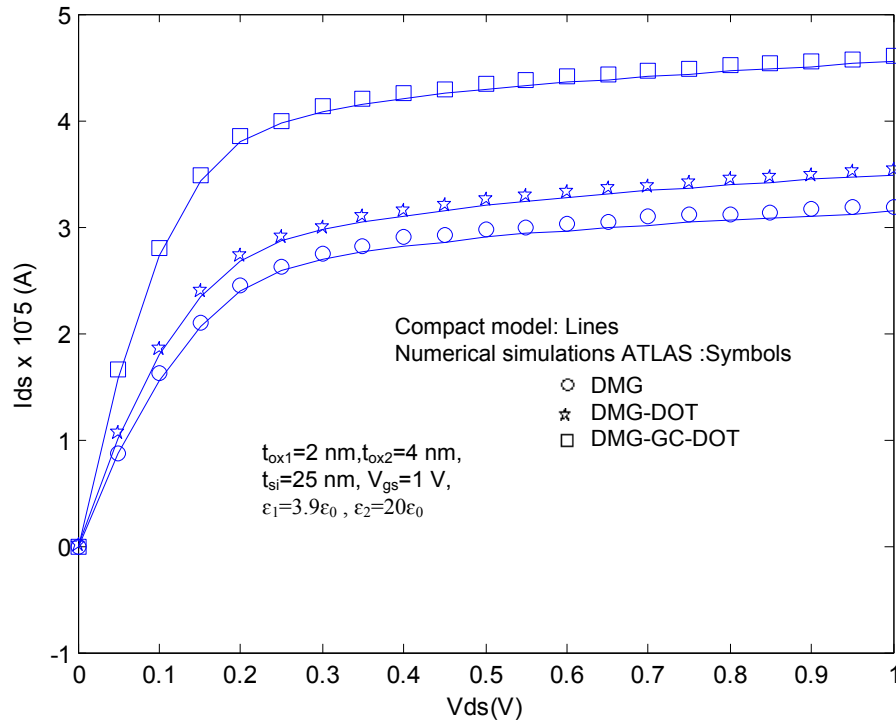


Figure 4.43 Courant de drain en fonction de la tension de drain du modèle DMG-GC-DOT CG MOSFET en comparaison avec DMG MOSFET et DMG-DOT MOSFET avec deux permittivité de l'oxyde, modèle Compact: lignes; simulations numériques: Symboles.

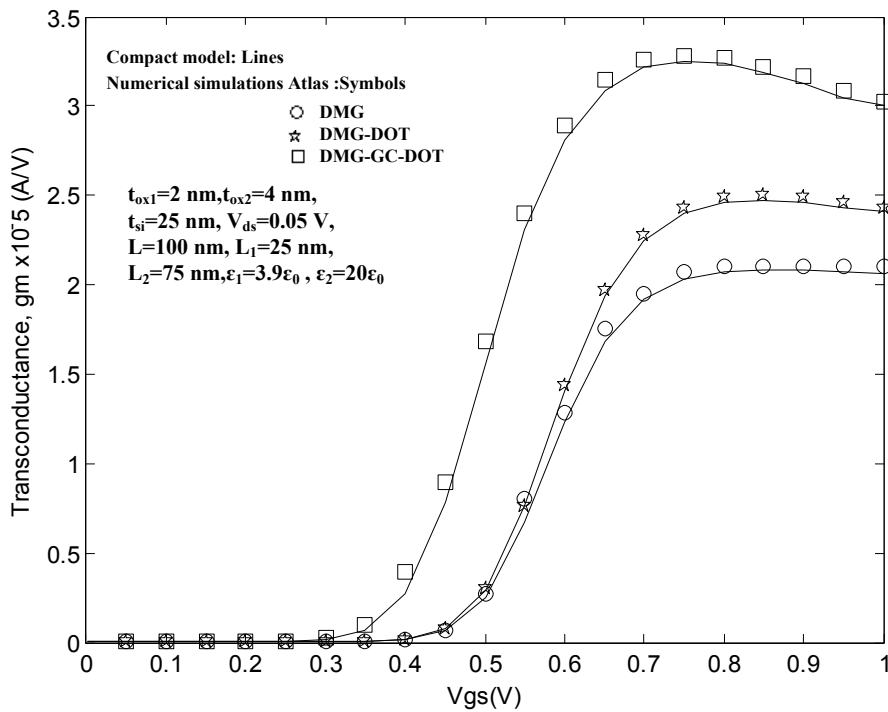


Figure 4.44 Transconductance en fonction de tension grille-source pour DMG MOSFET, DMG-DOT MOSFET et la structure de DMG-GC-DOT MOSFET

La figure 4.45 montre les caractéristiques de conductance du drain en fonction de la tension source-drain avec variation de permittivité (ϵ_1 et ϵ_2) dans DMG-GC-DOT MOSFET. On voit à partir de la figure que la conductance du drain pour les trois structures est presque identique quand V_{ds} augmente. La différence est remarquable pour des tensions V_{ds} faibles. Tous les résultats obtenus par le modèle analytique pour cette nouvelle structure sont en bon accord avec ceux déterminés par l'outil de simulation ATLAS.

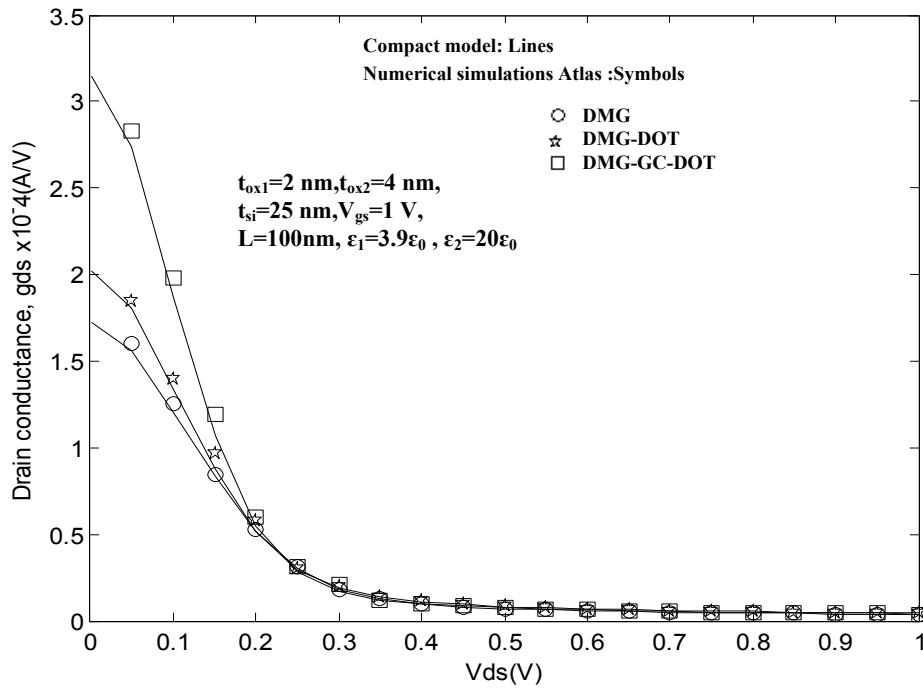


Figure 4.45 Conductance de drain en fonction de tension drain-source pour DMG MOSFET, DMG-DOT MOSFET et la structure de DMG-GC-DOT MOSFET

Conclusion

L'étude effectuée confirme la validité de notre modèle par une bonne concordance avec les résultats de simulation numérique. Les résultats ont mis en évidence la performance du transistor DMG-GC-DOT. Dans un premier temps, le modèle analytique basé sur l'étude du potentiel de surface, du champ électrique et de la tension de seuil a été développé pour voir l'influence de l'utilisation de deux épaisseurs d'oxyde sur les SCEs. Ainsi Le courant de drain, la transconductance et la conductance du drain ont été calculés. Il a été démontré que le DMG-GC-DOT MOSFET offre une meilleure immunité aux SCE par rapport à d'autres structures de MOSFET (DMG MOSFET et DMG-DOT MOSFET). Dans cette partie, les effets des paramètres sur notre structure DMG-GC-DOT ont également étudiés. Les résultats ont également mis en évidence la contribution de deux couches d'oxyde (une plus petite que l'autre) pour augmenter la contrôlabilité de la grille et réduire ainsi les effets de canal court.

Dans un second temps, l'apport de la couche d'oxyde à haute permittivité de notre structure DMG-GC-DOT2 est étudié, il est très important, notamment pour une longueur entre 40 et 20nm ce qui ouvre le champ à une plus forte intégration. La structure DMG-GC-DOT2 à deux épaisseurs d'oxyde avec une permittivité différente offre donc une meilleure contrôlabilité de la grille et représente une solution potentielle pour l'intégration fortement submicronique. Les résultats obtenus à partir de modèles analytiques concordent bien avec les résultats simulés obtenus à partir du simulateur numérique TCAD.

Références

- [1] L. Hsin-Kai Wang, "A New Two-Dimensional Analytical Threshold Voltage Model for Short-Channel Triple-Material Surrounding-Gate Metal-Oxide Semiconductor Field-Effect Transistors," Japanese Journal of Applied Physics, Vol. 51, pp. 054301, Apr 2012.
- [2] S. Mondal, D. Naru, A. Sarkar and C.K. Sarkar, "An Analytical Surface Potential Based Threshold Voltage model of Triple Material Surrounding Gate Schottky Barrier MOSFET", Journal of computational and theoretical nanoscience, accepted
- [3] Device simulator ATLAS user manual: Silvaco Int., Santa Clara, CA. <http://www.silvaco.com>. Accessed 26 May 2013
- [4] ATLAS device simulator. Silvaco-TCAD, 2007.

Conclusion générale

Conclusion générale

La croissance de l'industrie des semi-conducteurs dépend pour l'instant de sa capacité à miniaturiser les transistors. L'objectif de cette approche est d'offrir de meilleures performances à moindre coût. L'augmentation de la densité d'intégration et l'amélioration des performances sont rendues possibles en réduisant la taille des transistors. La taille caractéristique d'un transistor qui distingue une génération de transistors est la longueur de la grille L .

Pour répondre à ce contexte nous avons présenté dans ce mémoire de thèse une étude qui concerne la modélisation analytique et la simulation numérique d'une nouvelle structure de transistor submicronique MOSFET à grille cylindrique.

Ce travail de thèse rapporte sur une nouvelle structure DMG-GC-DOT en comparant avec d'autres structures existantes DMG et DMG-DOT MOSFET et discute de ses avantages et désavantages. Il traite également de l'effet de la réduction d'échelle sur les performances entre DMG-GC-DOT MOSFET, DMG MOSFET et DMG-DOT MOSFET de même dimension grâce à la simulation Silvaco TCAD. Une analyse approfondie est effectuée pour trouver l'impact de nombreux paramètres géométriques du dispositif comme l'épaisseur de silicium, l'épaisseur d'oxyde et la longueur de grille sur le potentiel de surface, le champ électrique, la tension de seuil, le courant de drain et la transconductance. Encore une fois l'immunité contre les SCEs du dispositif DMG-GC-DOT MOSFET à échelle réduite ont été comparés dans cet étude et il a été démontré que le dispositif DMG-GC-DOT MOSFET fournit une meilleure immunité aux effets de canal court par rapport aux structures DMG et DMG-DOT MOSFET.

Le DMG-GC-DOT SRG MOSFET est développé plus loin pour obtenir une nouvelle structure de dispositif DMG-GC-DOT2 MOSFET avec des permittivités d'oxyde différentes. La comparaison entre DMG-GC-DOT MOSFET et DMG-GC-DOT2 MOSFET est observée en étudiant le potentiel de surface, la tension de seuil, le courant de drain, la transconductance et la conductance de drain. L'étude montre que DMG-GC-DOT2 MOSFET donne de meilleures performances que DMG-GC-DOT1 MOSFET contre les SCEs, le courant de fuite et la contrôlabilité de la grille. Par conséquent, on peut conclure qu'un réglage correct des paramètres du composant est nécessaire pour atteindre une immunité plus élevée contre les SCEs avec un courant de fuite à l'état éteint plus faible pour trouver son utilisation dans les applications de faible puissance.

La validité du modèle a été prouvée à l'aide de simulations numériques en utilisant le logiciel ATLAS. Les résultats obtenus ont montré une bonne performance du transistor DMG-GC-DOT

jusqu'à une longueur de 40nm, au dessous de cette longueur, les effets canal court deviennent très importants.

Les résultats ont dévoilé aussi la contribution de l'utilisation de deux couches d'oxydes avec constantes diélectriques différentes dans l'augmentation de la contrôlabilité de la grille et de ce fait, la diminution des effets du canal court qui peut atteindre jusqu'à 50% de moins relativement à la valeur de permittivité de la couche high-k. Ceci donne la possibilité d'une plus forte intégration.

Afin d'aller plus loin encore dans l'intégration, il faudra diminuer l'épaisseur du canal à moins de 30nm, mais ceci impliquera la prise en compte des effets mécaniques qui à cette échelle, deviennent non négligeables.

Comme perspectives et suite à ces travaux, nous pensons à améliorer notre modèle DMG-GC-DOT SRG MOSFET par la prise en compte d'autres effets de miniaturisation, tels que le problème de confinement quantique.

De plus, le développement du modèle analytique compacte pour les transistors triples grilles, triples dopages, double oxyde avec constant diélectrique différent constituera une suite logique pour notre travaux.

Annexe A

Exemple de programme de Simulation du structure DMG-GC-DOT MOSFET (ATLAS)

```
go atlas
mesh cylindrical
```

```
#
x.mesh loc=0      spac=0.001
x.mesh loc=0.025  spac=0.0001
x.mesh loc=0.027  spac=0.0001
x.mesh loc=0.029  spac=0.001
x.mesh loc=0.031  spac=0.001
```

```
#
y.mesh loc=-0.005 spac=0.001
y.mesh loc=0.000  spac=0.001
y.mesh loc=0.025  spac=0.001
y.mesh loc=0.100  spac=0.001
y.mesh loc=0.105  spac=0.001
```

```
#
region num=1 material=silicon x.min=0 x.max=0.025 y.min=0 y.max=0.100
region num=2 material=silicon x.min=0 x.max=0.025 y.min=0.000 y.max=0.025
region num=3 material=silicon x.min=0 x.max=0.025 y.min=0.025 y.max=0.100
region num=4 material=SiO2 x.min=0.025 x.max=0.031 y.min=-0.005 y.max=0.105
```

```
##### define the electrodes #####
```

```
electrode name=gate y.min=0.000 y.max=0.100 x.min=0.029 x.max=0.031
electrode name=gate1 y.min=0.000 y.max=0.025 x.min=0.027 x.max=0.031
electrode name=source y.min=-0.005 y.max=0.000 x.min=0 x.max=0.025
electrode name=drain y.min=0.10 y.max=0.105 x.min=0 x.max=0.025
```

```
#
doping region=2 uniform p.type conc=3e17
doping region=3 uniform p.type conc=4e16
doping uniform n.type con=1e20 x.min=0 x.max=0.025 y.min=-0.020 y.max=0.000
doping uniform n.type con=1e20 x.min=0 x.max=0.025 y.min=0.100 y.max=0.120
```

```
contact name=gate workfun=4.8
contact name=gate1 common=gate workfun=4.4
contact name=source
contact name=drain
```

```
models cvt srh auger
```

```

method    newton
save      outf=SG_0.str
#tonyplot  DMG_GC_DOT.str

# do IDVG characteristic
solve     vdrain=0.01 vstep=0.01 name=drain vfinal=0.05

# ramp gate voltage
log       outf=DMG_GC_DOT.log master
solve     vgate=0.00 vstep=0.05 name=gate vfinal=1
save      outf=DMG_GC_DOT.str
tonyplot  DMG_GC_DOT.str
log off

# plot resultant IDVG threshold voltage curve
tonyplot  DMG_GC_DOT.log

#extract init inf="SG_1.log"
extract name="subvt" \
    1.0/slope(maxslope(curve(v."gate",log10(abs(i."drain")))))

extract name="vt" xintercept(maxslope(curve(v."gate",abs(i."drain"))))

quit

```

Annexe B

Le programme de résolution de l'équation de poisson avec la méthode de différences finies

```
function [phi3]=phite(L,N)
L=100;
N=50;
L1=L/4;
epslnox=0.0345*10^-11;
epslnsi=0.104*10^-11;
tox1=4*10^-7;
tox2=2*10^-7;
tsi=50*10^-7;
cox1=epslnox/(0.5*tsi*log(1+2*tox1/tsi));
cox2=epslnox/(0.5*tsi*log(1+2*tox2/tsi));
lamb1=sqrt((4*cox1)/(epslnsi*tsi)); %3
lamb2=sqrt((4*cox2)/(epslnsi*tsi)); %4
Vds=0.5; %5
Vgs=0.1;
naL=4*10^16;
naH=3*10^17;
Nd=2*10^20;
Vt=0.0259;
Ni=1.45*10^10;
Vbi1=Vt*log(naH*Nd/Ni^2); % 6
Vbi2=Vt*log(naL*Nd/Ni^2); % 7
q=1.609*10^-19;
Xsi=4;
Eg=1.2;
Phib1=Xsi+Eg/2+Vt*log(naH/Ni);
Phib2=Xsi+Eg/2+Vt*log(naL/Ni);
Phb1=Vt*log(naH/Ni);
Phb2=Vt*log(naL/Ni);
Phi1=4.8;
Phi2=4.4;
Vfb1=Phi1-Phib1;
Vfb2=Phi2-Phib2;
D1=q*naH/epslnsi-(Vgs-Vfb1)*lamb1^2; %8
D2=q*naL/epslnsi-(Vgs-Vfb2)*lamb2^2; %9

%%%%%%%%%%%%%% Potentiel numérique %%%%%%%%%%%%%%%

h=L/(N+1);
a=lamb1^2+2/h^2;
Z1=[0:h:L1];
Pot=Potent(N,L);
V0=1/2*ones(length(Z1),1);
V0(1)=Vbi1;
V0(length(Z1))=Pot(length(Z1));
W1=V0;
```

```

W2=V0;
W1(1)=Vbi1;
W2(length(Z1))=Pot(length(Z1));
W1(2:length(Z1))=V0(1:length(Z1)-1);
W2(1:length(Z1)-1)=V0(2:length(Z1));
V2=(W1+W2)/(a*h^2)-D1/a;
err=norm(V2-V0);
V1=V2;
    while(err>0.00001)
        W1(1)=Vbi1;
        W2(length(Z1))=Pot(length(Z1));
        W1(2:length(Z1))=V2(1:length(Z1)-1);
        W2(1:length(Z1)-1)=V2(2:length(Z1));
        V2=(W1+W2)/(a*h^2)-D1/a;
        err=norm(V2-V1);
        V1=V2;
    end

Z2=[L1:h:L];

phi3=zeros(length(Z1)+length(Z2),1);
phi3(1:length(Z1))=V2;

b=lamb2^2+2/h^2;
V0=1/2*ones(length(Z2),1);
V0(1)=Pot(length(Z1));
V0(length(Z2))=Vbi2+Vds;
W1=V0;
W2=V0;
W1(1)=Pot(length(Z1));
W2(length(Z2))=Vbi2+Vds;
W1(2:length(Z2))=V0(1:length(Z2)-1);
W2(1:length(Z2)-1)=V0(2:length(Z2));
V2=(W1+W2)/(b*h^2)-D2/b;
err=norm(V2-V0);
V1=V2;
    while(err>0.00001)
        W1(1)=Pot(length(Z1));
        W2(length(Z2))=Vbi2+Vds;
        W1(2:length(Z2))=V2(1:length(Z2)-1);
        W2(1:length(Z2)-1)=V2(2:length(Z2));
        V2=(W1+W2)/(b*h^2)-D2/b;
        err=norm(V2-V1);
        V1=V2;
    end

    phi3(length(Z1)+1:length(Z1)+length(Z2))=V2;

end

```


Avec la fonction Potent est :

```
function [phis]=Potent (N,L)

L1=0.25*10^-5;
Vgs=0.1;
L=10^-5;
N=100;
epslnox=0.0345*10^-11;
epslnsi=0.104*10^-11;
tox1=4*10^-7;
tox2=2*10^-7;
tsi=50*10^-7;
cox1=epslnox/(0.5*tsi*log(1+2*tox1/tsi));
cox2=epslnox/(0.5*tsi*log(1+2*tox2/tsi));
lamb1=sqrt((4*cox1)/(epslnsi*tsi)); %3
lamb2=sqrt((4*cox2)/(epslnsi*tsi)); %4
Vds=0.5; %5
naL=4*10^16;
naH=3*10^17;
Nd=2*10^20;
Vt=0.0259;
Ni=1.45*10^10;
Vbi1=Vt*log(naH*Nd/Ni^2); % 6
Vbi2=Vt*log(naL*Nd/Ni^2); % 7
q=1.609*10^-19;
Xsi=4;
Eg=1.2;
Phib1=Xsi+Eg/2+Vt*log(naH/Ni);
Phib2=Xsi+Eg/2+Vt*log(naL/Ni);
Phb1=Vt*log(naH/Ni);
Phb2=Vt*log(naL/Ni);
Phi1=4.8;
Phi2=4.4;
Vfb1=Phi1-Phib1;
Vfb2=Phi2-Phib2;
D1=q*Ni/epslnsi-lamb1^2*(Vgs-Vfb1); %8
D2=q*Ni/epslnsi-lamb2^2*(Vgs-Vfb2); %9

%%%%%%%%%%%%%% Potentiel de surface %%%%%%%%%%

a=2*exp(-lamb2*L)*sinh(lamb1*L1);
b=2*sinh(lamb2*(L-L1));
c=2*lamb1*exp(-lamb2*L)*cosh(lamb1*L1);
d=-2*lamb2*cosh(lamb2*(L-L1));
C1=exp(-lamb2*L1)*(Vds+Vbi2+D2/lamb2^2)-exp(-lamb2*L)*exp(-
lamb1*L1)*(Vbi1+D1/lamb1^2)+exp(-lamb2*L)*(D1/lamb1^2-D2/lamb2^2);
C2=-lamb2*exp(-lamb2*L1)*(Vds+Vbi2+D2/lamb2^2)+lamb1*exp(-
lamb1*L1)*(Vbi1+D1/lamb1^2)*exp(-lamb2*L);
```

```

Delta=a*d-b*c;
DeltaB2=a*C2-c*C1;
DeltaB1=d*C1-b*C2;
B2=DeltaB2/Delta;
B1=DeltaB1/Delta;
A2=( (Vbi2+Vds+D2/lamb2^2) -exp(lamb2*L) *B2) /exp(-lamb2*L);
A1=Vbi1+D1/lamb1^2-B1;

                                %%%%%%%%%%

    h=L/(N+1);
    Z=[0:h:L];

n=length(Z)
phisi=zeros(n,1);

for i=1:n
    if(Z(i)<=L1)
        phisi(i)=A1*exp(-lamb1*Z(i))+B1*exp(lamb1*Z(i))-D1/lamb1^2;
    else
        phisi(i)=A2*exp(-lamb2*Z(i))+B2*exp(lamb2*Z(i))-D2/lamb2^2;
    end

end
plot(Z,phisi);

phis=phisi;
clc

end

```

Annexe C

Résolution de l'équation de poisson en utilisant l'approche parabolique

L'équation de Poisson en coordonnées cylindriques dans les deux régions ($i = 1, 2$) s'écrit:

$$\frac{1}{r} \frac{\partial}{\partial r} \left(r \frac{\partial \varphi_i(r, z)}{\partial r} \right) + \frac{\partial^2 \varphi_i(r, z)}{\partial z^2} = \frac{q}{\varepsilon_{si}} (N_A + n_i(r, z)) \quad (1)$$

Avec

$$0 \leq z \leq L, 0 \leq r \leq \frac{t_{si}}{2}$$

Le potentiel en utilisant le modèle du potentiel parabolique (PMA) s'écrit donc de la manière suivante:

$$\varphi_i(r, z) = p_{i0}(z) + p_{i1}(z) \cdot r + p_{i2}(z) \cdot r^2 \quad (2)$$

Avec $p_{i0}(z)$, $p_{i1}(z)$ et $p_{i2}(z)$ sont des coefficients en fonction de z seulement.

On prenant compte de ces conditions aux limites

Le potentiel de surface $\varphi_{si}(z)$ du canal est donnée pour $r = t_{si}/2$:

$$\varphi_{si}(z) \left[1 + \frac{c_{ox_i} t_{si}}{4\varepsilon_{si}} \right] - \frac{c_{ox_i} t_{si}}{4\varepsilon_{si}} [V_{gs} - V_{FB_i}] = p_{i0}(z)$$

Le champ électrique au centre de silicium est zéro

$$\left(\frac{\partial \varphi_i(r, z)}{\partial r} \right)_{r=0} = 0 = p_{i1}(z)$$

Le flux électrique à l'interface d'oxyde silicium est continu

$$\left(\frac{\partial \varphi_i(r, z)}{\partial r} \right)_{r=\frac{t_{si}}{2}} = \frac{c_{ox_i}}{\varepsilon_{si}} (V_{gs} - V_{FB_i} + \varphi_{si}(z)) = p_{i2}(z) t_{si}$$

c_{ox_i} est la capacité d'oxyde ($i = 1, 2$) et définit comme :

$$c_{ox_i} = \frac{2\varepsilon_{ox}}{t_{si} \ln \left(1 + \frac{2t_{ox_i}}{t_{si}} \right)}$$

En substituant l'équation (2) dans l'équation (1), on obtient l'équation différentielle du potentiel de surface $\varphi_{si}(z)$ dans les régions 1 et 2 :

$$\frac{\partial^2 \varphi_{si}(z)}{\partial z^2} + \frac{4c_{ox_i}}{t_{si} \varepsilon_{si}} (V_{gs} - V_{FB_i}) - \frac{4c_{ox_i}}{t_{si} \varepsilon_{si}} \varphi_{si}(z) = \frac{qN_i}{\varepsilon_{si}}$$

Ce qui donne:

$$\frac{\partial^2 \varphi_{si}(z)}{\partial z^2} - \frac{1}{\lambda_i^2} \varphi_{si}(z) = D_i \quad i=1, 2$$

Avec $\lambda_i = \sqrt{\varepsilon_{si} t_{si} / 4c_{ox_i}}$, λ_i est la longueur caractéristique du canal et $D_i = \frac{qN_i}{\varepsilon_{si}} - \frac{1}{\lambda_i^2} (V_{gs} - V_{FB_i})$

Les conditions aux limites du potentiel pour les deux régions sont déterminées ainsi

$$\varphi_1(0,0) = V_{bi_1}$$

$$\varphi_2(0,L) = V_{bi_2} + V_{ds}$$

La solution générale du potentiel de surface est donnée par l'expression:

$$\varphi_{si}(z) = A_i \exp\left(-\frac{z}{\lambda_i}\right) + B_i \exp\left(\frac{z}{\lambda_i}\right) - \frac{D_i}{\lambda_i^2}$$

En utilisant ces conditions aux limites :

$$\begin{cases} \varphi_1(0,0) = V_{bi_1} \\ \varphi_2(0,L) = V_{bi_2} + V_{ds} \\ \varphi_{sH}(L_1) = \varphi_{sL}(L_1) \\ \left. \frac{\partial \varphi_{sH}}{\partial z} \right|_{L_1} = \left. \frac{\partial \varphi_{sL}}{\partial z} \right|_{L_1} \end{cases}$$

En remplaçant chaque paramètre par sa valeur, on obtient les expressions suivantes :

$$\begin{cases} A_1 + B_1 = V_{bi_1} + \frac{D_1}{\lambda_1^2} \\ A_2 \exp\left(\frac{L}{\lambda_2}\right) + B_2 \exp\left(-\frac{L}{\lambda_2}\right) = V_{bi_2} + V_{ds} + \frac{D_2}{\lambda_2^2} \\ A_1 \exp\left(\frac{L_1}{\lambda_1}\right) + B_1 \exp\left(-\frac{L_1}{\lambda_1}\right) - A_2 \exp\left(\frac{L_1}{\lambda_2}\right) - B_2 \exp\left(-\frac{L_1}{\lambda_2}\right) = \frac{D_1}{\lambda_1^2} - \frac{D_2}{\lambda_2^2} \\ \frac{1}{\lambda_1} A_1 \exp\left(\frac{L_1}{\lambda_1}\right) - \frac{1}{\lambda_1} B_1 \exp\left(-\frac{L_1}{\lambda_1}\right) - \frac{1}{\lambda_2} A_2 \exp\left(\frac{L_1}{\lambda_2}\right) + \frac{1}{\lambda_2} B_2 \exp\left(-\frac{L_1}{\lambda_2}\right) = 0 \end{cases}$$

Les coefficients A_i et B_i ($i=1, 2$) peuvent être déterminés comme:

$$A_1 = V_{bi_1} + \frac{D_1}{\lambda_1^2} - B_1$$

$$A_2 = \left(\left(V_{bi_2} + V_{ds} + \frac{D_2}{\lambda_2^2} \right) - B_2 \exp\left(\frac{L}{\lambda_2}\right) \right) \exp\left(\frac{L}{\lambda_2}\right)$$

$$B_1 = \frac{U_1}{U_0}$$

$$B_2 = \frac{U_2}{U_0}$$

Avec

$$U_0 = a_0 d_0 - b_0 c_0$$

$$U_1 = d_0 C_1 - b_0 C_2$$

$$U_2 = a_0 C_2 - c_0 C_1$$

$$C_1 = \left(V_{bi_2} + V_{ds} + \frac{D_2}{\lambda_2^2} \right) \exp\left(-\frac{L_1}{\lambda_2}\right) - \left(V_{bi_1} + \frac{D_1}{\lambda_1^2} \right) \exp\left(-\frac{L}{\lambda_2}\right) \exp\left(-\frac{L_1}{\lambda_1}\right) + \left(\frac{D_1}{\lambda_1^2} - \frac{D_2}{\lambda_2^2} \right) \exp\left(-\frac{L}{\lambda_2}\right)$$

$$C_2 = -\lambda_2 \left(V_{bi_2} + V_{ds} + \frac{D_2}{\lambda_2^2} \right) \exp\left(-\frac{L_1}{\lambda_2}\right) + \lambda_1 \left(V_{bi_1} + \frac{D_1}{\lambda_1^2} \right) \exp\left(-\frac{L}{\lambda_2}\right) \exp\left(-\frac{L_1}{\lambda_1}\right)$$

$$a_0 = 2 \exp\left(-\frac{L}{\lambda_2}\right) \sinh\left(\frac{L_1}{\lambda_1}\right), \quad b_0 = 2 \sinh\left(\frac{(L-L_1)}{\lambda_2}\right)$$

$$c_0 = 2\lambda_1 \exp\left(-\frac{L}{\lambda_2}\right) \cosh\left(\frac{L_1}{\lambda_1}\right), \quad d_0 = -2\lambda_2 \cosh\left(\frac{(L-L_1)}{\lambda_2}\right)$$

Annexe D

Technologie de la structure GAA – MOSFET

La structure ultime qui offre théoriquement le meilleur contrôle de la région de canal est le multi-grille ou "surrounding-gate" transistor. Cette structure est considérée comme l'un des dispositifs les plus prometteurs pour réduire la longueur du canal en dessous de 50 nm [50]. Deux architectures existent : le "surrounding-gate" à section rectangulaire appelé Gate-All-Around (GAA) [51], et le "surrounding-gate" à canal vertical, habituellement fabriqué en utilisant un îlot de silicium en forme de colonne [52-53].

Par comparaison avec le transistor MOS bulk et le transistor MOS SOI à une grille, pour surrounding-gate, le silicium est complètement enrobé par la grille ce qui

- supprime les effets parasites du BOX,
- diminue jusqu'à faire disparaître les effets de coins.
- offre un meilleur contrôle électrostatique du canal et donc il y aura une diminution des effets de canaux courts [54],
- offre en plus, grâce au phénomène d'inversion volumique, une amélioration de la mobilité effective des porteurs.

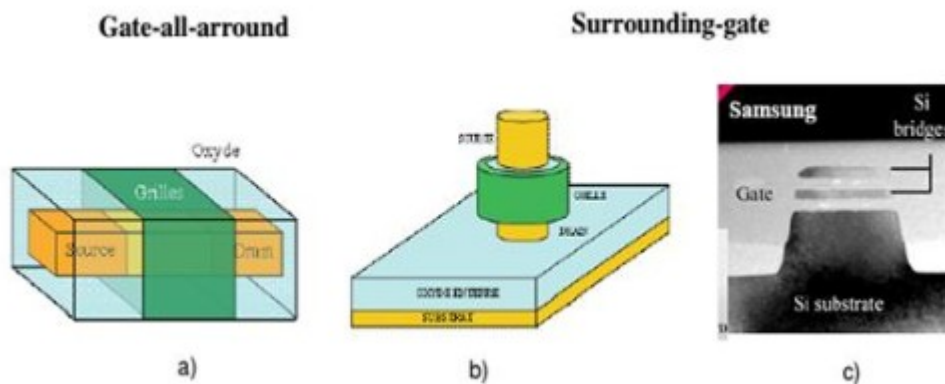


Schéma de principe d'un transistor gate-all-around (a), d'un transistor surrounding gate (b) et photo MET de la coupe transversale d'un transistor surrounding-gate [55].

Les transistors multi-grilles sont des architectures innovantes, dont la réalisation technologique est plus compliquée que les transistors SOI. Leur structure de base est la même que celle du FD SOI, un film de silicium extrêmement mince et un oxyde enterré épais suivi d'un substrat de silicium font toujours partie de la structure. La différence réside au niveau de l'intégration d'une grille et du diélectrique de grille autour de la couche de silicium. La forme de

cette grille et son emplacement améliore le contrôle sur le canal et l'isole bien des effets parasites qui peuvent apparaître dans les architectures à une seule grille (pénétration du champ électrique dans l'oxyde enterré pour des épaisseurs de film très faibles). Ainsi, la structure à grille cylindrique a intégré l'industrie de la microélectronique en une technologie d'intégration 3D.

Les technologies utilisées dans la réalisation de la structure MOSFET à grille enrobée sont très variées [56] dont on cite :

- l'épitaxie MBE des couches (molecular Beam Epitaxy),
- l'implantation ionique et
- la méthode de diffusion à partir de source solide.

En règle générale, les méthodes de croissance par épitaxie [57] sont les plus adéquates parce qu'elles produisent une jonction brutale et permettent facilement d'obtenir un canal sous-nm.

L'architecture de la structure MOSFET enrobée offre un grand avantage dans la simplicité de déposer des grilles de longueur sub-micronique. Celles-ci sont fonction seulement de la profondeur dans le Bulk utilisée définissant la longueur du canal. Nous décrivons un exemple de fabrication de la structure en question.

L'équipe de G. Larrieu publie [58] leur réalisation de structure MOSFET nanotubes à grille enrobée avec des longueurs de grilles (longueur du canal) de 7 nm et décrit les étapes principales à suivre dans l'ordre chronologique. On cite alors le processus en six étapes.

Process de fabrication du transistor à grille enrobée.

Étape 1 : Gravure autour de la colonne du Bulk sur un diamètre égale à $2r_{si}$ Par la méthode de gravure ionique réactive an-isotropique après l'avoir transmis sur une résine négative par lithographie à faisceau d'électron.

Étape 2 : Formation de la région de Drain.

Étape 3 : Réalisation de l'oxyde de grille par la technique d'oxydation sèche par exemple et à la température adéquate (750°C pour les nanotubes à base de Silicium).

Étape 4 : Cette étape consiste à déposer ou faire croître la grille en poly-cristallin (n+)

Étape 5 : Par la méthode de gravure ionique réactive an-isotropique on enlève l'oxyde sur la zone du dessus et on implante la zone source.

Étape 6 : Gravure an-isotropique afin de réaliser les métallisations : au niveau du drain, métal de grille et au niveau de la source.

Ce composant présente :

- Plusieurs avantages que la technologie bulk et SOI ne peuvent plus offrir lorsque la longueur de grille devient inférieure à 25 nm. On classe alors ses avantages en deux catégories.
- Ainsi que quelques inconvénients (cités en dessous).

Avantages sur les Performances :

Avec la présence d'une grille enrobée, la surface du canal de conduction se trouve naturellement augmentée, ainsi que le courant de drain [59]. Le contrôle électrostatique du canal (zone active) est renforcé, ceci fournit aussi un isolement du canal et le protège d'autres effets parasites. Les effets de canaux courts et le partage de charges sont largement diminués.

La structure d'un transistor à grille enrobée favorise l'inversion volumique du film de silicium, ceci éloigne les porteurs loin de l'interface oxyde/semiconducteur et donc augmente leur mobilité et améliore le transport dans le canal.

Avantages sur Intégration :

Un autre avantage est la possibilité de réduire davantage la taille de l'appareil avec une lithographie assouplie pour la définition de la longueur du canal. La définition de canal d'un MOSFET vertical est obtenue en utilisant une définition de dépôt de couche minutieuse ou d'autres couches minces, dans laquelle la lithographie n'est pas très critique [60-61]. L'architecture verticale du MOSFET à grille enrobée fournit un gain d'intégration de 40 à 60 % sur la surface d'occupation des composants d'un circuit.

Inconvénients :

MOSFET conventionnel a une structure symétrique de source et de drain liée à la région de canal. Dans la structure verticale, il existe une légère différence dans les performances du périphérique, selon qu'il s'agisse d'une source sur le dessus (SOT) ou d'un drain (DOT), comme l'indiquent certains rapports [62]. Un autre problème est le contrôle de la capacité de chevauchement excessive de la grille sur la source et le drain [63]. La définition de la source et du drain sur un côté et le dépôt de matériau de grille sans alignement correct dans le sens vertical mènent généralement à ce problème crucial.