



Université Sidi Mohammed Ben Abdellah
Faculté des Sciences Dhar El Mahraz- Fès
Centre d'Etudes Doctorales
"Sciences et Technologies"

Formation Doctorale : STIC

Discipline: Microélectronique

Spécialité : Génie Electrique

**Laboratoire : Laboratoire d'Electronique Signaux Systèmes et
Informatique LESSI**

THESE DE DOCTORAT

Présentée par

CHAKIR Mostafa

**Contributions à la conception optimale de convertisseurs analogique
/numérique pour les capteurs monolithiques à pixel actif en technologie
CMOS 0.18 μm**

Soutenue le 07 /04 / 2018 devant le jury composé de :

Pr. Ismail BOUMHIDI	FSDM de Fès	Président
Pr. Mounir RIFI	EST de Casablanca	Rapporteur
Pr. Lahbib ZENKOUAR	EMI de Rabat	Rapporteur
Pr. Abdellah AARAB	FSDM de Fès	Rapporteur
Pr. Said MAZER	ENSA de Fès	Examineur
Pr. El ghazi MOHAMMED	EST de Fès	Examineur
Pr. Hassan QJIDAA	FSDM de Fès	Directeur de thèse

بِسْمِ اللَّهِ الرَّحْمَنِ الرَّحِيمِ

Dédicaces

A cœur vaillant rien d'impossible

A conscience tranquille tout est accessible

Quand il y a la soif d'apprendre
Tout vient à point à qui sait attendre

Quand il y a le souci de réaliser un dessein
Tout devient facile pour arriver à nos fins

Malgré les obstacles qui s'opposent
En dépit des difficultés qui s'interposent

Les études sont avant tout
Notre unique et le seul atout

Ils représentent la lumière de notre existence
L'étoile brillante de notre réjouissance

Comme un vol de gerfauts hors du charnier natal
Nous partons ivres d'un rêve héroïque et brutal

Espérant des lendemains épiques
Un avenir glorieux et magique

Souhaitant que le fruit de nos efforts fournis
Jour et nuit, nous mènera vers le bonheur fleuri

Aujourd'hui, ici rassemblés auprès des jurys,
Nous prions dieu que cette soutenance
Fera signe de persévérance
Et que nous serions enchantés
Par notre travail honoré

Je dédie cette thèse :

À :

Mes parents : En témoignage de mon affection et ma reconnaissance des sacrifices qu'ils ont consentis pour mon éducation et ma formation. Aucune dédicace ne saurait exprimer la profondeur de mon amour et de mon attachement. Un simple document scientifique ne saurait exprimer tout ce que j'éprouve pour vous. Que Dieu vous bénisse !

Mon frère et mes sœurs qui m'ont toujours soutenu dans mes études

Mes enseignants, lumières de mon chemin

Mes amis et Toute ma famille

Tous ceux qui me sont chers.

REMERCIEMENTS

Je remercie Dieu qui m'a donné la force, la volonté et l'espoir pour réussir ma vie.

Les travaux présentés dans ce mémoire ont été effectués au sein du laboratoire d'Electronique, Signaux-Systèmes et d'Informatique de la Faculté des Sciences Dhar El-Mahraz Fès; sous la direction du Professeur Hassan QJIDAA. Je tiens à lui exprimer mes remerciements pour ses conseils et recommandations. Il m'a offert, à la fois, sa pleine disponibilité et une totale autonomie d'orientation de mes travaux de recherche dont il a fait preuve tout au long de la période d'encadrement.

J'adresse tous mes remerciements à l'ensemble des membres du jury. Je remercie Monsieur Ismail BOUMHIDI, Chef de département de physique de FSDM-Fès m'avoir honoré de présider le jury de ma thèse. Je remercie également Monsieur Lahbib ZENKOUAR, Professeur à l'École Mohammadia d'Ingénieurs - Rabat, et à Monsieur Mounir RIFI, Professeur à l'École Supérieure de Technologie de Casablanca, et à Monsieur Abdellah AARAB, Professeur de la Faculté des Sciences Dhar El Mahraz Fès, pour avoir accepté d'être rapporteurs de cette thèse et pour leurs commentaires sur mon manuscrit. Je remercie encore Monsieur Said MAZER, Professeur de l'École Nationale des Sciences Appliquées Fès, et à Monsieur mohammed El GHAZI, Professeur à l'École Supérieure de Technologie de Fès, pour avoir accepté d'examiner ce travail et de faire partie de ce jury.

A l'issue de plusieurs agréables années au sein du Département de Physique de la Faculté de Sciences Dahr el mahraz FES, j'adresse des remerciements particuliers à Messieurs les professeurs chefs du Département de Physique pour le dynamisme de ce département d'études, et à toute l'équipe enseignante pour la qualité de l'enseignement qui nous a été dispensé, mes remerciements s'adressent au responsable de CED.

Je voudrais remercier tous ceux qui ont contribué de près ou de loin à l'aboutissement de mon travail de thèse.

Je voudrais terminer par une profonde gratitude à ma mère Fatima, mon père Mohamed et à toute ma famille qui, ont su m'apporter leur rayon de soleil me procurant une énergie suffisante pour réussir tous mes projets, et en particulier ma thèse de doctorat.

TABLE DES MATIÈRES

TABLE DES MATIÈRES	V
LISTE DES FIGURES	VIII
LISTE DES TABLEAUX	XII
LISTE DES ABRÉVIATIONS, DES SIGLES ET DES ACRONYMES	XIII
LISTE DES PUBLICATIONS.....	XIV
RÉSUMÉ.....	XVII
ABSTRACT	XIX
INTRODUCTION GÉNÉRALE.....	1
1. Problématiques	2
2. Contributions	5
3. Plan du manuscrit	7
CHAPITRE I: CAPTEURS MAPS A PIXELS ACTIFS POUR LE DÉTECTEUR DE VERTEX EN PHYSIQUE DES PARTICULES	10
1. Introduction	10
2. Capteurs Monolithiques à Pixel Actif (MAPS).....	11
2.1. Principe de détection	11
2.2. Architecture des MAPS.....	14
2.3. Lecture du pixel dans les MAPS	15
2.4. Caractéristiques et performances des MAPS	16
2.5. Nécessité de codage des signaux des pixels par un CAN	17
2.6. Contraintes sur la conception du CAN prévu.....	18
3. État de l'art des convertisseurs analogique-numérique.....	21
3.1. Différentes architectures de CANs.....	21
3.2. Bilan sur les différents types de convertisseur analogique numérique	31
4. Sources de bruit et d'erreur dans les CANs	31
4.1. Non linéarité de la résistance Ron.....	32
5. Comparaison entre les différentes architectures des CANs	38
6. Choix des architectures développées.....	40
7. Conclusion.....	42
CHAPITRE II : CONCEPTION D'UN CAN FLASH OPTIMALE TRÈS COMPACT INTÉGRABLE AVEC LES CAPTEURS MAPS.....	43
1. Introduction	43
2. CAN pour les capteurs MAPS	45
2.1. Contexte d'intégration du CAN dans le capteur MAPS	45

2.2. Spécification des CANs pour les détecteurs de vertex.....	46
2.3. Position du problème.....	50
3. Proposition de nouvelle architecture de CAN Flash 4-bit [Chakir et al., 2017]	51
3.1. Conception d'un échantillonneur bloqueur	55
3.2. Conception d'un comparateur	76
3.3. Conception d'un pont diviseur	83
3.4. Conception de la partie numérique.....	86
4. Conclusion.....	92
CHAPITRE III : CONCEPTION OPTIMALE DES CNA A SOURCE DU COURANT INTEGRE DANS LE CAN SAR.....	93
1. Introduction	93
2. CNA pour le convertisseur SAR en mode du courant	94
2.1. Principe de fonctionnement du CAN SAR	95
2.2. Différents types de CNA : avantages et inconvénients	95
2.3. Bilan sur les différents types de convertisseur numérique analogique CNA.....	101
3. Choix des convertisseurs CNAs développées	102
4. Proposition de nouvelle architecture du CNA-SC 6-bits à sources du courant [Chakir et al., 2015a].....	103
4.1. Spécification du CNA-SC 6bits	103
4.2. Diagramme block du CNA-SC 6bits.....	104
4.3. Architecture détaillée du CNA-SC 6bits.....	106
4.4. Architecture des commutateurs PMOS proposé	108
4.5. Architecture des sources de courant PMOS proposé	109
5. Proposition de nouvelle architecture du CNA-SC 4bits à sources du courant [Chakir et al., 2018].....	111
5.1. Spécification du CNA-SC 4bits	111
5.2. Diagramme block du CNA SC-4bits.....	112
5.3. Architecture détaillée du CNA SC-4bits.....	113
5.4. Architecture de circuit du charge RC proposé	114
6. Conclusion.....	115
CHAPITRE IV : ETUDE EXPERIMENTALE.....	117
1. Introduction	117
2. Principes généraux du convertisseur analogique numérique	117

3. Critères pour l'évaluation des performances d'un CAN	118
3.1. Paramètres statiques	118
3.2. Paramètres dynamiques.....	122
4. Dessin de masque (Layout)	125
4.1. Effets indésirables	125
4.2. Techniques de Layout	127
5. Simulation complète du convertisseur Flash 4 bits	133
5.1. Caractéristiques statique du CAN proposé.....	134
5.2. Caractéristiques dynamique du CAN proposé	140
5.3. Dessin des masques du CAN	140
5.4. Comparaison et discussion	141
6. Simulation complète du convertisseur CNA-SC 6 bits	143
6.1. Performance statiques du CNA-SC 6bits	144
6.2. Dessin des masques	147
6.3. Comparaison et discussion	147
7. Simulation complète du convertisseur CNA-SC 4 bits	149
7.1. Performance statiques du CNA-SC 4 bits	150
7.2. Dessin des masques	151
7.3. Comparaison et discussion	152
8. Conclusion.....	154
CONCLUSION GENERALE ET PERSPECTIVES	156
RÉFÉRENCES	159

LISTE DES FIGURES

Figure I.1: Principe de détection des capteurs MAPS.....	12
Figure I.2: Principe de détermination de la position précise du passage de la particule.....	12
Figure I.3: Détecteur de trajectoires avec 5couches disposées en cylindre.....	13
Figure I.4: Echelle de capteurs sur un support en fibre de carbone	13
Figure I.5: Détecteur de trajectoires	13
Figure I.6: Reconstruction des trajectoires de toutes les particules dans le détecteur	14
Figure I.7: Architecture globale d'un capteur MAPS comprenant la matrice de pixels avec ses électroniques de lecture associées et les étapes de conversion.	15
Figure I.8: Principales spécifications de l'architecture du pixel avec reset de la diode.....	16
Figure I.9: Séquence des commandes de lecture d'un pixel avec reset de la diode.....	16
Figure I.10: Résolution spatiale des MAPS en fonction du nombre de bits du CAN pour des pixels de 20µm de pas, [Bes et al., 2007]. Les résultats sont montrés pour trois capteurs, dont les signaux sont initialement encodés sur 12 bits. Ils ont ensuite été convertis hors ligne en un nombre de bits plus réduit (1, 2, 3, 4 ou 5) pour des besoins de l'étude.....	18
Figure I.11: Chaîne de lecture du signal d'un pixel dans les MAPS.	18
Figure I.12: Architecture et composition d'un capteur de la couche interne du détecteur de vertex.....	20
Figure I.13: Schéma de principe d'un CAN flash.....	22
Figure I.14: Schéma bloc d'un convertisseur semi-flash.	23
Figure I.15: Schéma bloc du CAN pipeline 12 bits.	24
Figure I.16: CAN à approximation successives.	26
Figure I.17: Evolution du code au cours des pesées successives.	26
Figure I.18: Schéma de principe d'un CAN à simple rampe	27
Figure I.19: Schéma de principe d'un CAN à double rampe	28
Figure I.20: Résultat est fonction d'un rapport de 2 temps est indépendant de RC.....	29
Figure I.21: CAN sigma delta.	29
Figure I.22: Transistor monté en commutateur (a) et son circuit équivalent (b).....	32
Figure I.23: Dépendance de la résistance Ron de Vin et W/L pour des transistors PMOS, NMOS.....	33
Figure I.24: Evolution de la résistance Ron pour des transistors PMOS, NMOS et CMOS	33
Figure I.25: Montage d'un commutateur de type MOS Complémentaire	33
Figure I.26: Schéma de coupe montrant les charges accumulées dans le canal pour un commutateur NMOS quand il est Ohmique	34
Figure I.27: Schéma montrant l'injection de charges dans un commutateur NMOS	34
Figure I.28: Schéma montrant le couplage capacitif d'horloge (Clock Feedthrough) dans un commutateur NMOS	35
Figure I.29: Schéma montrant la porte de transmission TG	36
Figure I.30: Schéma montrant l'utilisation du transistor fantôme (Dummy).....	37
Figure I.31: Schéma équivalent d'un transistor MOS.....	38
Figure I.32: Expression de la puissance dissipée et de la résolution de convertisseur en fonction de la vitesse de conversion.....	39
Figure II.1: Architecture de capteur MAPS proposée pour la détection de vertex.	45
Figure II.2: Dépendance des différentes caractéristiques d'un CAN&E/B	49
Figure II.3: Représentation simplifiée d'un échantillonneur.....	52
Figure II.4: Schéma synoptique du CAN Flash 4bits.....	53
Figure II.5: Différentes dispositions des références de tension dans un CAN Flash	54
Figure II.6: Fonctions de transfert d'un CAN Flash 3bits.....	54
Figure II.7: Schéma de principe d'un échantillonneur-bloqueur élémentaire.....	56

Figure II.8: Courbe du signal de sortie durant les phases d'échantillonnage et de blocage.....	57
Figure II.9: Circuit d'un échantillonneur bloqueur proposé	59
Figure II.10: Modèle simplifié de l'échantillonneur bloqueur	59
Figure II.11: Amplificateur opérationnel à trois étages	61
Figure II.12: Modèle petit signal de l'amplificateur en base fréquence.....	63
Figure II.13: Circuit pour tracer la courbe de gain et de phase (le gain en boucle ouverte et la marge de phase)	67
Figure II.14: Simulation AC (le gain en boucle ouverte, la marge de phase, bande Passante et GBW).....	68
Figure II.15: Circuit pour mesurer A_d , A_c et CMRR	69
Figure II.16: Simulation du CMRR.....	69
Figure II.17: Circuit pour mesurer le PSRR+ et PSRR.....	70
Figure II.18 (a): Graphe de PSRR+.....	70
Figure II.18 (b): Graphe de PSRR -	70
Figure II.19: Circuit pour l'analyse DC	71
Figure II.20: Mesure de l'offset	72
Figure II.21: Circuit pour mesurer le ICMR \pm	72
Figure II.22: Valeur de ICMR \pm	73
Figure II.23: Circuit pour la simulation transitoire d'AMP.	73
Figure II.24: Simulation Transitoire de l'amplificateur	74
Figure II.25: Sortie de l'échantillonneur bloqueur E/B.....	75
Figure II.26: Schéma électrique du comparateur propose à 2 étages.....	76
Figure II.27: Simulation AC (le gain en boucle ouverte, la marge de phase, bande Passante et GBW).....	80
Figure II.28: Simulation du CMRR.....	80
Figure II.29: Mesure de l'offset	81
Figure II.30: Valeur de ICMR+ /-	81
Figure II.31: Simulation Transitoire de comparateur.....	82
Figure II.32: Génération des tensions de références par réseau de résistances.....	83
Figure II.33: Schéma de bloc de la partie numérique.....	86
Figure II.34: Diagramme logique pour le circuit d'encodeur proposé à bas des multiplexeurs.	89
Figure II.35: Sortie d'encodeur à base des multiplexeurs	89
Figure II.36: signaux d'horloge.....	91
Figure II.37: Circuit basique de TG-latch	91
Figure II.38: Diagramme de TG-Register basée sur la bascule D latch maître-esclave.	91
Figure II.39: Simulation de bascule D latch maître-esclave	92
Figure III.1: Architecture du CAN SAR-MC.....	95
Figure III.2 : Architecture de CNA flash à réseau des capacités à 3 bits (a) avec les capacités pondérées unitaire, et (b) les capacités pondérées binaires.....	97
Figure III.3: (a) Architecture du CNA flash à série de résistances à N-bit. (b) L'utilisation d'un réseau d'interrupteur binaire pour diminuer la capacité de sortie	98
Figure III.4 : Architecture de CNA flash à somme des courants à 3 bits (a) Avec sources de courant pondérées unitaires, et (b) sources de courant pondérées binaire	100
Figure III.5: Diagramme block du CNA-SC 6bits proposé.....	104
Figure III.6: Schéma de base d'un CNA à courant pondéré.....	104
Figure III.7: CNA à source du courant commuté	105

Figure III.8: Schéma général de CNA-SC 6bits proposé	106
Figure III.9: Principe de l'interrupteur correspondant à LSB	107
Figure III.10: Commutateurs utilisés dans CNA-SC-6bits	109
Figure III.11: Miroirs de courant pondéré	109
Figure III.12: Sources unitaires	110
Figure III.13: Sources du courant utilisé dans le CNA-SC 6bits	110
Figure III.14: Diagramme block du CNA-SC 4bits proposé	112
Figure III.15: Structure proposée du CNA-SC 4bits	113
Figure IV.1: Fonction de transfert d'un CAN	118
Figure IV.2: Fonction de transfert d'un CAN idéal	119
Figure IV.3: Erreur d'offset d'un CAN	119
Figure IV.4: Erreur de gain d'un CAN	120
Figure IV.5: Fonction de transfert d'un CAN réel	121
Figure IV.6: SNR en fonction de l'amplitude de la sinusoïde pure en entrée	124
Figure IV.7: Duplication d'une structure de même forme et de même taille	128
Figure IV.8: Placement des composants sur une isotherme	128
Figure IV.9: Implantation des zones de drain et de source	129
Figure IV.10: Conservation de l'orientation d'une structure	129
Figure IV.11: Conservation de la minimisation des distances	130
Figure IV.12: Structure à centre commune	130
Figure IV.13: Utilisation de « dummy structures » pour garantir le même environnement	131
Figure IV.14: Augmentation de la taille des composants	132
Figure IV.15: Connexion en étoile	132
Figure IV.16: Conversion complète du CAN avec une tension d'entrée de rampe à 125mV@100MHz.	133
Figure IV.17: Conversion complète du CAN avec une tension d'entrée de rampe à 125mV@5GHz.	134
Figure IV.18: Schéma pour tracer la caractéristique de transfert idéal et réel du CAN	135
Figure IV.19: Caractéristique de transfert idéal et réel du CAN à 100MHz@125mV	135
Figure IV.20: Caractéristique de transfert idéal et réel du CAN à 5GHz@125mV	136
Figure IV.21: Présentation de l'erreur de DNL pour le CAN Flash à 100Me/s	137
Figure IV.22: Présentation de l'erreur d'INL pour le CAN Flash à 100Me/s	137
Figure IV.23: Présentation de l'erreur de DNL pour le CAN Flash à 5Ge/s	138
Figure IV.24: Présentation de l'erreur d'INL pour le CAN Flash à 5Ge/s	138
Figure IV.25: Consommation moyenne d'énergie des sous-blocs CAN à un taux d'échantillonnage variable de 6.25 MHz à 5GHz avec une plage dynamique d'entre de 125 mV.	140
Figure IV.26: Dessin des masques du CAN Flash 4 bits proposé	141
Figure IV.27: Entrée binaire du CNA-SC 6 bits	143
Figure IV.28: Conversion complète du CNA-SC 6bits	144
Figure IV.29: Erreur DNL du CAN SC 6bits	146
Figure IV.30: Erreur INL du CAN SC 6bits	146
Figure IV.31: Dessin des masques du CAN SAR à 6 bits.	147
Figure IV.32: Dessin des masques du CNA-SC 6 bits	147
Figure IV.33: Entrée binaire du CNA-SC 4 bits	149
Figure IV.34: Conversion complète du CNA-SC 4bits	150

Figure IV.35: Présentation de l'erreur de DNL pour le CNA-SC 4 bits.....	150
Figure IV.36: Présentation de l'erreur d'INL pour le CNA-SC 4 bits.....	151
Figure IV.37: Dessin des masques du CNA- SAR à 4bits	152
Figure IV.38: Dessin des masques du CNA-SC 4bits.....	152

LISTE DES TABLEAUX

Table I.1: Récapitulatifs des caractéristiques des différents CAN à technologie semi-conductrices	31
Table II.1: Résolution du CAN contre la résolution spatiale sur la matrice	47
Table II.2: Caractéristiques d'un CAN&E/B pour la première couche du détecteur de vertex de l'ILC48	
Table II.3: Paramètres statique des transistors NMOS et PMOS en technologies CMOS 0.18 μ m	64
Table II.4: Spécifications de l'amplificateur	66
Table II.5: Comparaison entre les résultats simule, théorique et spécifique	74
Table II.7: Spécification du comparateur	79
Table II.8: Résultats de simulation de comparateur	83
Table II.9: Table de vérité pour l'encodeur 4 bits à bas des multiplexeurs	88
Table III.1: Comparaison entre les différentes architectures du CNAs	101
Table III.2: Spécifications du CNA-SC 6bits.....	103
Table III.3: Spécifications du CNA-SC 4bits.....	112
Table IV.1: Tensions d'entre du convertisseur et les nombre binaire correspondant	134
Table IV.2: Comparaison de resultats obtenir avec les travaux existe dans la littérature.....	142
Table IV.3: Comparaison de resultats obtenir avec les travaux existe dans la littérature.....	148
Table IV.4: Comparaison de resultats obtenir avec les travaux existe dans la littérature.....	153

LISTE DES ABRÉVIATIONS, DES SIGLES ET DES ACRONYMES

Symboles	Significations (français // anglais)
CAN/ ADC	Convertisseur analogique numérique // Analog-to-Digital Converter
CNA/DAC	Convertisseur numérique analogique // digital -to- analog converter
MAPS	Capteur à pixels actifs monolithiques // Monolithic Active Pixels Sensor
CMOS	Semi-conducteurs à oxyde métallique complémentaire // Complementary Metal–Oxide–Semiconductor
ILC	Collision linéaire internationale // International Linear Collider
LHC	Grand collisionneur de hadrons // Large Hadron Collider
SOC	Système sur une puce // Systeme On a Chip
CCD	Dispositifs à transfert de charge /Charge-Coupled Devices
MS	Modèle Standard
CERN	Centre Européen de la Recherche Nucléaire
E/B	Echantillonneur- bloqueur // SH Sample and Hold
DNL	Non linéarités différentielles // Differential Non-Linearity
INL	Non linéarités intégrales // Integral Non Linearity
TSMC	/Taiwan Semiconductor Manufacturing Company
MC	Mode de Courant // Current Mode
SAR	Registre d'approximations Successives // Successive Approximation Register
SFDR	Gamme dynamique utilisable // Spurious-free dynamic range
SNDR	Rapport signal sur bruit avec distorsion // Signal-to-Noise + Distortion Ratio
LEP	Grand collisionneur électron-positron // Large Electron Positon collider
PPS	Capteurs à pixel passif // Passive Pixel Sensor
APS	Capteurs à pixel actif // Active Pixel Sensor
SNR	Rapport signal sur bruit / Signal to Noise Ratio
CDS	Echantillonnage double corrélé // Correlated Double Sampling ()
IPHC	Institut Pluridisciplinaire Hubert Curien // Hubert Curien Multi-disciplinary Institute
MIMOSA	Capteurs de pixels actifs à MOS à particules ionisantes minimales // Minimum Ionizing particule MOS Active pixel sensors
Me/s // MS/s	Mégahertz échantillons /secondes // Mega-Sample/second
Ge/s	Gigahertz échantillons /secondes
CMRR	Taux de rejection du mode commun // Common Mode Rejection Ratio
PSRR	Taux de réjection des alimentations // Power Supply Rejection Ratio
ICMR	Dynamique d'entrée en mode commun // Input common Mode Range
SR	Vitesse de balayage // Slow Rat
LSB	Bit de poids faible // Least Significant Bit
MSB	Bit de poids fort // Most Significant Bit
PMOS	Transistor à effet de champ à grille isolée nommé MOSFET à Canal-P
NMOS	Transistor à effet de champ à grille isolée nommé MOSFET à Canal-N
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
SAR-MC	Registre d'approximations Successives en mode de courant
DFF	Registre à décalage de type D-latch // D-Type Flip-Flop
CNA-SC	Convertisseur numérique analogique à source du courant

LISTE DES PUBLICATIONS

Articles dans des revues internationales avec comités de lecture (6)

1. M. Chakir, H. Akhamal and H. Qjidaa, “A Design of a New Column-Parallel Analog-to-Digital Converter Flash for Monolithic Active Pixel Sensor”, The Scientific World Journal, Volume 2017, Article ID 8418042, 15 pages, 2017.
2. M. Chakir, H. Akhamal and H. Qjidaa, “Design of a Low Power, High Speed Analog to Digital Pipelined Converter for High Speed Camera CMOS using 0.18 μ m CMOS Technology”, Australian Journal of Basic and Applied Sciences. 9(2), Pages: 224-231, February 2015.
3. M. Chakir, H. Akhamal and H. Qjidaa, “A New 4-bit Current-Steering DAC for Successive Approximation ADC in 0.18- μ m CMOS Process”, Minor revision in journal: Journal of Circuits, Systems and Computers, 2018 .
4. H. Akhamal , M. Chakir and H. Qjidaa, “ A 20 ppm/oC Temperature Coefficient and High Power Supply Rejection Ratio Bandgap Reference Implemented in 90 nm CMOS Technology for Low Drop-Out Voltage Regulator Applications”, in Journal of Low Power Electronics, 1, March 2017.
5. H. Akhamal , M. Chakir and H. Qjidaa, “ Technique For A Higher PSRR In The Regulator Low-Dropout Voltage in 90 nm CMOS Technology”, Australian Journal of Basic and Applied Sciences, 9(2), Pages: 46-52,February 2015.
6. H. Akhamal , M. Chakir and H. Qjidaa, “Fast Transient Response Low Dropout Voltage Regulator’”, International Journal of Embedded Systems and Applications (IJESA) Vol.4, No.2/3, September 2014.

Communications internationales indexées en IEEE avec actes (4)

1. M. Chakir, H. Qjidaa, “1 GS/s, Low Power Flash Analog to Digital Converter in 90nm CMOS Technology”, International Conference on Multimedia Computing and Systems (ICMCS’12) en May 2012, Tanger, Morocco.
2. M. Chakir, H. Akhamal and H. Qjidaa, “ A Low Power 6-bit Current-steering DAC in 0.18- μ m CMOS Process”, The first International Conference on Intelligent Systems and Computer Vision, March 25, 26, 2015, Fez, Morocco.
3. H. Akhamal, M. Chakir, I. Lokman, H. Ameziane and H. Qjidaa, “ CMOS design of a boost-buck regulator with high efficiency for a wireless sensor network deployed for large aircraft in-flight tests”, 2016 5th International Conference on Multimedia Computing and Systems (ICMCS) en 29 Sept.-1 Oct. 2016, Marrakech, Morocco.
4. H. Akhamal, M. Chakir and H. Qjidaa, “ A 90nm CMOS «LDO» regulator with high load regulation using a gain boost-up technique”, 2016 5th International Conference on Multimedia Computing and Systems (ICMCS) en 29 Sept.-1 Oct. 2016, Marrakech, Morocco.

Communications nationales avec actes (8)

1. M. Chakir and H. Qjidaa, “A 1.8 VOLT 4 BIT FLASH ADC IN 0.18 μ M CMOS ”, la 3^{ème} édition des Journées Doctorales en Technologies de l’Information et de la Communication (JDTIC’11), 7, 8 & 9 Juillet 2011, Tanger, Maroc.
2. M. Chakir and H. Qjidaa, “A 1-GS/s 4-bit Low Power Flash ADC in 90nm CMOS Technology”, International Conference On Software Engineering, Databases And Expert Systems (SEDEXS’12) en June 2012, Settat, Morocco.
3. M. Chakir, H. Akhamal and Hassan Qjidaa, “A 10Ms/sec, Design of a Low Power, High Speed Sample and Hold, and Amplifier Folded Cascode for Pipelined A/D Converters using 0.18 μ m CMOS Technology”, The Fifth Workshop on Information Technologies and Communication (WOTIC2013) en December 2013, Fés, Morocco.

4. H. Akhamal , M. Chakir and H. Qjidaa, “Low Drop-Out Voltage Regulator With Fast Transient Response”,The Fifth Workshop on Information Technologies and Communication (WOTIC2013) en December 2013, Fés, Morocco.
5. M. Chakir, H. Akhamal and H. Qjidaa, “Design of a Low Power, High Speed Analog to Digital Pipelined Converter for CMOS Image Sensors Using 0.18 μ m CMOS Technology”, The First International Workshop on Wireless Technologies and Distributed Systems (WITS’2014) en April 2014, Fés, Morocco.
6. H. Akhamal , M. Chakir and H. Qjidaa, “A 0.844ps Fast Transient Response Low Drop-Out Voltage Regulator In 0.18- μ m CMOS Technology”,The First International Workshop on Wireless Technologies and Distributed Systems (WITS’2014) en April 2014, Fés, Morocco.
7. H. Akhamal , M. Chakir, H. Ameziane and H. Qjidaa, “A 110mA CMOS LDO Regulator with High Load Regulation using a Gain Boost-Up Technique”, Journée doctorate et post doctoral des systèmes d’information et telecommunications en 30 Décembre 2016, Ecole nationale des sciences appliquées de Fès, Morocco.
8. I. Lokman, H. Akhamal , M. Chakir, H. Ameziane and H. Qjidaa, “ A Low drop-out (LDO) regulator architecture in the power management RFID Tag”, Journée doctorate et post doctoral des systèmes d’information et télécommunications en 30 Décembre 2016, Ecole nationale des sciences appliquées de Fès, Morocco.

RÉSUMÉ

La conception d'un capteur monolithique à pixel actif MAPS exprime des exigences strictes de performance notamment celles relatives au convertisseur analogique-numérique (CAN) et numérique-analogique (CNA). Ce travail concerne la conception et l'optimisation de deux nouvelles architectures CAN flash 4 bits à colonne parallèle et CNA à sources du courant.

La première partie de ce travail traite l'intégration d'un bloc échantillonneur-bloqueur E/ B dans l'architecture du convertisseur afin d'augmenter la sensibilité de ce dernier pour détecter des signaux de faible amplitude et fournir au convertisseur assez de temps pour coder le signal d'entrée. La conception du CAN a été réalisée dans un processus $0,18 \mu\text{m}$ CMOS avec un pas de pixel de $35 \mu\text{m}$. Le MAPS est composé d'une matrice de 64 lignes et de 48 colonnes où chaque colonne CAN couvre une petite surface de $35 \times 336.76 \mu\text{m}^2$. Le CAN ainsi proposé répond aux contraintes de dissipation de puissance, de taille et de vitesse : une faible consommation avec une alimentation de 1,8 V et un taux d'échantillonnage de 100Me/s avec une plage dynamique de 125 mV. Son DNL et INL sont respectivement compris entre $0.0812 / -0.0787$ LSB et $0.0811 / -0.0787$ LSB. En outre, ce CAN peut fonctionner à des fréquences d'échantillonnage élevées autour de 5 GHz.

Les convertisseurs numériques-analogiques (CNAs) forment l'élément de rétroaction dans le convertisseur analogique-numérique à approximation successive (CNA SAR) en mode de courant (MC). La non-linéarité dans le CNA dégrade directement la linéarité du SAR MC à basse et moyenne fréquence. Par conséquent, il est nécessaire de concevoir des CNAs hautement linéaires lorsqu'ils sont utilisés dans le SAR MC en haute performance.

La deuxième partie de ce travail s'inscrit dans ce cadre et porte sur la proposition de deux nouvelles architectures d'un Convertisseur Numérique Analogique CNA à source du courant. La première concerne un CNA à 6 bits et la deuxième, plus performante, concerne un CNA à 4 bits optimisée par l'ajout de deux circuits RC à l'entrée de chaque grille des miroirs du courant. Les deux architectures fonctionnant avec une fréquence

d'échantillonnage plus de 10 MHz et une tension d'alimentation de 1,8 V, simulée dans la technologie 0,18 μm CMOS. Les simulations réalisées conduisent d'une part à de faibles erreurs de non-linéarité différentielle statique (DNL) et aussi à de faibles erreurs intégrales de non linéarité (INL) d'autre part à une faible dissipation de puissance et une petite surface. Elles témoignent des bonnes performances des architectures proposées.

Mots clés : CAN, Flash, MAPS, Pixels, ILC, Commutateur, Capacité, Injection, CNA, Source du courant, Miroir du courant cascade.

ABSTRACT

The design of a Monolithic Active Pixel Sensor MAPS expresses stringent performance requirements, particularly those relating to the analog-to-digital converter (ADC) and digital-to-analog converter (DAC). This work aims to designing and optimizing two new architectures of 4-bit column-parallel ADC Flash and Current sources DAC Converter.

The first part of this work deals with the integration of an S/H block in the converter architecture in order to increase the sensitivity of the converter to detect signals of low amplitude and provides a sufficient time to the converter to be able to code the input signal. The ADC design was performed in a 0.18 μm CMOS process with a pixel pitch of 35 μm . The MAPS consists of a matrix of 64 rows and 48 columns where each CAN column covers a small area of $35 \times 336.76 \mu\text{m}^2$. The CAN thus proposed meets the requirements of power dissipation, size and speed: low power consumption with a 1.8 V supply and a sampling rate of 100MS/ s with a dynamic range of 125 mV. Its DNL and INL are respectively between 0.0812 / -0.0787 LSB and 0.0811 / -0.0787 LSB. In addition, this ADC can operate at high sampling frequencies around 5 GHz.

The digital-to-analog converters (DACs) form the feedback element in the successive approximation analog-to-digital converter (SAR ADC) in current mode (MC). The non-linearity in the DAC directly degrades the linearity of the SAR MC at low and medium frequency. Therefore, it is necessary to design highly linear DACs when used in high-performance SAR MC. The second part of this work falls within this framework and deals with the proposal of two new architectures of digital-to-analog converter DAC with current sources. The first concerns a 6-bit DAC and the second, more efficient, concerns a 4-bit DAC optimized by the addition of two RC circuits at the input of each gate of the current mirrors. The two architectures operate with a sampling frequency of the order of 10 MHz and a supply voltage of 1.8 V simulated in the 0.18 μm CMOS technology. On the one hand,

the simulations carried out lead to low static differential nonlinearity (DNL) errors and also to low integral nonlinearity errors (INL). On the other hand, it leads to low power dissipation and small area. They testify to the good performances of the proposed architectures.

Keywords: ADC, Flash, MAPS, Pixels, ILC, Switch, Capacity, Injection, DAC, Current Steering, current mirror cascade.

INTRODUCTION GÉNÉRALE

Les capteurs monolithiques à pixels actifs (MAPS) fabriqués en technologie CMOS sont des dispositifs de suivi des particules chargés, intégrant sur le même substrat de silicium un élément de détecteurs sensibles au rayonnement avec son électronique de lecture à l'extrémité avant. Au cours des dernières années, les capteurs monolithiques à pixels actifs CMOS (MAPS) [Fou et al., 2007, Tur et al., 2001, Winter, 2010] ont évolué comme une alternative intéressante pour satisfaire les exigences du détecteur de vertex dans les futures applications de physique à haute énergie et d'imagerie biomédicale par rapport aux détecteurs existants comme dispositif à transfert de charges (Charge Coupled Devices, CCD) [Sop et al., 2006, Janesick, 2001, Sopczak, 2005, Stefanov, 2001, Ste et al., 2000, Sopczak, 2005] ou Détecteurs de pixels hybrides (Hybrid Pixel Detectors, HPD) (HPD) [Bat et al., 2001]. Le MAPS présente de nombreux avantages, tels que la résolution spatiale élevée, la fabrication à faible coût, la faible puissance, le rayonnement de faible durée, la compacité, l'accès aléatoire et la lecture rapide. Néanmoins, Malgré tous ces avantages, de nombreux défis persistent pour l'avenir du détecteur de vertex (vertex detector, VXD) dans le Collisionneur Linéaire International (International Linear Collider, ILC) [ILD, 2010]. Il existe trois difficultés pour traiter un signal de pixel de très faible amplitude (environ quelques millivolts). La première concerne la chaîne de lecture qui doit avoir une faible limitation du bruit; la seconde porte sur la vitesse du circuit de lecture qui doit être rapide afin de réaliser un temps d'intégration allant de 10 à 100 μ s, la vitesse du circuit de lecture doit être rapidement, et la dernière consiste à diminuer suffisamment la consommation d'énergie et la zone active.

La popularité de l'architecture de lecture en colonne parallèle dans l'amélioration de la vitesse de lecture, permettant de lire jusqu'à 10 k images/s, permet de concevoir et de fabriquer plus de 30 capteurs de pixels actifs à MOS à particules ionisantes minimales (MIMOSA) [Guo et al., 2009, Kle et al., 2006]. Les capteurs équipant la couche la plus

interne de l'ILC VXD doivent montrer une résolution supérieure à 3 μm attachée à un temps d'intégration très court (moins de 10 μs). Cette condition préalable encourage un effort de R & D centré sur une conception de vitesse de lecture élevée. Un petit pixel de 16 μm (appelé MIMOSA-30) terminé par un discriminateur a été proposé [Win et al., 2012, Deg et al., 2005, Lut et al., 2007, Val et al., 2012]. Les capteurs les plus importants pour les couches extérieures qui représentent environ 90% de la surface VXD totale semblent avoir moins de limites en termes de résolution spatiale et de vitesse de lecture. Pour minimiser la consommation d'énergie, une résolution de 3-4 μm doit être combinée avec un temps d'intégration inférieur à 100 μs , où il est sensé constituer un compromis précieux. Un pas de pixel plus grand de 35 μm combiné avec un CAN 4-bits a été proposé [Zha et al., 2013, Baudot, 2011], réduisant ainsi la consommation d'énergie sans perdre la résolution spatiale.

Les travaux présentés dans ce rapport de thèse s'intéressent aux développements des architectures de CANs pouvant répondre aux contraintes particulièrement fortes posées par les spécifications des expériences prévues au sein de l'ILC. Dans cette introduction, nous présenterons d'abord la problématique de la conception des CANs pour les capteurs MAPS dans laquelle nous nous plaçons, ensuite nous présenterons les contributions proposées dans le cadre de cette thèse et nous concluons par un plan de ce document.

1. Problématiques

Les convertisseurs analogiques numériques représentent le cœur de tout Système On Chip (SOC). En transformant l'information analogique délivrée par le capteur en données numériques, ils ouvrent de nouvelles perspectives en termes d'intégration de circuit.

Les architectures des CANs ont été étudiées par plusieurs chercheurs [Zha et al., 2013, Dah et al., 2008, Pil et al., 2010, Zha et al., 2014a, Zha et al., 2014b, Dah et al., 2008b, Bou et al., 2007, Dim&Vas, 2007, Tan et al., 2014, Zhu et al., 2010, Sai et al., 2014, Car&Van, 2012, Chakir&Qjidaa, 2012, Chakir et al., 2015b]. Ces architectures classiques ne permettent pas de satisfaire le cahier de charges et présentent plusieurs limites telles que:

- Leur faible fréquence de conversion.
- Leur grande consommation d'énergie,
- Leur grande surface d'intégration en bas des colonnes du capteur MAPS.

- Leur faible sensibilité aux faibles signaux d'entrées à la sortie de chaque pixel qui doivent avoir une amplitude supérieure à quelque centaine de mV pour leur bon fonctionnement.
- Leur technologie d'intégration (technologie CMOS 0,35 μm) qui présente des effets contraignants sur la réalisation du CAN (encombrement, dissipation de puissance, nombre réduit de couches de métallisation) en plus du nombre de couches de métallisation qui n'est que de 4 métaux ce qui rend le routage difficile et introduit des capacités parasites.
- Leur grande CAN qui excède 500 μm de longueur ne permettant pas de minimiser la zone insensible globale du détecteur.

Pour résoudre le problème de la vitesse, M. Dahoumane et al [Dah et al., 2008, Dah et al., 2008b] et J. Bouvier et al [Bou et al., 2007] ont proposé l'architecture de pipeline pour obtenir une vitesse élevée. Cependant, cette architecture nécessite plusieurs amplificateurs opérationnels ce qui entraîne une forte dissipation d'énergie.

N. Pillet et al. Dans [Pil et al., 2010] ont proposé l'architecture double rampe pour obtenir une faible consommation d'énergie et de petite surface. Cependant, cette architecture ne permet pas d'atteindre des vitesses de conversion supérieures à 1M échantillons / s.

Liang Zhang et al [Zha et al., 2013, Zha et al., 2014a, Zha et al., 2014b] ont proposé l'architecture SAR. Cependant, cette architecture nécessite plusieurs cycles de comparaisons pour compléter une conversion. Ceci limite la vitesse de fonctionnement.

En résumé, toutes ces architectures présentent des problèmes ce qui limite leur utilisation dans la détection des particules chargées. Plusieurs points clés, tels que la précision en bits, la dissipation de puissance et la vitesse de conversion [Tur et al., 2001] ont été utilisées pour une conception optimale de convertisseurs. Par contre, si ces architectures des CANs tel que l'architecture pipeline, l'architecture à double rampe et l'architecture à registre d'approximations successives (SAR) ont été largement utilisées dans la littérature pour concevoir les capteurs MAPS, aucun travail ne s'est intéressé à l'utilisation de l'architecture CAN Flash reconnue par sa faible consommation d'énergie (dans le cas où le nombre de bits est faible) et présenter une forte rapidité qui répond parfaitement à la spécification actuelle.

L'objectif de ce travail de thèse est de concevoir, réaliser et caractériser un CAN répondant à ces exigences conflictuelles. Ce dernier doit être intégrable à l'échelle des colonnes des matrices de pixels des capteurs MAPS, qui composeront le détecteur de vertex à l'ILC. La particularité du cahier de charge imposé sur la réalisation de ce CAN exclut toute possibilité de recourir aux circuits existants. D'où, la nécessité de développer un nouveau CAN spécifique, qui doit satisfaire les contraintes suivantes :

- La fréquence de conversion doit être très élevée.
- La technologie utilisée doit être celle déjà validée pour réaliser les pixels (technologie CMOS 0,18 μm , actuellement) pour résoudre les problèmes de l'encombrement, la dissipation de puissance et le nombre réduit de couches de métallisation.
- Le signal minimum n'est que de 1 mV à la sortie de chaque pixel. Cette valeur est du même ordre de grandeur que les variations des seuils des transistors en technologie CMOS.
- La largeur du dessin des masques du convertisseur doit être ajustée à celle des pixels, qui est de 35 μm .
- La longueur du CAN ne doit pas excéder 500 μm , pour minimiser la zone insensible globale du détecteur.
- La consommation d'énergie du CAN doit être minimisée le plus possible.

Dans ce manuscrit et pour répondre à la contrainte de la vitesse élevée exigée par le marché ainsi que pour balayer toute la gamme de fréquence (fréquence moyenne et fréquence élevée) nous allons proposer deux nouvelles architectures du CAN. La première architecture proposée est du type flash 4-bit à colonne parallèle caractérisée par sa faible puissance de consommation, sa haute vitesse et sa faible surface. Ce type de CAN sera utilisé pour les applications à hautes fréquences qui peuvent atteindre 5GHZ. La deuxième architecture proposée est du type CAN à SAR. Cette dernière sera appliquée pour les fréquences moyennes qui peuvent dépasser 10MHZ. Dans cette dernière nous allons nous intéresser au bloc CNA à source du courant où nous allons proposer une première architecture du CNA à 6 bits et une deuxième architecture plus performante d'un CNA à 4 bits optimisée par l'ajout de deux circuits RC à l'entrée de chaque grill des miroirs de courant.

Pour montrer les performances de nos architectures du CAN proposé nous avons dressé une comparaison avec d'autres architectures du CAN publiées en littérature.

2. Contributions

Afin de résoudre les différentes problématiques précédemment présentées, nous allons proposer deux nouvelles architectures de CAN de type Flash 4bits et de CAN de type SAR en mode du courant particulièrement le CNA SC dans le quelle nous allons proposer 6 contributions. Les cinq premières concernent le convertisseur flash et la sixième concerne le CNA à source du courant :

- ✓ **Contribution (1):** Contribution à la conception d'une nouvelle architecture du circuit d'échantillonneur bloqueur précise et rapide.

L'intégration de cette nouvelle architecture d'échantillonneur-bloqueur(E/B) dans le convertisseur va :

- i. Augmenter la sensibilité du convertisseur à la très petite amplitude du signal d'entrée du capteur (environ quelques millivolts).
- ii. Fournir un temps suffisant au convertisseur pour pouvoir coder le signal d'entrée.

- ✓ **Contribution (2):** Contribution à la conception d'un comparateur très rapide.

Les performances d'un comparateur qui sont le grand gain en boucle ouverte, la grande vitesse de balayage (Slow Rat, SR), la grande dynamique d'entre en mode commun (Input common Mode Range, ICMR), le faible décalage (offset), la grande bande passante (bandwidth), le faible temps de stabilisation (setting time) et la faible dissipation de puissance (power dissipation) répondent aux contraintes spécifiées dans le cahier de charge.

- ✓ **Contribution (3):** Contribution à la conception d'un pont diviseur à résistances appariées.

Dans cette proposition, notre idée est de génère les tensions de références à l'aide de circuits de référence de tension. Des espacements non uniformes entre ces signaux, causés par des erreurs d'appariement des résistances, contribuent fortement aux non linéarités des convertisseurs flash. Pour résoudre ces problèmes nous avons proposé des régules dans l'appariement des résistances.

- ✓ **Contribution (4):** Contribution à la conception d'un encodeur à faible consommation conçu à partir des multiplexeurs.

Dans cette proposition, notre idée est de convertir les codes thermomètre en codes binaires à bas des multiplexeurs utilise le MUX 2: 1. Nous avons proposé un nouvel encodeur à 4 bits de faible puissance, de grande vitesse et de petite surface. Le circuit d'encodeur à bas des multiplexeurs utilise le MUX 2: 1, nous avons donc besoin de 11 MUX et 4 inverseurs pour implémenter 15 entrées. Il convient de noter que lors de cette étape, les signaux sortant ne sont pas synchrones. Pour résoudre ce problème, un registre DFF est proposé il permet d'obtenir un signal binaire synchrone au moyen de quatre bascules de type latch. Les signaux de sortie sont composés de 4 bits sortant en parallèle.

- ✓ **Contribution (5):** Contribution à la conception d'un registre à décalage de type D-latch (D-Type Flip-Flop, DFF) à faible puissance.

Dans cette contribution, notre idée est de créer un circuit TG-Registre de type D-latch à faible puissance (Maître-Esclave) en technologie CMOS basé sur le circuit de bascule TG-latch pour synchroniser les signaux provenant de l'encodeur. Les bascules Maître-Esclave réduisent la sensibilité au bruit en minimisant la durée de transparence. Ils fonctionnent sur le front montant d'horloge. Le circuit de maître-esclave de type *D*-latch est composé de 2 *D*-latch en cascade et en opposition de phase. Le premier s'appelle maître; Le second s'appelle esclave. En effet, ce circuit permet d'obtenir un signal binaire synchrone au moyen des bascules de type *D*-latch.

Le CAN convertit le signal de sortie de pixel en utilisant une nouvelle architecture flash CAN basée sur cinq blocs fonctionnels qui sont : un circuit de l'échantillonneur-bloqueur (E/B), un circuit de pont diviseur, un circuit des séries de comparateurs, un circuit d'encodeur à base des multiplexeurs et un circuit de registre DFF. Le circuit de l'échantillonneur-bloqueur est utilisé pour échantillonner et amplifier les signaux provenant du pixel. Un pont diviseur de résistances placé en série génère des tensions de référence de comparateurs. Pour le convertisseur 4 bits, nous avons besoin d'une échelle avec 16 résistances. Ici, la tension maximale est divisée par 16. La série de comparateurs composée de 15 comparateurs, y compris un buffer et un préamplificateur, sont utilisées pour adapter le niveau des tensions de références fournies par le « pont diviseur ». La sortie d'un comparateur est de 1.8V lorsque la tension d'entrée devient supérieure à la référence de

tension concernée et 0V autrement. Un encodeur à base des multiplexeurs utilise un multiplexeur 2: 1 nécessitant 11 multiplexeurs et 4 inverseurs pour la mise en œuvre de 15 entrées qui convertissent les codes du thermomètre en code binaire. On notera que lors de cette étape le signal sortant n'est pas synchrone. Pour résoudre ce problème, un registre DFF est proposé pour permettre un signal binaire synchrone au moyen de quatre bascules de type latch. Le signal de sortie constitue donc un bus de 4 bits sortant en parallèle.

Contribution(6) : Contribution à la conception des nouvelles architectures de convertisseur Numérique Analogique (CNA) 4 et 6 bits à sources du courant (SC) avec des performances aux plusieurs niveaux : au niveau de la minimisation de surface et de la puissance dissipée, au niveau de la stabilisation de la tension de polarisation grill-source et de la réduction du courant sur la grille du miroir du courant. Les CNA-SC proposés sera développé en technologie CMOS 0.18 μm afin de pouvoir être intégré dans le SAR MC pour l'application détecteur de vertex à base de MAPS ou d'autres applications bien déterminées.

3. Plan du manuscrit

Ce manuscrit présente les détails de la conception de deux architectures successifs de Convertisseur Analogique Numérique Flash et de Convertisseur Numérique Analogique à source du courant réalisés en technologie CMOS 0,18 μm à basse tension, avec le souci d'augmenter la vitesse et de minimiser à la fois la puissance dissipée et la surface. L'outil Cadence Virtuoso est utilisé pour schématisation, layout, placement, routage, et la simulation. Le design du système sous le processus CMOS 0.18 μm prend en considération tous les aspects physiques du processus de fabrication pour optimiser la relation performance-coût. Les résultats de la simulation de ces circuits seront présentés et analysés.

Dans le première chapitre, nous commençons d'abord par un rappel sur les caractéristiques et les spécifications des capteurs monolithiques à pixels actifs en technologie CMOS. Ceci nous a permis de déterminer les contraintes sévères imposées sur le détecteur du vertex et, par conséquent, sur la conception de l'électronique de lecture intégrée avec les capteurs et du CAN particulièrement. Ensuite, nous présentons un bref état de l'art des CANs qui a permis de mettre en évidence le manque d'architectures performantes répondant aux exigences d'un détecteur de vertex, et justifie le développement d'architectures spécifiques pour ce type d'application. Dans une troisième partie de ce

chapitre nous présentons une explication détaillée des différentes sources de bruits présents dans les CANs. Enfin, nous faisons une comparaison entre les différentes architectures des CANs.

Dans le deuxième chapitre, nous développons une étude détaillée d'un nouveau CAN pour les applications en physique de particule, car elles aussi demandent de très hautes fréquences d'échantillonnage, de très faibles consommations et de faible surface. Afin de remplir le cahier des charges demandé pour l'application détection de vertex, l'architecture flash a été retenue. Ce choix s'explique par la rapidité, la consommation et la surface de cette architecture. A cet effet, on va commencer par la présentation d'une architecture de capteur monolithique à pixel actif pour introduire le cahier des charges (CDC) de CAN flash 4 bits. Puis on va étudier les contraintes liées à la conception de ce convertisseur. Ensuite, nous évaluons les performances du convertisseur qui sont directement dépendantes des performances de tous les blocs composent de celui-ci (un circuit de l'E/B, un circuit de pont diviseur, un circuit des séries des comparateurs suivis d'un circuit d'encodeur et d'un circuit des bascules D-latch (DFF)). Une extrême précision sur le bloc de l'échantillonneur bloquer est nécessaire pour ne pas perturber le résultat de la conversion. Les résultats de simulation ont montré la performance de l'architecture proposée au niveau de la minimisation de la surface et de la puissance dissipée et au niveau de la rapidité de notre architecture.

Dans le troisième chapitre, nous allons proposer une nouvelle architecture de convertisseur numérique analogique (CNA) 4 et 6 bits à sources du courant (SC) intégrable dans le convertisseur analogique numérique à approximation successive (SAR) mode de courant (MC) pour la détection des particules chargées. A cet effet, on va commencer par la présentation d'une architecture de convertisseur SAR MC pour introduire le cahier des charges (CDC) des CNA-SC. Puis on va étudier les contraintes liées à la conception d'un CNA à sources du courant. Les résultats de simulation ont montré la performance de l'architecture proposée au niveau de la minimisation de surface et de la puissance dissipée et au niveau de la stabilisation de la tension de polarisation grill-source et de la réduction du courant sur la grille du miroir du courant.

Le dernier chapitre, sera réservé à l'étude expérimentale de convertisseur analogique numérique on commençant tout d'abord par une présentation de l'ensemble des caractéristiques spécifiques définies par la norme IEEE « IEEE Standard for terminology

and test methods for analog to digital converters ». Cette norme nous a permis une comparaison raisonnable des caractéristiques des CANs proposées avec ceux existant dans la littérature. Ensuite, nous présentons les règles de dessin de masque (Layout) en technologies CMOS 0.18 μ m. En fin, nous proposons une simulation complète (top) de notre convertisseur flash à 4 bits, CNA 6 et 4 bits optimisé et adapté pour coder les signaux des pixels.

Enfin, une conclusion générale présente une synthèse de différentes contributions apportées ainsi que les pistes qui définissent des perspectives possibles pour des travaux futurs.

CHAPITRE I: CAPTEURS MAPS A PIXELS ACTIFS POUR LE DÉTECTEUR DE VERTEX EN PHYSIQUE DES PARTICULES

1. Introduction

La réalisation du convertisseur analogique-numérique pour coder les signaux des capteurs CMOS à pixels doit répondre à un cahier des charges particulièrement sévère, qui est imposé par les exigences du détecteur de vertex. L'objectif, dans ce chapitre, à travers l'étude des spécifications des capteurs CMOS est de montrer la nécessité d'intégrer un CAN avec le capteur pour atteindre une résolution spatiale recherchée du capteur et déterminer les différents points du cahier des charges imposé sur la conception du CAN.

La résolution, les dimensions (la forme), la vitesse et la puissance dissipée du CAN prévu dépendront directement des exigences imposées par le programme de physique de l'ILC sur le détecteur de vertex en termes de résolution spatiale, granularité, taux d'occupation et minceur, respectivement. Alors, le rappel des objectifs et des défis scientifiques de l'expérience à l'ILC et l'étude du contexte spécifique dans lequel fonctionneront les capteurs CMOS intégrant ce CAN seront indispensables pour définir les paramètres caractéristiques motivant le développement d'un CAN spécifique dans le cadre de mon travail de thèse.

A cet effet, ce chapitre commence par un rappel des caractéristiques et des spécifications des capteurs monolithiques à pixels actifs en technologie CMOS. Ceci nous a permis de déterminer les contraintes sévères imposées sur le détecteur du vertex et, par conséquent, sur la conception de l'électronique de lecture intégrée avec les capteurs et du CAN particulièrement. Ensuite, je présenterai un bref état de l'art des CANs qui a permis de mettre en évidence le manque d'architectures performantes répondant aux exigences d'un détecteur de vertex, et justifie le développement d'architectures spécifiques pour ce type d'application. Dans une troisième partie de ce chapitre nous présentons une explication détaillée des différentes sources de bruits présents dans les CANs. Enfin nous faisons une comparaison entre les différentes architectures des CANs.

2. Capteurs Monolithiques à Pixel Actif (MAPS)

Grâce à l'avancée technologique spectaculaire récemment atteinte (fin des années 1990 et années 2000), un nouveau type de capteurs utilisé pour la détection de particules chargées a tendance à s'imposer pour équiper le détecteur de vertex du futur ILC : les Capteurs Monolithiques à Pixel Actif (MAPS).

Depuis le début du développement et caractérisation des MAPS en 1999 à l'IPHC en vue de les intégrer dans le détecteur de vertex pour ILC, une série de plusieurs Prototypes de MIMOSA (Minimum Ionizing particule MOS Active pixel sensors) a été développée et caractérisée, offrant d'excellents résultats [Win et al., 2007b, Win et al., 2007a, Win et al., 2009]. Les performances obtenues laissent présager un large domaine d'application.

2.1. Principe de détection

La figure I.1 représente une coupe 3D d'un pixel, chaque cellule de MAPS (i.e. pixel) est constituée de trois couches, disposées en « sandwich » : le substrat fortement dopé p, une couche épitaxiée de faible dopage p et une couche supérieure composée d'un caisson dopé p et d'un caisson dopé n. L'électronique de pré-conditionnement du signal du pixel est intégrée sur le caisson p. Le principe de détection des particules chargées est illustré sur la figure I.1. La particule incidente crée des paires électron-trou (e-h) dans la couche épitaxiée à raison de 80 paires e-h/ μm en moyenne. Les porteurs de charge générés diffusent thermiquement vers les jonctions. Les électrons sont collectés par la jonction créée par le contact entre la couche épitaxiée et le caisson de type n. La charge collectée est convertie en tension électrique et subit le premier traitement analogique du signal à l'intérieur de chaque pixel (contrairement aux CCDs). La résolution spatiale des MAPS est déterminée par l'espacement entre les caissons de type n implantés, qui correspondent au pas du pixel. La structure en sandwich de chaque pixel permet d'avoir un taux de remplissage (full factor) de 100%, car le volume sensible, constitué par la couche épitaxiée, est sous l'électronique du pré-conditionnement [Die et al., 1997].

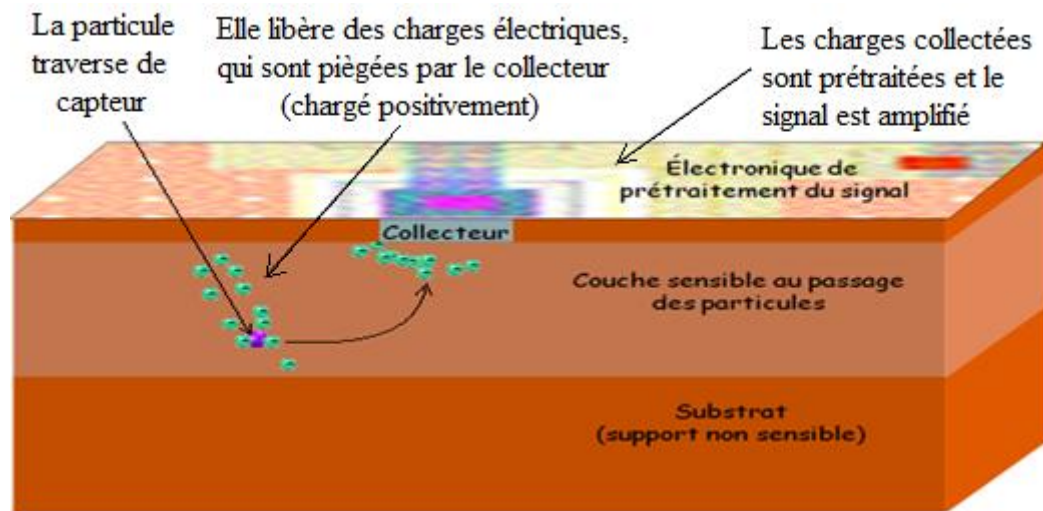


Figure I.1: Principe de détection des capteurs MAPS

Dès que la particule traverse le capteur elle libère des charges électriques, qui sont piégées par le collecteur (chargé positivement) enfin les charges collectées sont prétraitées et le signal est amplifié.

Après que la particule traverse le capteur on détermine la position précise du passage de la particule comme montre la figure suivant :

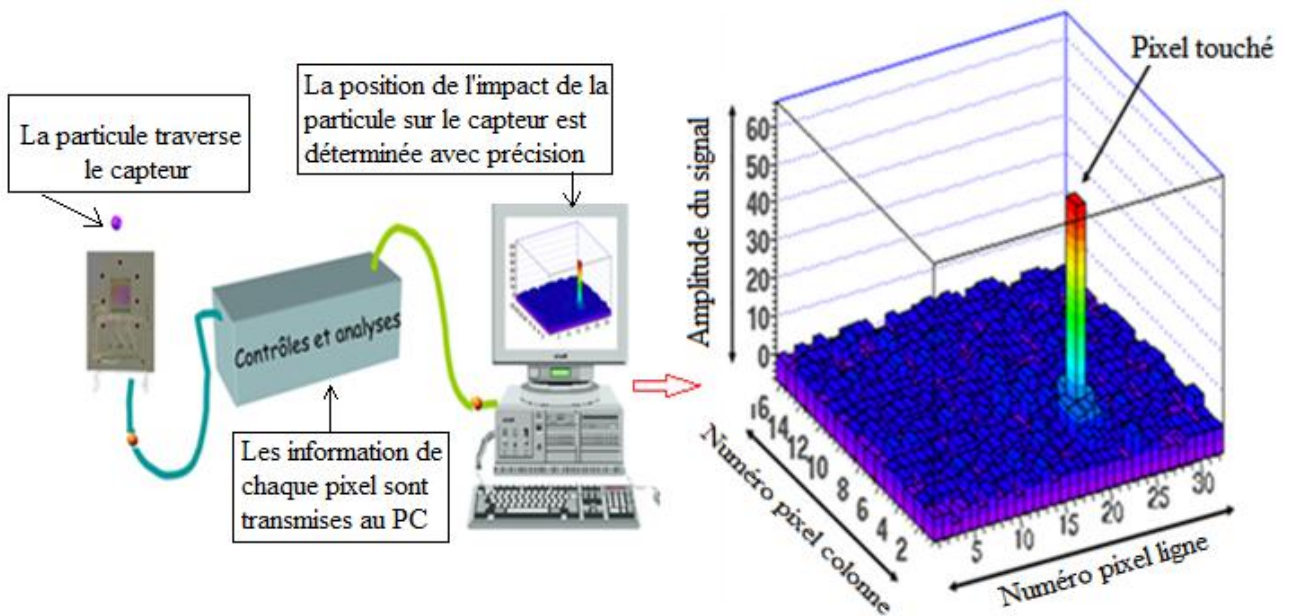


Figure I.2: Principe de détermination de la position précise du passage de la particule

À quoi ça sert déterminer la trajectoire des particules ?

Les capteurs pourront être utilisés pour construire le détecteur de trajectoires le plus proche de la collision.

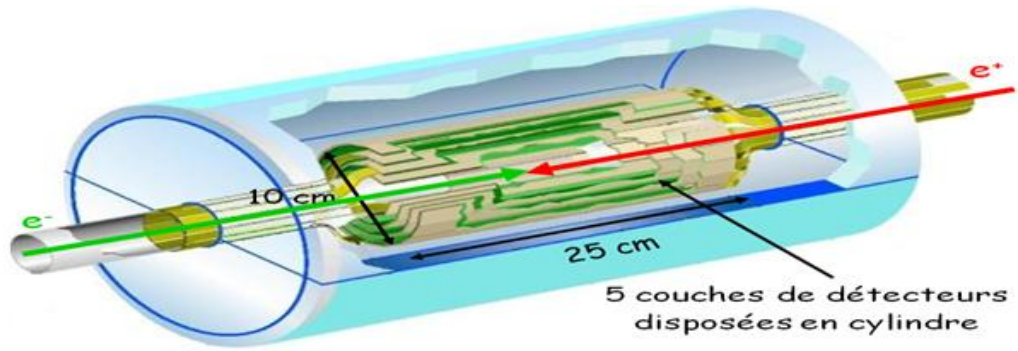


Figure I.3: Détecteur de trajectoires avec 5 couches disposées en cylindre

Pour construire un détecteur de trajectoires

On commence par fabriquer une échelle de capteurs sur un support en fibre de carbone

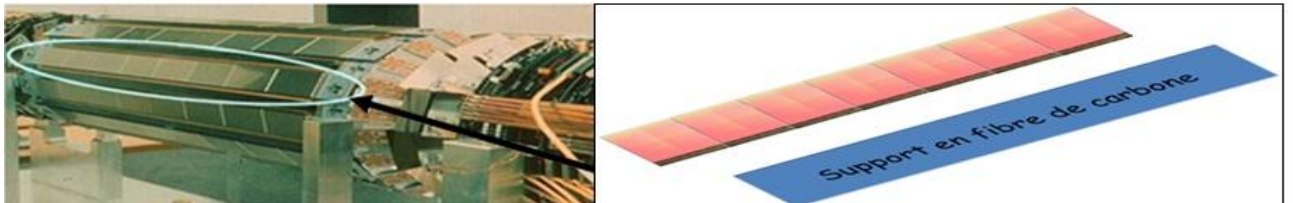


Figure I.4: Echelle de capteurs sur un support en fibre de carbone

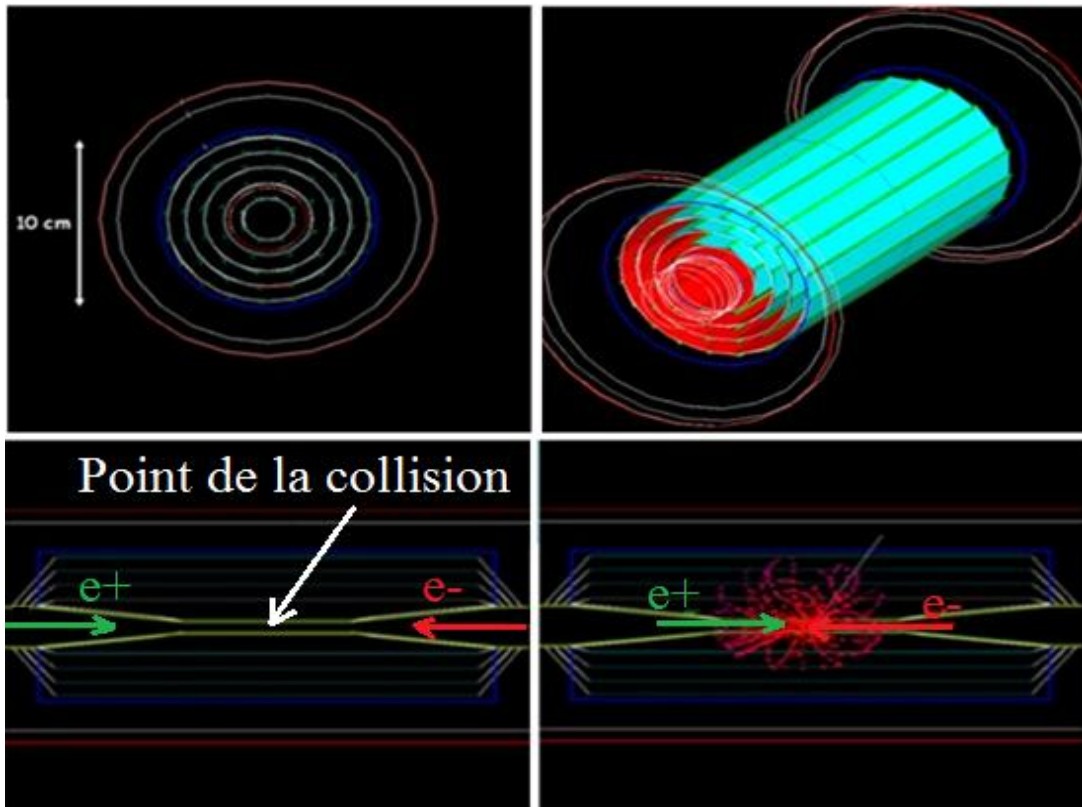


Figure I.5: Détecteur de trajectoires

Les échelles de capteurs sont disposées en cylindre et la collision entre les particules est effectuée au centre de détecteur de trajectoires. Elle crée de nouvelles particules qui sont émises dans toutes les directions.

Connaissant la position du passage des particules avec une haute précision,

L'informatique nous permet de reconstruire les trajectoires de toutes les particules dans le détecteur.

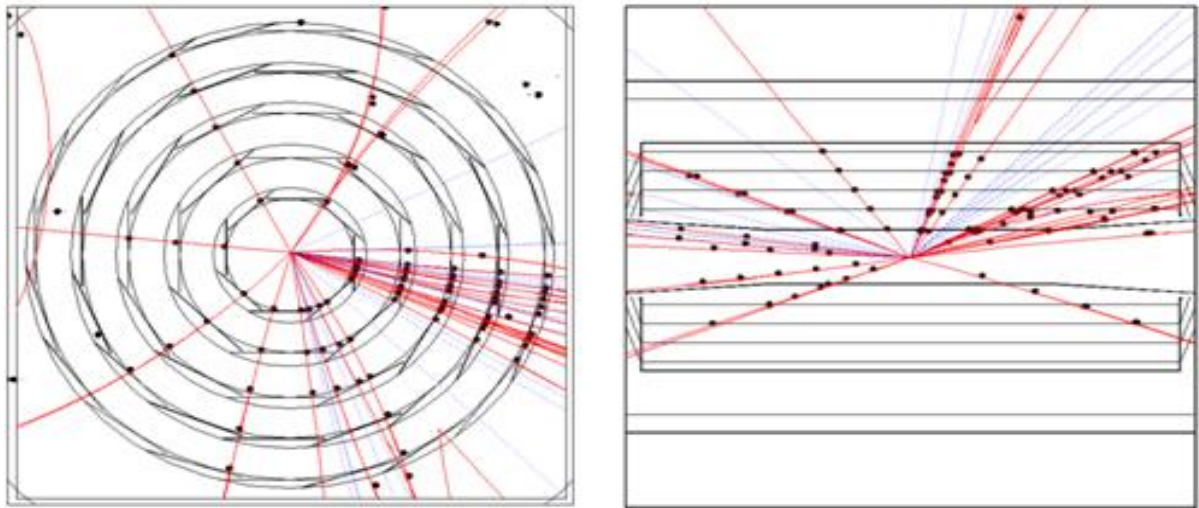


Figure I.6: Reconstruction des trajectoires de toutes les particules dans le détecteur

2.2. Architecture des MAPS

Comme il a déjà été mentionné avant, le temps de lecture de la couche intérieure du détecteur de vertex ne doit pas excéder 35 μs . Ce temps est court compte tenu du nombre de pixels à lire par image. Afin d'atteindre cette performance, le capteur (MAPS) est divisé en colonnes de pixels lues en parallèle. Au sein de chaque colonne, les pixels sont lus séquentiellement. La fréquence de lecture de chaque pixel est plus de 10 MHz [Win et al., 2007b]. La figure I.7 illustre une architecture globale d'un capteur MAPS, qui intègre plusieurs fonctionnalités sur le même substrat pour constituer un vrai système sur puce (System On Chip, SOC). La partie sensible aux rayonnements est composée d'une matrice de pixels actifs de taille de $20\mu\text{m} \times 20\mu\text{m}$ chacun. Actuellement, en bas de chaque colonne de pixel est intégré un discriminateur réalisé par l'équipe d'IRFU-Saclay du CEA [Deg et al., 2003, Deg et al., 2006].

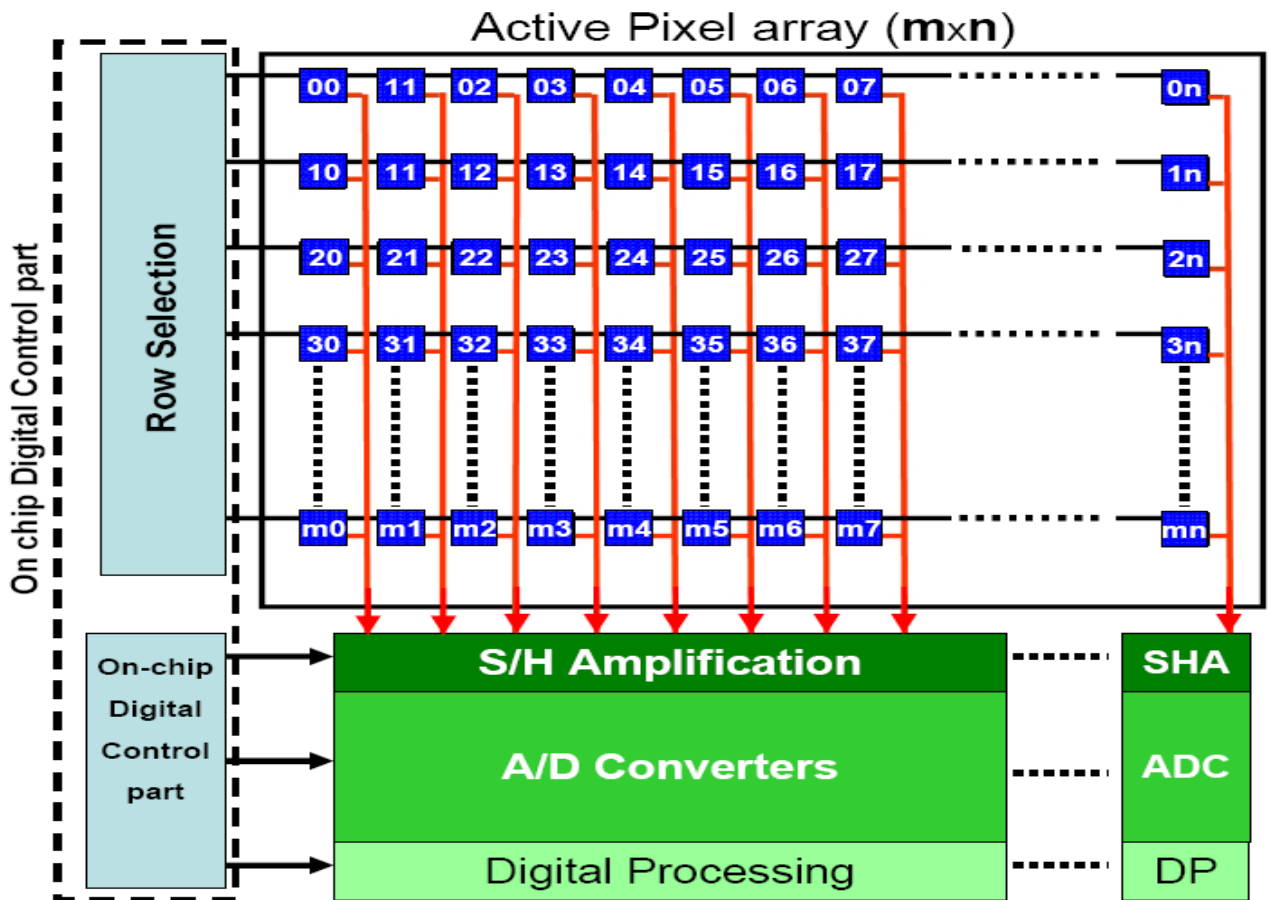


Figure I.7: Architecture globale d'un capteur MAPS comprenant la matrice de pixels avec ses électroniques de lecture associées et les étapes de conversion.

Dans la version finale des MAPS, les discriminateurs seront remplacés par des Convertisseurs Analogique-Numérique (CAN) très compacts de 4 ou 5 bits de résolution. Par conséquent, la sensibilité et la résolution spatiale des capteurs seront améliorées suffisamment pour répondre à l'exigence du détecteur de vertex (ILC) en termes de résolution spatiale et granularité [Bes et al., 2007].

Les éléments de la partie sensible comme ceux de l'électronique de conditionnement et de lecture sont contrôlés par une logique qui, elle également, est intégrée dans le circuit de MAPS.

2.3. Lecture du pixel dans les MAPS

De nombreuses modifications ont été apportées sur le pixel des capteurs MAPS depuis 1999, en commençant à partir d'un simple pixel 3-T (3 Transistors). Afin d'augmenter la vitesse de lecture et de réduire le bruit dans le pixel (e.g. bruit de reset), un échantillonnage double corrélé (Correlated Double Sampling, CDS) a été inclus dans le pixel. La figure I.8 montre une architecture d'un pixel avec reset de la diode (p-epi/n-well). Un étage de pré

amplification est situé très près de la diode de collection de charge. Le circuit de CDS est composé d'une capacité MOS en série avec deux interrupteurs de reset. Le premier interrupteur (RST1) sert à initialiser la diode à la valeur de V_{ref1} et le deuxième (RST2) est utilisé pour sauvegarder l'offset du préamplificateur et celui de la valeur de reset V_{ref1} dans la capacité MOSCAP, appelée capacité de clamping. PWR_ON permet d'envoyer le signal du pixel, via le suiveur (Source Follower, SF), sur le bus de données commun à tous les pixels d'une même colonne. Les signaux RD et CALIB sont utilisés pour mémoriser la valeur du signal (signal d'intensité) et la valeur du signal de référence (signal d'obscurité) respectivement. Une description détaillée du fonctionnement est donnée dans [Cla et al., 2008].

La séquence des commandes du pixel est illustrée sur le chronogramme de la figure I.9.

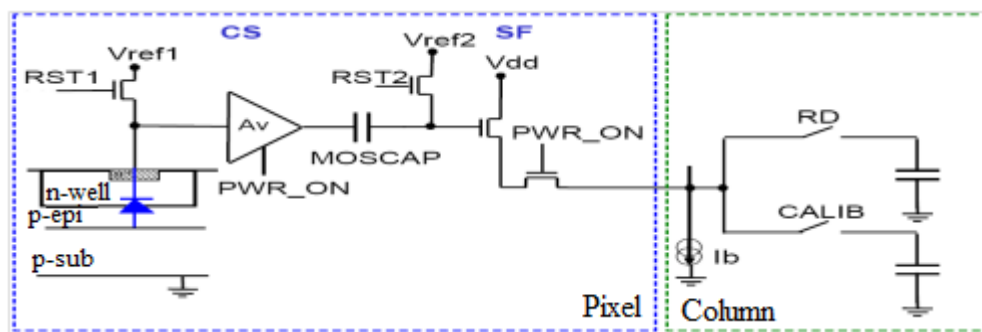


Figure I.8: Principales spécifications de l'architecture du pixel avec reset de la diode.

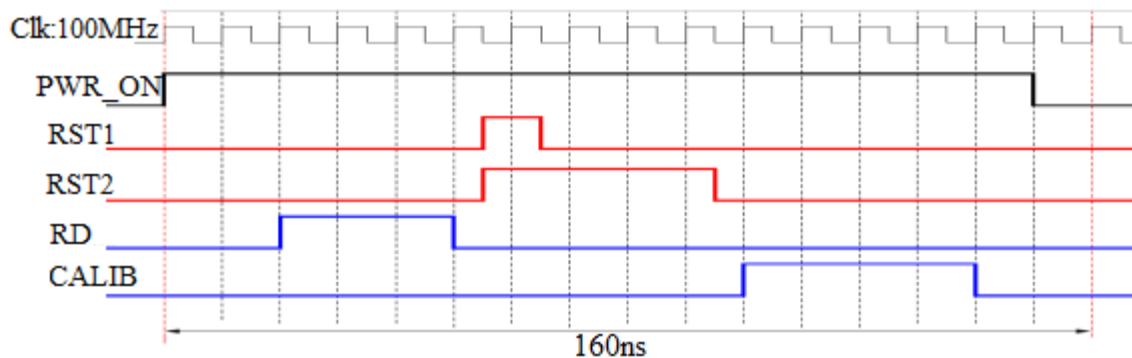


Figure I.9: Séquence des commandes de lecture d'un pixel avec reset de la diode.

2.4. Caractéristiques et performances des MAPS

Différents prototypes de capteurs MAPS ont fait l'objet de plusieurs tests en laboratoire à l'IPHC-Strasbourg et IRFU-Saclay et de tests en faisceaux. Ils présentent des résultats satisfaisants pour les exigences du détecteur de vertex à l'ILC en termes de : granularité et résolution spatiale très poussées, efficacité de détection, SNR, fréquence de fonctionnement, tolérance aux rayonnements (ionisants et non-ionisants), basse dissipation de puissance,

fonctionnement à température ambiante...etc. Les résultats détaillés sont reportés dans [Wsite] et par [Win et al., 2007b, Win et al., 2007a, Win et al., 2009].

En plus de ces avantages capitaux, les MAPS doivent également être totalement monolithiques. Ceci est possible par l'intégration de toutes les fonctionnalités nécessaires (échantillonnage, codage, suppression des zéros, sérialisation, mémorisation ...etc.) sur un même substrat. L'électronique de lecture, de conditionnement et de conversion du signal analogique du pixel est la charnière entre le pixel et le traitement numérique des données. A cet effet, des contraintes sévères sont à satisfaire pour la conception de ces deux premiers étages de toute la chaîne de lecture. L'étude de cette partie amont de la chaîne de lecture est l'objectif principal du travail dans cette thèse.

2.5. Nécessité de codage des signaux des pixels par un CAN

L'étude dans les sections précédentes de ce chapitre a montré la nécessité d'intégrer un CAN avec le capteur sur un même substrat pour différentes raisons. La raison principale est la résolution spatiale du capteur qui exige un codage du signal du pixel sur plusieurs bits, ce qui nécessite un CAN.

La résolution spatiale de trois prototypes de MIMOSAs (1, 2 et 9) en fonction du nombre de bits du CAN est illustrée sur la figure I.10. Sur cette figure, la résolution spatiale du capteur (dont les pixels ont un pas de 20 μm) décroît de 4,5 μm à 1,5 μm pour des résolutions du CAN allant de 1 à 12 bits respectivement. La résolution de 4 bits du CAN présente le meilleur compromis entre les besoins de l'étude et les contraintes sur le CAN. Cette performance exige alors le développement d'un CAN de 4 bits de résolution pour encoder les signaux des pixels.

Le rythme des collisions des faisceaux dans l'expérience de l'ILC et le nombre total de pixels du détecteur de vertex, qui est d'environ 300 millions, engendrent de gigantesques flots de données produits. Ceci constitue un obstacle de taille à un éventuel traitement analogique. C'est pourquoi, une numérisation des signaux des pixels a été préférée. L'intégration du CAN et d'un étage d'amplification, le précédant, à même le capteur est nécessaire compte tenu de l'amplitude faible du signal issu du pixel.

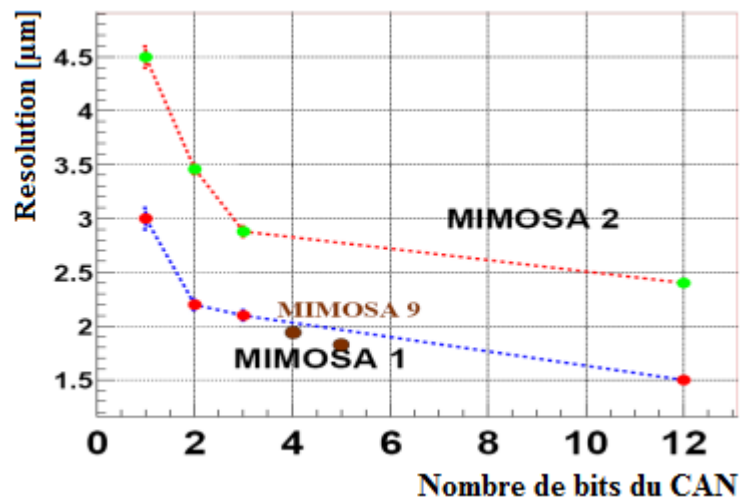


Figure I.10: Résolution spatiale des MAPS en fonction du nombre de bits du CAN pour des pixels de $20\mu\text{m}$ de pas, [Bes et al., 2007]. Les résultats sont montrés pour trois capteurs, dont les signaux sont initialement encodés sur 12 bits. Ils ont ensuite été convertis hors ligne en un nombre de bits plus réduit (1, 2, 3, 4 ou 5) pour des besoins de l'étude.

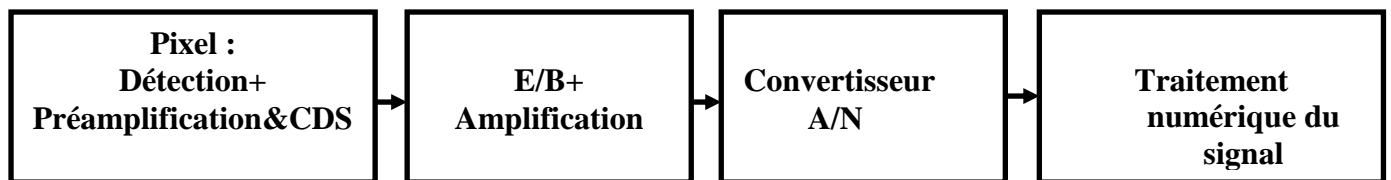


Figure I.11: Chaîne de lecture du signal d'un pixel dans les MAPS.

Une chaîne de lecture complète du signal d'un pixel est illustrée sur la figure I.11. Le signal du pixel subit d'abord un pré-conditionnement au sein même du pixel avant d'être traité par un étage d'amplification intégré à l'échelle de la colonne de pixels. Ensuite, suivra un étage de numérisation, qui rend possible le traitement numérique du signal. Ce qui permet d'atteindre des vitesses élevées de lecture et de traitement des données, comme l'exige la physique. La résolution spatiale, qui est un paramètre clé des performances du détecteur, exige un codage du signal du pixel sur plusieurs bits.

2.6. Contraintes sur la conception du CAN prévu

Le convertisseur analogique-numérique prévu, et qui sera intégré avec les MAPS, doit répondre aux exigences suivantes, qui poussent la technologie actuelle à ses extrêmes limites :

A. Technologie de fabrication

Les performances des capteurs, pour la détection de particules chargées, sont largement influencées par les paramètres de fabrication. Le paramètre essentiel est l'épaisseur de la couche épitaxiée, qui doit être supérieure à $10\mu\text{m}$ pour assurer un nombre de charges

collectées suffisant. Beaucoup d'autres paramètres sont également à considérer, tels que le profil de dopage, le courant de fuite, la profondeur des caissons n- et p- (Cf. figure I.1), l'épaisseur d'oxyde, les caractéristiques des transistors en fonction de leurs tailles et le nombre de couches de métallisation. Ces paramètres peuvent varier sensiblement d'un procédé de fabrication à l'autre. Trouver la technologie de fabrication la plus adaptée à la détection de particules chargées est alors d'une grande importance.

Plus d'une vingtaine de prototypes de MIMOSA ont été fabriqués et testés jusqu'à présent, dans au moins sept procédés de fabrications différents. La technologie la plus satisfaisante est celle d'AMS 0,35 μm OPTO. Néanmoins, elle ne sera pas utilisée pour la version finale du capteur à l'ILC pour les raisons suivantes :

- ✓ L'encombrement et la consommation des microcircuits de conditionnement du signal.
- ✓ Le nombre restreint de couches de métallisation (que quatre alors qu'au moins six couches sont nécessaires).
- ✓ L'indisponibilité de cette technologie dans la prochaine décennie.

Le CAN et le capteur doivent être réalisés selon le même procédé de fabrication. C'est pourquoi nous sommes contraints à réaliser le CAN dans la technologie actuelle de fabrication des capteurs (CMOS 0,18 μm) . Cette technologie présente moins de limitations par rapport à la technologie AMS 0,35 μm qui vont peser sur la conception de l'électronique de lecture, nous en citons les trois principales :

- ✓ Les dimensions et la forme du CAN .
- ✓ La faible puissance dissipée par ce CAN.
- ✓ Le grand nombre de couches de métallisation.

B. Signal minimum détectable

Le signal minimum détectable en sortie d'un pixel est de l'ordre de 1 mV. Il est donné par l'efficacité de collection de charge (qui dépend de l'épaisseur de la couche épitaxiée et de la taille de la diode) et par le facteur de conversion charge-tension (ou Charge-to-Voltage conversion Factor, CVF). La charge est convertie en tension par la capacité équivalente (C_{diode}) de la jonction (p-epi/n-well), qui est de quelques fF. L'épaisseur actuelle de la couche sensible est de 10~15 μm , elle permet une création d'un signal d'environ 1000 e^- . Cette charge se répartit, thermiquement, entre les pixels voisins qui constituent un cluster. En fonction du nombre de charges collectées par le pixel siège et les pixels périphériques d'un

cluster et du facteur CVF ($50 \mu\text{V}/e^-$), le signal minimum détectable correspond à environ 1mV en tension en sortie du pixel.

C. Dimensions du CAN

Dans le but de minimiser la zone périphérique non sensible du capteur, la surface occupée par l'électronique de lecture doit être minimisée le plus possible. La figure I.12 illustre la disposition de la partie sensible du capteur et de la zone périphérique. Le volume sensible est organisé en colonnes de pixels parallèles de largeur $35 \mu\text{m}$. La largeur du dessin des masques du CAN doit être ajustée à celle de ces colonnes ($35 \mu\text{m}$), et la longueur du CAN ne doit pas excéder $500\mu\text{m}$. Ces dimensions doivent inclure l'étage d'échantillonnage et d'amplification du faible signal du pixel.

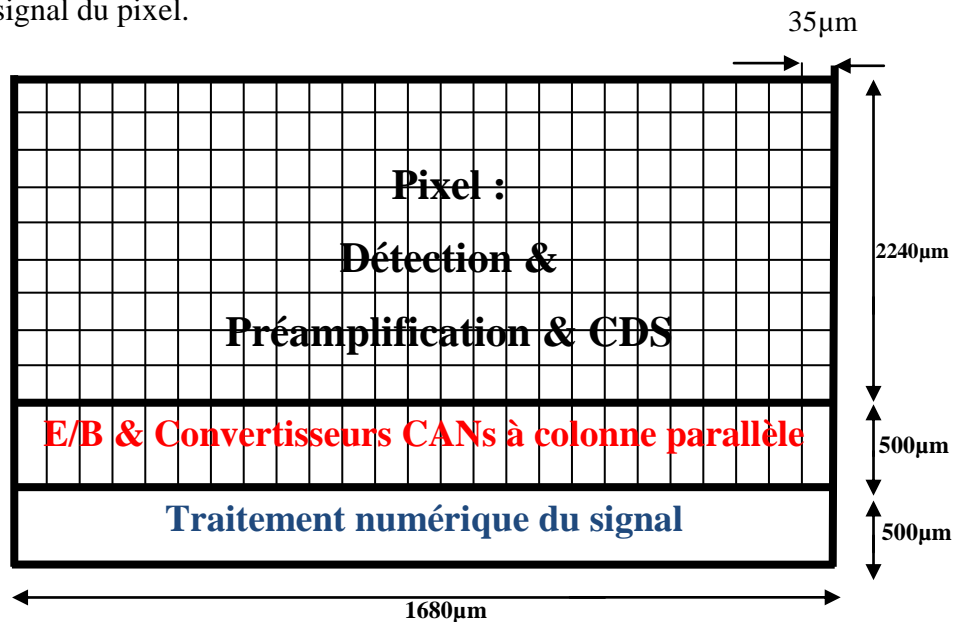


Figure I.12: Architecture et composition d'un capteur de la couche interne du détecteur de vertex.

D. Métallisation

Le nombre de couches de métallisation dans la technologie AMS $0,35\mu\text{m}$ est limité à 4 couches. Ce petit nombre de couches pose un problème de capacités parasites, qui sont dues au routage des pistes, compte tenu de la largeur du pitch $35 \mu\text{m}$. Pour résoudre cela nous allons choisir l'adoption de la nouvelle technologie CMOS $0,18\mu\text{m}$ permettant la réduction de l'encombrement, de la dissipation de puissance et d'augmenter le nombre de couches de métallisation.

E. Fréquence de conversion

Une fréquence de conversion de plus de 100 MHz par ligne de pixels est exigée pour pouvoir maintenir faible la probabilité d'accumulation d'événements consécutifs dans une même image du détecteur (taux d'occupation).

F. Puissance

La dissipation de puissance ne doit pas excéder 1.5 mW par colonne de pixels. Cette contrainte reflète la nécessité de maintenir la puissance dissipée dans chaque couche du détecteur à un niveau suffisamment bas pour que la chaleur dégagée puisse être évacuée avec des moyens n'introduisant aucune matière supplémentaire sur le chemin des particules détectées (e.g. flux d'air froid laminaire).

3. État de l'art des convertisseurs analogique-numérique

Dans ce qui suit, nous allons définir cinq grandes familles de convertisseurs analogiques numériques, couramment utilisés dans les systèmes de traitement numérique du signal, présentant chacune une philosophie de fonctionnement particulière. Il s'agit des CANs de type

- CAN Flash (et semi flash)
- CAN Pipeline
- CAN à Approximation successive (SAR)
- CAN à Rampe
- CAN Sigma Delta

Dans cette partie, les architectures les plus proéminentes sont présentées et ensuite comparées. Tous ces CANs sont réalisés en technologie semi-conductrice. Nous expliquerons les avantages et inconvénients de chacun d'eux.

3.1. Différentes architectures de CANs

L'objectif de cette étude est de choisir l'architecture de CAN la plus adaptée à l'application spécifique des MAPS pour le détecteur de Vertex en physique des hautes énergies.

3.1.1. CAN flash (parallèle)

Le circuit est représenté sous forme de schéma bloc par la figure I.13.

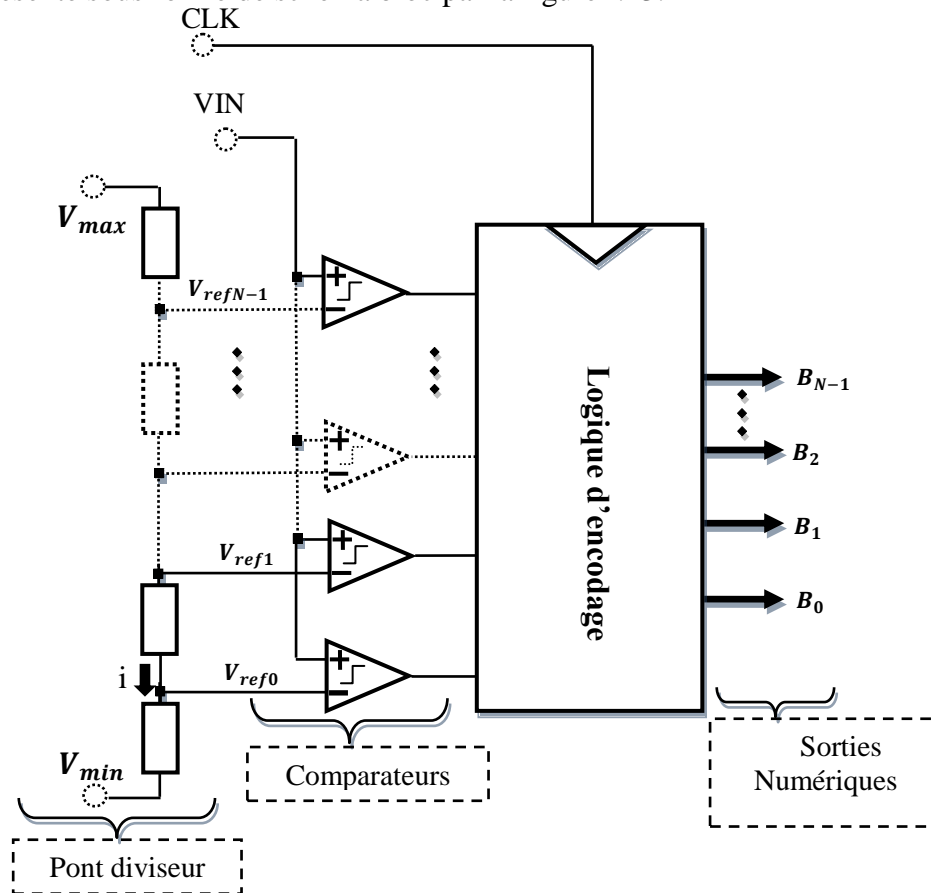


Figure I.13: Schéma de principe d'un CAN flash

L'architecture flash est celle qui permet d'atteindre les plus grandes vitesses de conversion car la conversion s'effectue en une seule étape. Un convertisseur flash est constitué d'un réseau de comparateurs mis en parallèle, un codage sur n bits nécessite $2^n - 1$ de comparateur et signaux de références. Chacun des comparateurs compare le signal échantillonné avec un des $2^n - 1$ signaux de référence. Ainsi, chacun des comparateurs génère un signal de sortie qui indique si le signal est supérieur ou inférieur au signal de référence. Ces multiples comparaisons effectuées en parallèle permettent de déterminer la plage dans laquelle se situe le signal à numériser. Les comparateurs fournissent une valeur numérique de la conversion analogique numérique qui doit être encodée pour être lisible en valeur binaire. [Meh&Dal, 1999, Nag et al., 2000, Tsu et al., 1998, Scholtens, 2000].

Le principal inconvénient de ce type d'architecture est le nombre important de comparateurs et de références qui sont nécessaires dès que la résolution souhaitée est grande.

Les limitations de ce type de convertisseur sont dues à la complexité de fabrication pour les convertisseurs plus précis. En effet, la précision maximum est de 10 bits en pratique, ce qui représente déjà $2^{10} - 1 = 1023$ comparateurs et signaux de références.

En multipliant le nombre de comparateurs par la consommation de comparateurs haute vitesse et on obtient un circuit qui à une consommation de plusieurs Watts. De plus, pour telle résolution, les erreurs d'offset des comparateurs et des références doivent être inférieures à la résolution souhaitée. Tous ça explique que le prix de se convertisseur devient trop cher dès qu'on cherche un grand nombre de résolution.

3.1.2. CAN à deux étages flash

Pour réaliser un CAN de N bits, on peut utiliser deux CAN identiques de N/2 bits, ainsi qu'un convertisseur numérique analogique (CNA) de N/2 bits. Le schéma est donné Figure I.14 dans le cas d'un convertisseur 8 bits. Le premier CAN permet d'obtenir les N/2 bits de poids forts MSB, puis l'erreur de conversion est amplifiée et convertie par le deuxième CAN afin d'obtenir les N/2 bits de poids faible LSB [Pan et al., 2000, Taf&Tur, 2001, Yan et al., 2001, Mor et al., 2000].

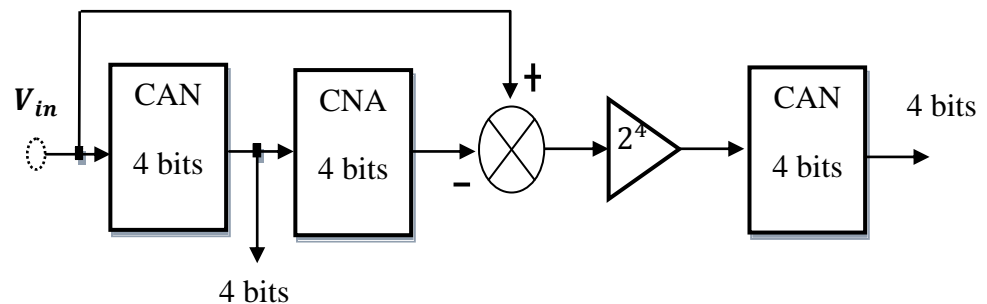


Figure I.14: Schéma bloc d'un convertisseur semi-flash.

Cette structure utilise non seulement des éléments plus simples que son homologue mono-résolution, mais elle permet également de réduire considérablement la consommation. En effet, considérant un convertisseur Flash classique de 8 bits, il faut 255 comparateurs. La structure semi-flash en nécessite deux fois 63, soit 126. La consommation du montage est donc approximativement divisée par deux. Cependant, puisqu'il existe maintenant deux convertisseurs en série, le temps de conversion est multiplié par deux.

3.1.3. Convertisseur pipeline

Le circuit est représenté sous forme de schéma bloc par la figure I.15.

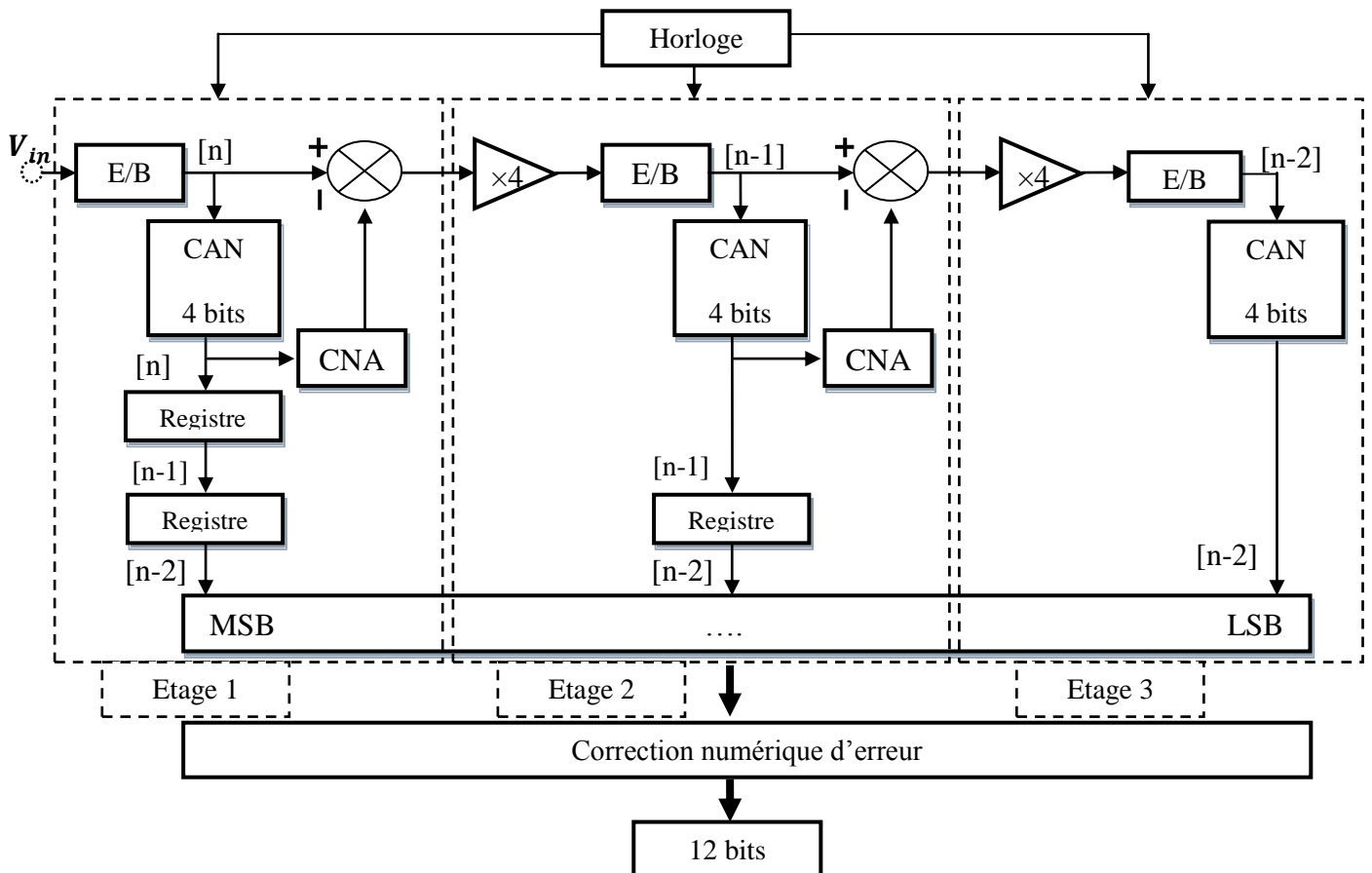


Figure I.15: Schéma bloc du CAN pipeline 12 bits.

Ce convertisseur permet de segmenter le procédé de conversion, s'appuyant sur plusieurs blocs de convertisseurs analogique numérique de type Flash, mis en cascade; on complète le circuit de chaque CAN Flash par l'ajout d'un dispositif échantillonneur bloqueur (E/B) entre deux étages consécutifs; chaque bloc traite le même nombre p bits (p supérieur ou égal à 1), le premier bloc convertissant les bits de poids forts.

Une fois l'opération du premier bloc réalisée, la valeur numérique correspondante passe dans un convertisseur numérique analogique, puis est retranchée à sa valeur initiale ; on obtient ainsi le reste (sous forme analogique), lequel sera amplifié $2P$ fois (pour conserver la même échelle de mesure d'un bloc à l'autre), puis converti à son tour sur p bits. Et ainsi de suite jusqu'aux bits de poids plus faibles. La figure I.15 présente un convertisseur pipeline 12 bits décomposé en trois étages de 4 bits chacun :

A chaque front d'horloge, on effectue 3 conversions en parallèle au travers de chaque cellule et chaque conversion correspond à une partie du code binaire

Les avantages :

- i. Résolution de 8 bits à 16 bits
- ii. Convertisseurs grande vitesse, faible dissipation, faible coût
- iii. Meilleur compromis vitesse résolution

Les inconvénients :

- i. La complexité du design croît avec le nombre d'étage
- ii. Latence des données au démarrage
- iii. Sensibles, gain, offset

Plusieurs auteurs ont publié des résultats intéressants sur cette architecture [Min&Lew, 2001, Miy et al., 2002, Miy et al., 2003, Mor et al., 2000, Sum et al., 2001].

3.1.4. CAN à approximations successives

Son circuit fonctionnel est représenté sous forme de schéma bloc dans la figure I.16 qui suit : Ce convertisseur offre le meilleur compromis qui soit entre la vitesse et la résolution. Avec ce type de convertisseur, il s'agit ici de déterminer la valeur d'une tension V_{in} au moyen d'une série de pesées successives de la même manière qu'on déterminerait la masse d'un objet avec une balance.

Pour ce faire, on a besoin d'une tension de référence, un convertisseur numérique analogique (CNA), un comparateur et un séquenceur logique pilote par une horloge.

Ce type de conversion procède par dichotomie. Au départ tous les bits sont à 0, sauf le MSB (Bit de poids fort): le signal d'entrée V_{in} est comparé à la tension générée par le CNA, soit $V_{Ref}/2$: le comparateur génère alors le MSB, 1 si le signal d'entrée a une valeur supérieure, 0 sinon. Le séquenceur logique met le bit suivant à 1 et on refait la même opération ; de proche en proche, le comparateur génère chacun des bits qui sont enregistrés par le séquenceur.

Prenons par exemple le cas d'une conversion faite sur quatre bits, le bit de poids fort est positionné à '1' et les autres bits à '0'. Au début de la conversion, le code initial issu du compteur est donc '1000' ; c'est ce code qui est envoyé dans le convertisseur numérique analogique(CNA), et qui donnera sa sortie une valeur correspondant à $V_{Ref}/2$.

Si $V_{in} > V_{Ref}/2$, le MSB est mis à '1', le bit suivant est positionné à '1' et à la sortie du compteur on a '1100'.

Si $V_{in} < V_{Ref}/2$, le MSB est mis à '0', et l'on lit '0100' à la sortie du registre, et ainsi de suite selon le schéma suivant :

Depart **1er coup d'horloge** **2e coup d'horloge** **3e coup d'horloge** **4e coup d'horloge**
 1000 1000 *100 **10 ***1

Noter qu'à chaque coup d'horloge, « * » est remplacée par le '1' ou '0' résultant de la comparaison. Il faudra N coups d'horloge pour obtenir la conversion.

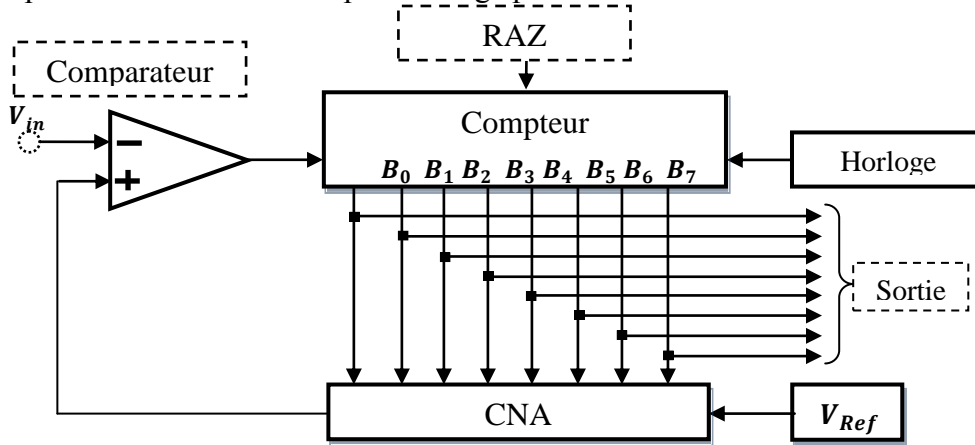
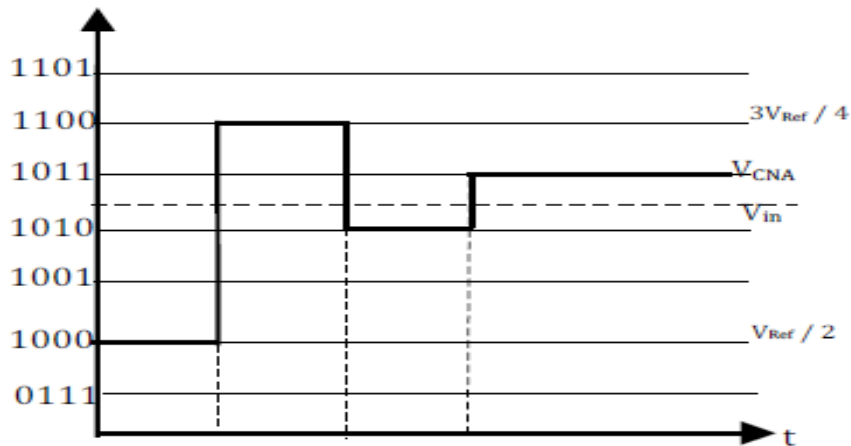


Figure I.16: CAN à approximation successives.



Sortie registre	1000	1100	1010	1011
Retour	Sup	Inf	Sup	Inf
Retour	1***	10**	101*	1010

Figure I.17: Evolution du code au cours des pesées successives.

Les avantages :

- i. Rapide (106 conversions à la seconde)
- ii. Faible consommation.
- iii. Utilise un comparateur unique très précis et de vitesse élevée.
- iv. Résolution élevée (8 à 18 bits)
- v. Adapte à la conversion de signaux bipolaires

Les inconvénients :

- i. Problème de latence : un cycle d'horloge de latence = $1/F$ échantillonnage.
- ii. La rapidité est limitée par le temps d'établissement du CNA, la vitesse de réaction, et la complexité de la logique.
- iii. Le circuit est complexe, et par conséquent la valeur prise pour référence doit être stable.
- iv. La tension à mesurer doit rester constante pendant toute la conversion

Plusieurs travaux ont été publiés aux sujets de CAN à approximations successives dont : [Mor&Lee, 2000, Promitzer, 2001, Kuttner, 2002, Lin&Liu, 2003].

Application : Carte d'acquisition de données dans les micros ordinateurs, et dans les microcontrôleurs pour applications variées.

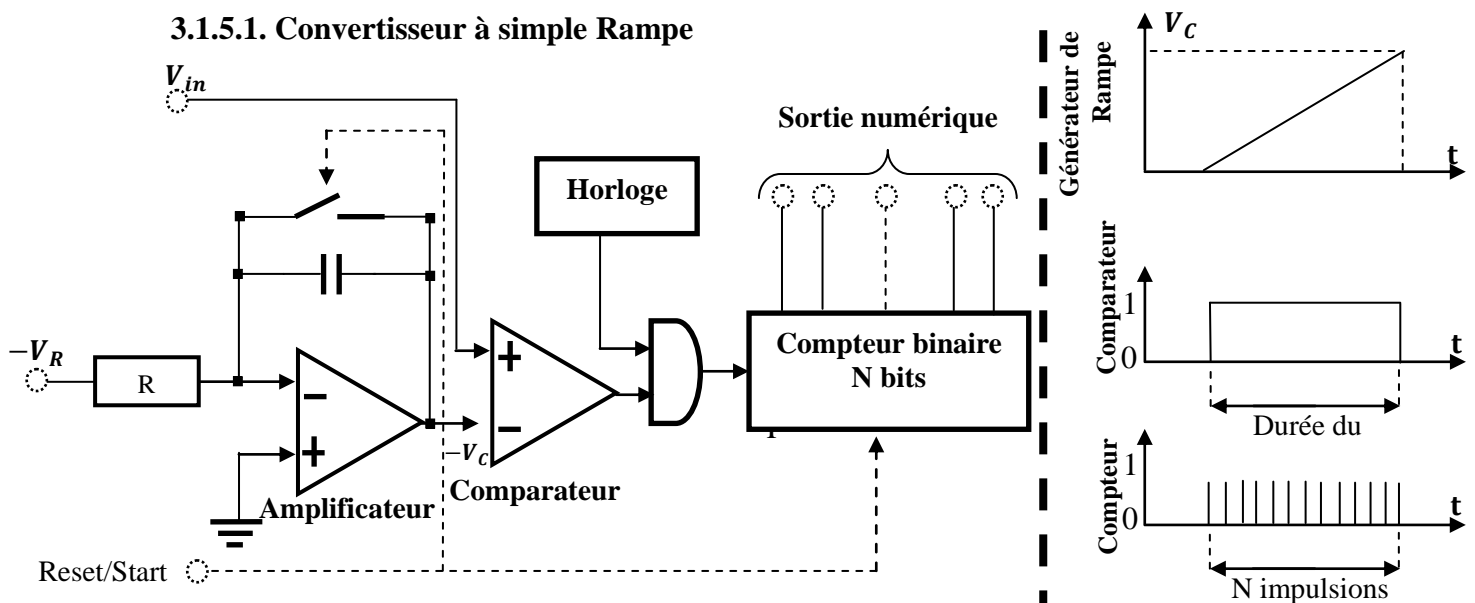
3.1.5. Convertisseur à rampe**3.1.5.1. Convertisseur à simple Rampe**

Figure I.18: Schéma de principe d'un CAN à simple rampe

Le compteur fonctionne en mode comptage tant que la rampe de tension V_c n'a pas atteint la valeur de la tension à numériser (valeur à partir de laquelle le compteur est stoppé). Ainsi, on obtient en sortie du compteur un mot binaire représentatif de la tension V_{in} .

Bien que présentant une excellente linéarité, il est lent, peu fiable, peu précis et très sensible aux bruits. Ce convertisseur est de plus en plus délaissé au profit du convertisseur à double rampe.

Les avantages :

- i. Simple et peu coûteux.

Les inconvénients :

- i. Temps de conversion lent car nécessite 2N cycle d'horloge pour effectuer une conversion.

3.1.5.2. Convertisseur double Rampe

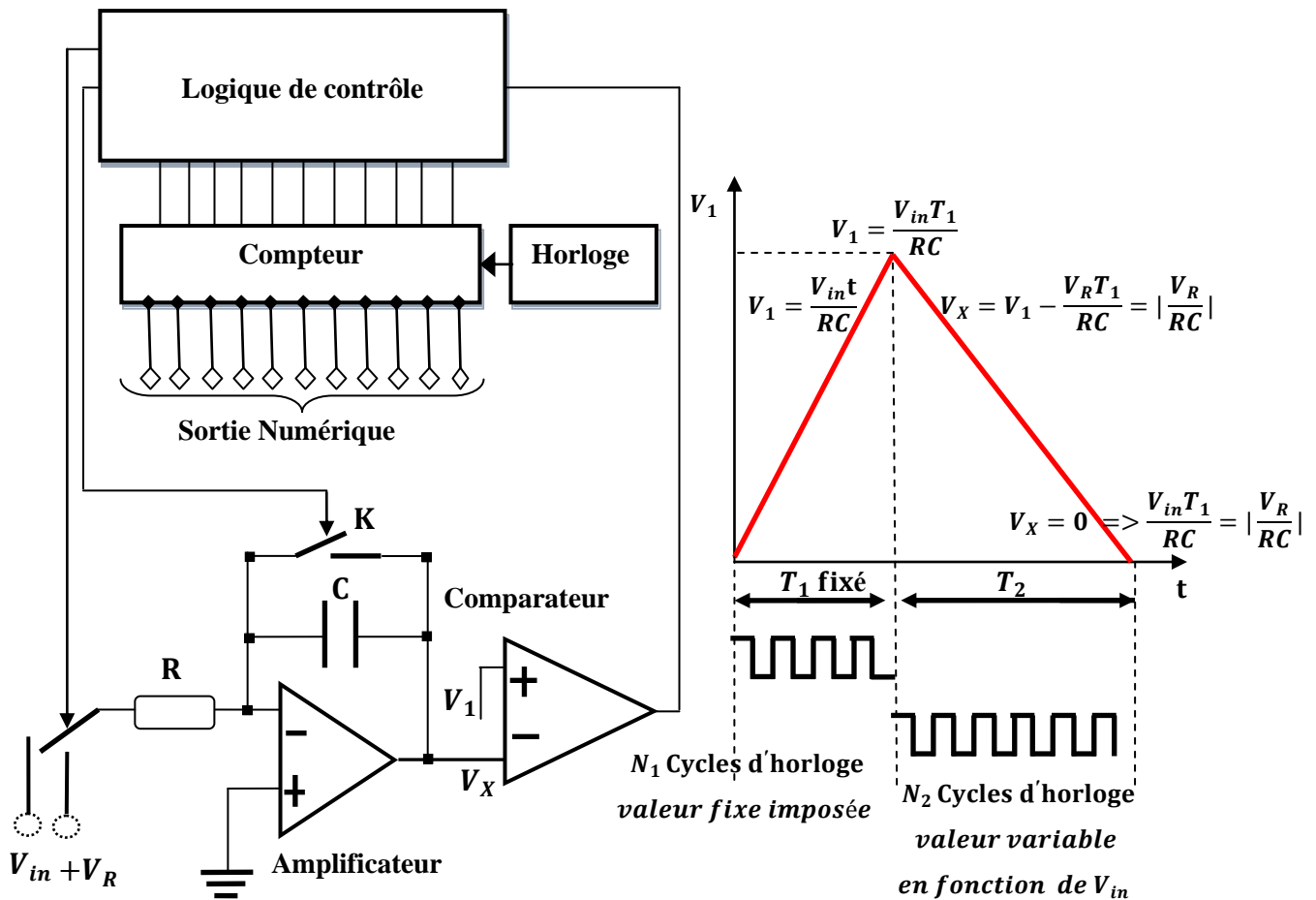


Figure I.19: Schéma de principe d'un CAN à double rampe

Hormis la phase Reset, la conversion se fait en 2 étapes :

- 1 : intégration de la tension d'entrée V_{in} durant un temps T_1 fixe, impose par le système
- 2 : intégration d'une tension de référence V_R , de signe opposé à V_{in} durant le temps T_2 nécessaire pour ramener la sortie de l'intégrateur à zéro.

Les avantages :

- i. Très bonne résolution

Les inconvénients :

- i. Très long temps de conversion $2(2^n) T$.
- ii. La dénivellation de la rampe croissante et de la rampe décroissante étant identique, on peut écrire :

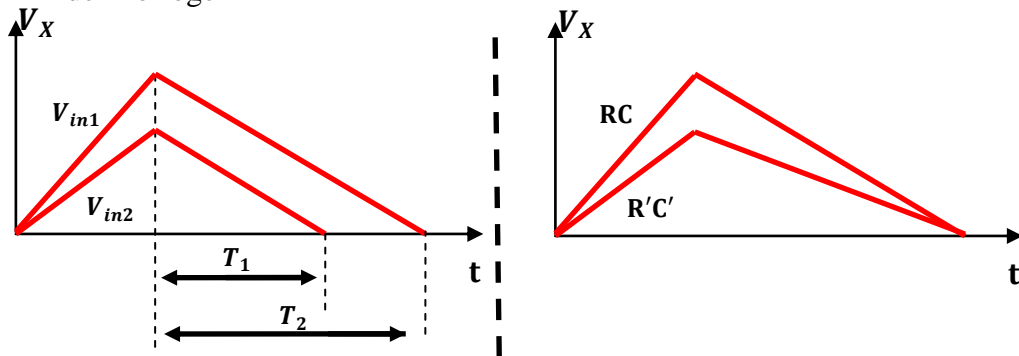
$$V_{in} \times \frac{T_1}{RC} = |V_R| \times \frac{T_2}{RC} = |V_R| \times \frac{N_1}{N_2} \quad (I. 1)$$

N_1 et N_2 : Nombre de cycles d'horloge durant T_1 et T_2

La sortie N_1 du compteur représente donc directement le résultat de la conversion

Avantage :

- i. le résultat est indépendant de RC
- ii. le résultat est fonction d'un rapport de 2 temps, et est donc indépendant de la précision de l'horloge



Effet d'une variation de RC pour un même V_{in}

Figure I.20: Résultat est fonction d'un rapport de 2 temps est indépendant de RC

3.1.6. CAN Sigma-Delta

Le circuit de ce CAN est le suivant [Francais, 2000, Ester, 2008]:

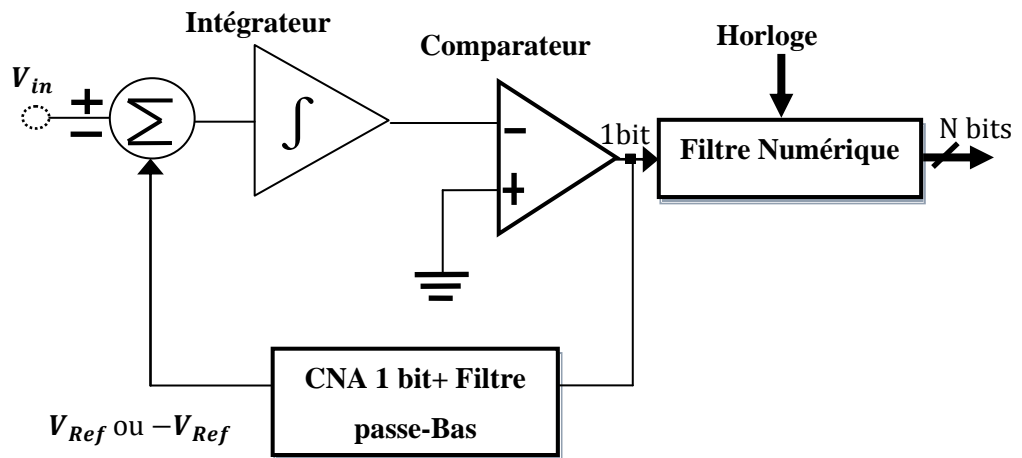


Figure I.21: CAN sigma delta.

Ce convertisseur se base sur le principe de sur-échantillonnage du signal d'entrée V_{in} pour générer l'expression binaire correspondante. Pour ce faire, il utilise le modulateur (sigma-delta) tel que décrit par la figure II.21. Ce modulateur est constitué d'un soustracteur, d'un intégrateur, et d'un comparateur.

Le soustracteur (delta) fait la différence entre V_{in} et la moyenne de la sortie du CNA (V_{Ref} ou $-V_{Ref}$); la sortie du soustracteur est transmise à l'intégrateur (Sigma) et le résultat de l'intégration est envoyée au comparateur « 1bit »;

A chaque coup d'horloge, on récupère le bit résultant de la comparaison à la sortie du comparateur; ce bit est d'une part introduit dans le module convertisseur numérique analogique « 1 bit » pour commander, la valeur (V_{Ref} ou $-V_{Ref}$) qui sera de nouveau présentée à l'une des entrées du soustracteur et d'autre part, le même bit est filtré et transmis à la sortie du convertisseur.

Le filtre permet ainsi de convertir le signal « 1 bit » échantillonné à $n \times f_s$ en un signal converti sur N bit à f_s : $N = 2^n$.

Les avantages :

- i. Grande résolution (16 bits-24 bits)
- ii. Faible coût
- iii. Bon rapport signal sur bruit
- iv. Excellente linéarité

Les inconvénients:

- i. Limitations de la fréquence d'entrée si on souhaite un sur-échantillonnage important.
- ii. Le temps de réponse du filtre numérique est important

De 2000 à 2003 plusieurs architectures CAN Sigma Delta ont été publiées : [Abo et al., 2002, Bur&Hua, 2001, Morizio, 2000, Oli00, Uen et al., 2001].

Domaine d'application

Récepteurs RF des normes de télécommunication numériques (UMTS, Wifi, Zigbee), lecteurs CD, détection de particule charge et autres.

3.2. Bilan sur les différents types de convertisseur analogique numérique

Architecture	Fréquence	Puissance consommée	Résolution	Avantage	Désavantages
CAN simple rampe	100KHz	10mW	10-12bits	-Simple et peu coûteux -Appropriée aux signaux à faible bande passante	Très lent
CAN double rampe	100KHz	10mW	Supérieur à 16 bits	Insensible à la valeur des composants	Temps de Conversion élevé
CAN à approximation successive	1MHz	10mW	8 à 16 bits	-Résolution élevée et précision -Faible consommation -Faible coût -Grande Précision	Problème de Latence
CAN Flash	Supérieur 100MHz	1W	4-8 bits	-Très rapide -Large bande passante	Consommation de puissance élevée
CAN Sigma delta	1MHz	100mW	16 à 24 bits	-Faible coût -SNR intéressant -Excellente linéarité	Temps de réponse important du filtre
CAN Pipeline	100MHz	100mW	4-16bits	-Dissipation Faible -Faible coût	Sensible Latence des données au démarrage

Table I.1: Récapitulatifs des caractéristiques des différents CAN à technologie semi-conductrices

4. Sources de bruit et d'erreur dans les CANs

Une des grandes forces du transistor MOS est son vaste champ d'utilisation. En effet un transistor MOS peut servir de résistance, de condensateur ou de commutateur suivant la connexion réalisée entre ses trois bornes. Lors de son utilisation en commutateur analogique, le transistor MOS fonctionne dans la région linéaire, ramenant son circuit équivalent à une résistance contrôlée par la tension de grille du transistor. Cependant les transistors MOS lorsqu'ils sont utilisés comme commutateurs peuvent être la source de nombreux bruits. La résistance présentée par le transistor MOS lorsqu'il est en mode « commutateur fermé » n'est en réalité ni nulle ni linéaire. Il faut en réalité considérer le modèle équivalent présenté sur la figure I.22. Les capacités C_{gs} et C_{gd} sont respectivement les capacités parasites entre la grille et la source et entre la grille et le drain. Les capacités C_{j1} et C_{j2} , quant à elles, sont dues aux capacités de jonction de la source et du drain et à la capacité existante entre le canal et le substrat du transistor.

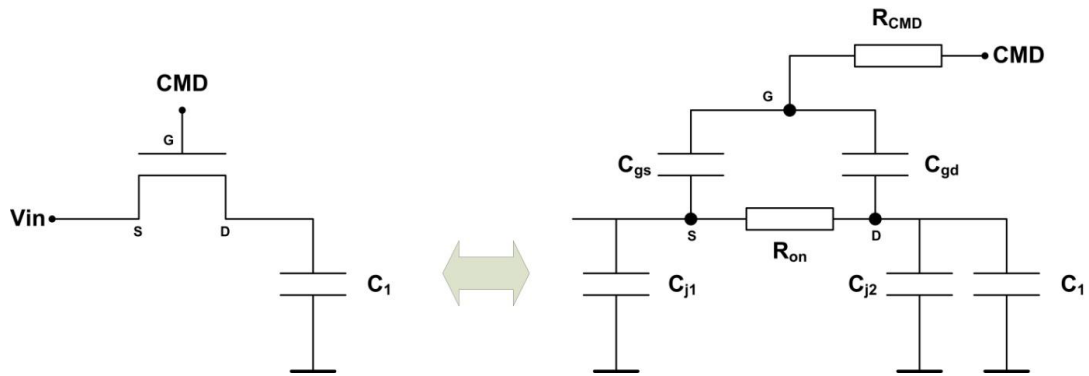


Figure I.22: Transistor monté en commutateur (a) et son circuit équivalent (b)

4.1. Non linéarité de la résistance Ron

La résistance Ron n'est en réalité pas nulle lorsque le transistor est en mode « commutateur fermé ». Sa valeur dépend de la tension appliquée à son entrée. Dans certains cas si cette valeur devient trop grande cela peut limiter la vitesse de fonctionnement du circuit. De nombreuses études ont été conduites sur ce phénomène comme [Keys, 1994] ou encore [Razavi, 2002]. La valeur de la résistance Ron pour un transistor NMOS est donnée par la relation suivante :

$$R_{on} = \frac{1}{\mu \cdot C_{ox} \left(\frac{W}{L}\right) (V_{gs} - V_T)} \quad (I.2)$$

Avec μ la mobilité des électrons, C_{ox} la capacité d'oxyde de grille, W et L , respectivement la largeur et la longueur du transistor, V_{gs} la tension entre la grille et la source du transistor et V_T la tension de seuil du transistor.

Quand le NMOS est bloqué, il est équivalent à une résistance ROFF de très grande valeur car le courant de drain est de l'ordre de quelques pA .

En augmentant le rapport entre W et L , il est possible de minimiser la résistance Ron, cependant lorsque le rapport entre W et L augmente, les capacités parasites de jonction de source et du drain augmentent elles aussi. Ainsi un compromis s'impose donc entre les grandeurs de Ron et de ces capacités.

La figure I.23 présente la dépendance de la valeur de la résistance R_{on} de la tension d'entrée V_{in} et de la taille du commutateur W/L Pour des transistors NMOS, PMOS

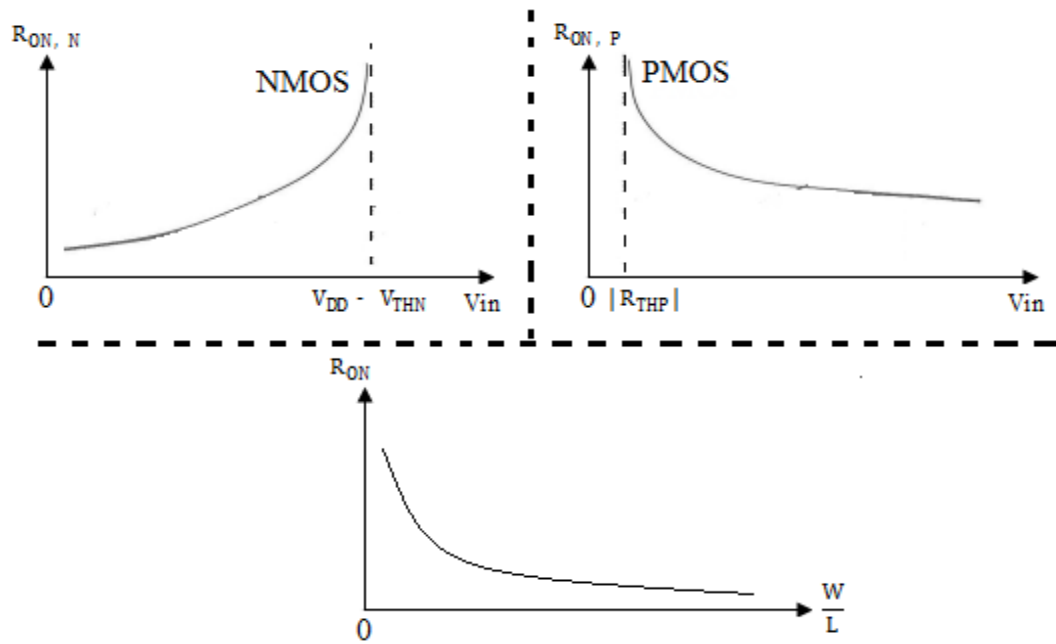


Figure I.23: Dépendance de la résistance R_{on} de V_{in} et W/L pour des transistors PMOS, NMOS

La figure I.24 présente l'évolution de la valeur de la résistance R_{on} en fonction de la tension V_{in} Pour des transistors NMOS, PMOS et CMOS (Complementary MOS).

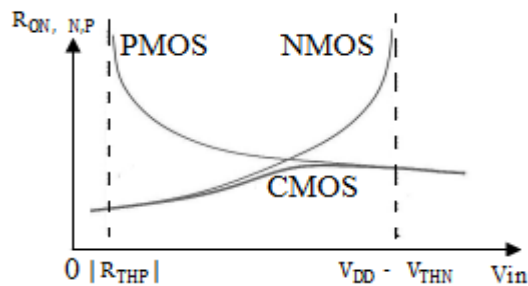


Figure I.24: Evolution de la résistance R_{on} pour des transistors PMOS, NMOS et CMOS

Afin d'améliorer la linéarité de la résistance R_{on} il est possible d'utiliser la technique du commutateur CMOS. Cette technique consiste à monter en parallèle un transistor NMOS et un transistor PMOS comme le montre la figure I.25

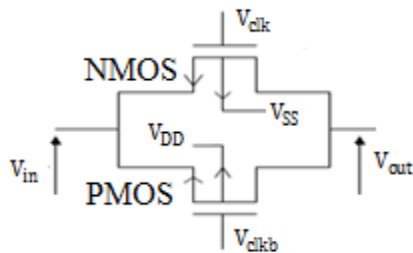


Figure I.25: Montage d'un commutateur de type MOS Complémentaire

Cette technique permet une plus grande stabilité de la résistance R_{on} suivant la variation de la tension d'entrée V_{in} comme le montre la figure I.24.

4.1.1. Phénomène d'injection de charges et couplage capacitif d'horloge « clock feedthrough »

Les charges accumulées dans le commutateur, soit au niveau du canal soit au niveau des capacités parasites entre Grille-Source et Grille-Drain, s'injectent lorsque le MOS passe de l'état ON à l'état OFF.

En effet, quand le MOS est Ohmique $V_{DS} \approx 0V$ à la fin de la charge de C_L . Le canal dispose d'une quantité de charges liées à la conductance du commutateur (Figure I.26 ci-dessous)

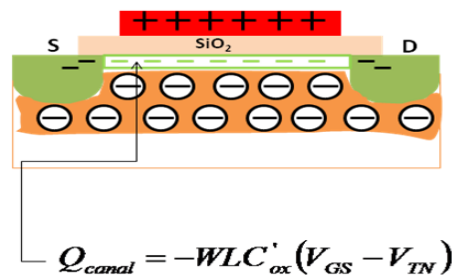


Figure I.26: Schéma de coupe montrant les charges accumulées dans le canal pour un commutateur NMOS quand il est Ohmique

4.1.1.1. Injection de charges dans un commutateur NMOS

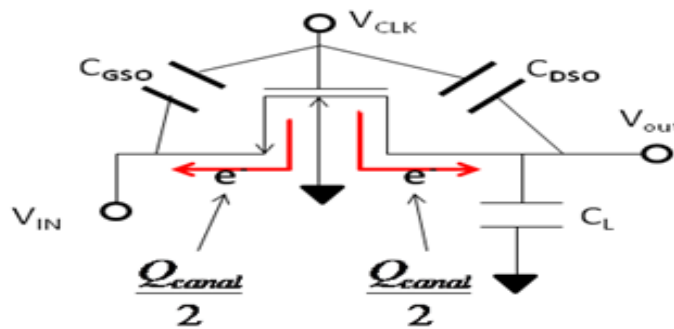


Figure I.27: Schéma montrant l'injection de charges dans un commutateur NMOS

Les charges injectées n'ont aucune influence sur la tension d'entrée V_{in} .

Par contre on aura une erreur sur la valeur de V_{out} aux bornes de la capacité de maintien :

$$\Delta V_{out, inj} = -\alpha \frac{Q_{canal}}{C_L} \tag{I.3}$$

Avec $\alpha=0.5$ si les charges se repartent équitablement vers le Drain et la Source, d'où:

$$\Delta V_{\text{out,inj}} = -\frac{1}{2} \frac{WLC'_{\text{ox}}(V_{\text{GS}} - V_{\text{TN}})}{C_L} \quad (\text{I. 4})$$

4.1.1.2. Couplage capacitif d'horloge (Clock Feedthrough) dans un commutateur NMOS

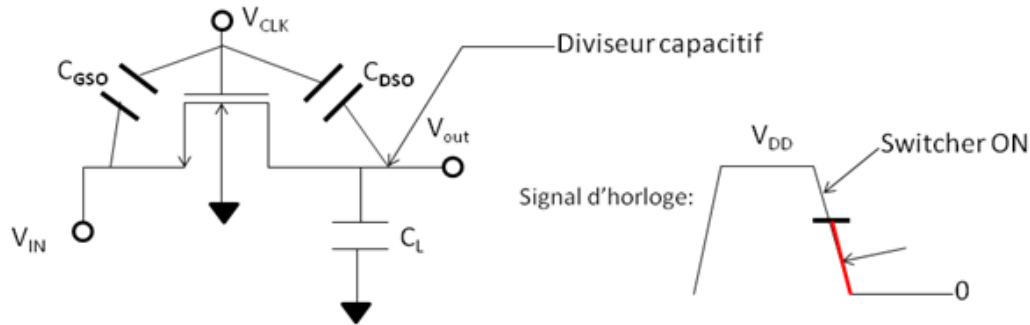


Figure I.28: Schéma montrant le couplage capacitif d'horloge (Clock Feedthrough) dans un commutateur NMOS

L'erreur commise sur la tension de sortie est donnée par :

$$\Delta V_{\text{out,clk}} = -\frac{C_{\text{GDO}}}{C_L + C_{\text{GDO}}} \Delta V_{\text{clk}} = -\frac{C_{\text{GDO}}}{C_L + C_{\text{GDO}}} (V_{\text{IN}} + V_{\text{TN}}) \quad (\text{I. 5})$$

L'erreur totale sur la tension de sortie est donnée par :

$$\Delta V_{\text{out}} = \Delta V_{\text{out,inj}} + \Delta V_{\text{out,clk}} \quad (\text{I. 6})$$

En résumé pour le Commutateur simple

- ✓ la résistance R_{ON} dépend du signal d'entrée à mémoriser.
- ✓ la plage de fonctionnement n'est pas Rail-to-Rail.
- ✓ l'injection de charge non linéaire (présence de l'effet substrat pour les technologies N-WELL) dépend de V_{IN} .

Comment peut-on minimiser les phénomènes décrits précédemment?

- ✓ Utilisation de la porte de transmission (Transmission Gate)
- ✓ Utilisation du transistor fantôme
- ✓ Prévoir d'autres méthodes qui peuvent minimiser ou éliminer ces effets indésirables.

a) La porte de transmission

La porte de transmission permet de faire jouer la complémentarité du transistor MN et du transistor MP pour obtenir une résistance du commutateur moins dépendante du signal d'entrée et pour assurer le fonctionnement de ce commutateur sur toute la plage du signal d'entrée admissible (voir la figure I.24 courbe de $R_{\text{ON}} = f(V_{\text{IN}})$).

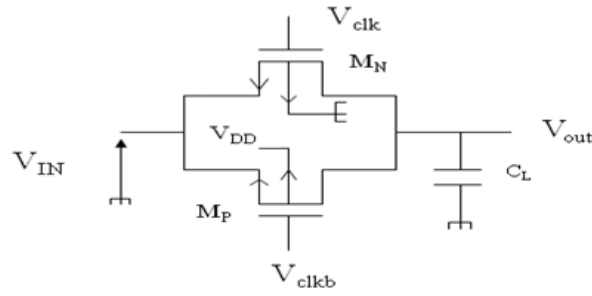


Figure I.29: Schéma montrant la porte de transmission TG

La valeur de V_{IN} et de V_{out} ne modifie pas l'état du commutateur CMOS

- ✓ Si $V_{clk} = V_{DD}$ et $V_{clkb} = 0$: les deux MOS sont ON
- ✓ Si $V_{clk} = 0$ et $V_{clkb} = V_{DD}$: les deux MOS sont OFF

Résistance ON équivalente du Commutateur CMOS

$$R_{ON,TG} = R_{ONn} // R_{ONp} = \frac{1}{[K_p \left(\frac{W}{L}\right)_p - K_n \left(\frac{W}{L}\right)_n] V_{IN} + K_n \left(\frac{W}{L}\right)_n (V_{DD} - V_{TN}) - K_p \left(\frac{W}{L}\right)_p |V_{TP}|} \quad (I.7)$$

Si $K_p \left(\frac{W}{L}\right)_p = K_n \left(\frac{W}{L}\right)_n$ et l'effet substrat est éliminé alors $R_{ON,TG}$ ne dépend pas de V_{IN}

L'injection de charges et de couplage capacitif d'horloge dans TG

L'injection de charges affectée par les canaux des deux MOS est donnée par :

$$Q_{inj}^{canal} = Q_{inj}^{NMOS} + Q_{inj}^{PMOS}$$

$$Q_{inj}^{canal} = C_{ox} \left(\frac{1}{2} W_p L_p (V_{IN} - |V_{TP}|) - \frac{1}{2} W_n L_n (V_{DD} - V_{IN} - V_{TN}) \right) \neq 0 \quad (I.8)$$

$$Q_{inj}^{clock} = -C_L \left(\frac{C_{ovn}}{C_L + C_{ovn}} - \frac{C_{ovp}}{C_L + C_{ovp}} \right) \Delta V_{clk} \quad (I.9)$$

$$Q_{inj}^{clock} = 0 \quad \text{si} \quad C_{ovn} = C_{ovp} \quad (W_n = W_p)$$

Il y a un compromis entre $R_{ON,TG}$ indépendant de V_{IN} et minimisation du clock Feedthrough.

En résumé:

- La TG minimise le clock feedthrough, elle permet un intervalle de fonctionnement plus large et elle a une faible R_{ON}
- Cependant, l'injection de charges est indépendante de V_{IN}
- Elle nécessite un générateur d'horloges non chevauchées.

b) Utilisation du Transistor fantôme (Dummy)

Cette méthode fait appel à un transistor fantôme (M_{dummy}) dont le drain et la source sont court-circuités, pour minimiser l'effet de l'injection de charges du commutateur principal M_n . Le principe de fonctionnement de cette technique repose sur l'annulation des charges injectées par le commutateur principal grâce à l'absorption de ces dernières par le dummy.

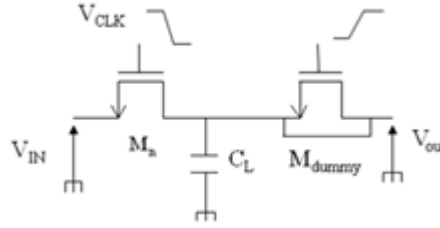


Figure I.30: Schéma montrant l'utilisation du transistor fantôme (Dummy)

Les charges injectées sont données par:

$$Q_{inj} = Q_{inj}^{M_n} + Q_{inj}^{Dummy} \quad (I.10)$$

$$Q_{inj} = -C_{ox} \left(\frac{1}{2} W L (V_{clk} - V_{IN} - V_{TN}) - W_{dummy} L_{dummy} (\bar{V}_{clk} - V_{IN} - V_{TNdummy}) \right) - C_L \left(\frac{C_{ov}}{C_L + C_{ov}} - \frac{2C_{ovdummy}}{C_L + 2C_{ovdummy}} \right) \Delta V_{clk} \quad (I.11)$$

Il faut que le dummy ait une taille deux fois plus petite que celle du commutateur principal ($W_{dummy} = 1/2 W_n$).

L'appariement est nécessaire entre le commutateur principal et le Dummy.

4.1.2. Bruit thermique ou bruit KTC

Comme il l'a été présenté dans le paragraphe précédent, un transistor MOS présente toujours une résistance parasite non nulle. Dans cette dernière l'agitation thermique aléatoire des électrons crée un bruit blanc appelé bruit thermique dont la densité spectrale de bruit vaut :

$$\overline{\mathfrak{g}^2} = 4KTR \left[\frac{V^2}{Hz} \right] \quad (I.12)$$

Où R est la résistance, k la constante de Boltzmann et T la température absolue en Kelvin. Si l'on considère un circuit formé d'un commutateur MOS connecté en série avec une capacité ce circuit peut être considéré comme un filtre RC comme le montre la figure I.32. La résistance ici considérée étant la résistance R_{on} du transistor MOS.

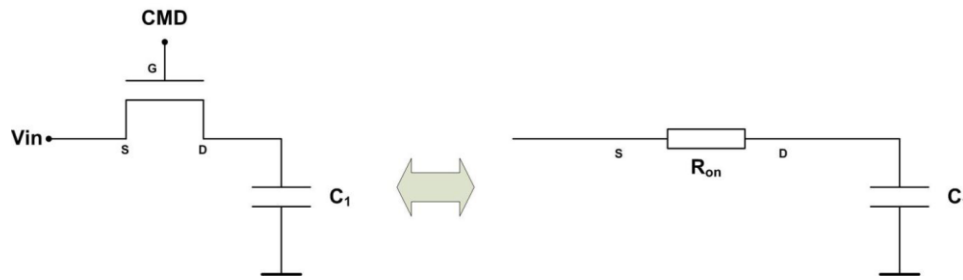


Figure I.31: Schéma équivalent d'un transistor MOS

Le bruit thermique présent en sortie du filtre RC à l'intégration sur la fréquence du produit de la densité spectrale du bruit thermique et de la fonction du filtre passe bas. Il est alors possible de calculer la moyenne quadratique de la tension du bruit échantillonné par la capacité C :

$$\sigma^2 = \int_0^{\infty} \overline{\vartheta^2} \times \frac{1}{1 + (2\pi f RC)^2} df \quad (\text{I. 13})$$

$$\sigma^2 = 4KTR \int_0^{\infty} \frac{1}{1 + (2\pi f RC)^2} df \quad (\text{I. 14})$$

$$\sigma^2 = \frac{4KTR}{(2\pi f RC)^2} \{ 2\pi f RC \times \arctan(2\pi f RC) \} \quad (\text{I. 15})$$

$$\sigma^2 = \frac{KT}{C} \quad (\text{I. 16})$$

Il est intéressant de noter que bien que ce bruit tire son origine du bruit thermique dans la résistance, la valeur de cette dernière ne rentre pas en compte dans la valeur finale de ce bruit.

Ce bruit est inversement proportionnel à la valeur de la capacité, un soin particulier devra être pris lors du choix de la valeur des capacités lors de la conception des convertisseurs numériques analogiques ou analogiques numériques afin d'éviter que ce bruit n'engendre pas d'erreurs de conversion.

5. Comparaison entre les différentes architectures des CANs

Les convertisseurs analogiques numériques ayant occupé dès leur apparition dans les années cinquante une place prépondérante dans le développement de système électronique complexe, plusieurs articles se sont proposés de confronter leurs performances [Gordon, 1978, Walden, 1999a]. La dernière en date a proposé deux formules afin de pouvoir effectuer des comparaisons entre les architectures [Ron et al., 2005] :

$$P = 2^B \times f_s \quad (\text{I. 17})$$

$$F = \frac{2^B \times f_s}{P_{diss}} \tag{I.18}$$

Où B représente le nombre de bit du convertisseur, f_s la fréquence de conversion, et P_{diss} la puissance dissipée.

Ces deux relations ont permis de tracer les deux graphiques présentés sur la figure I.32.

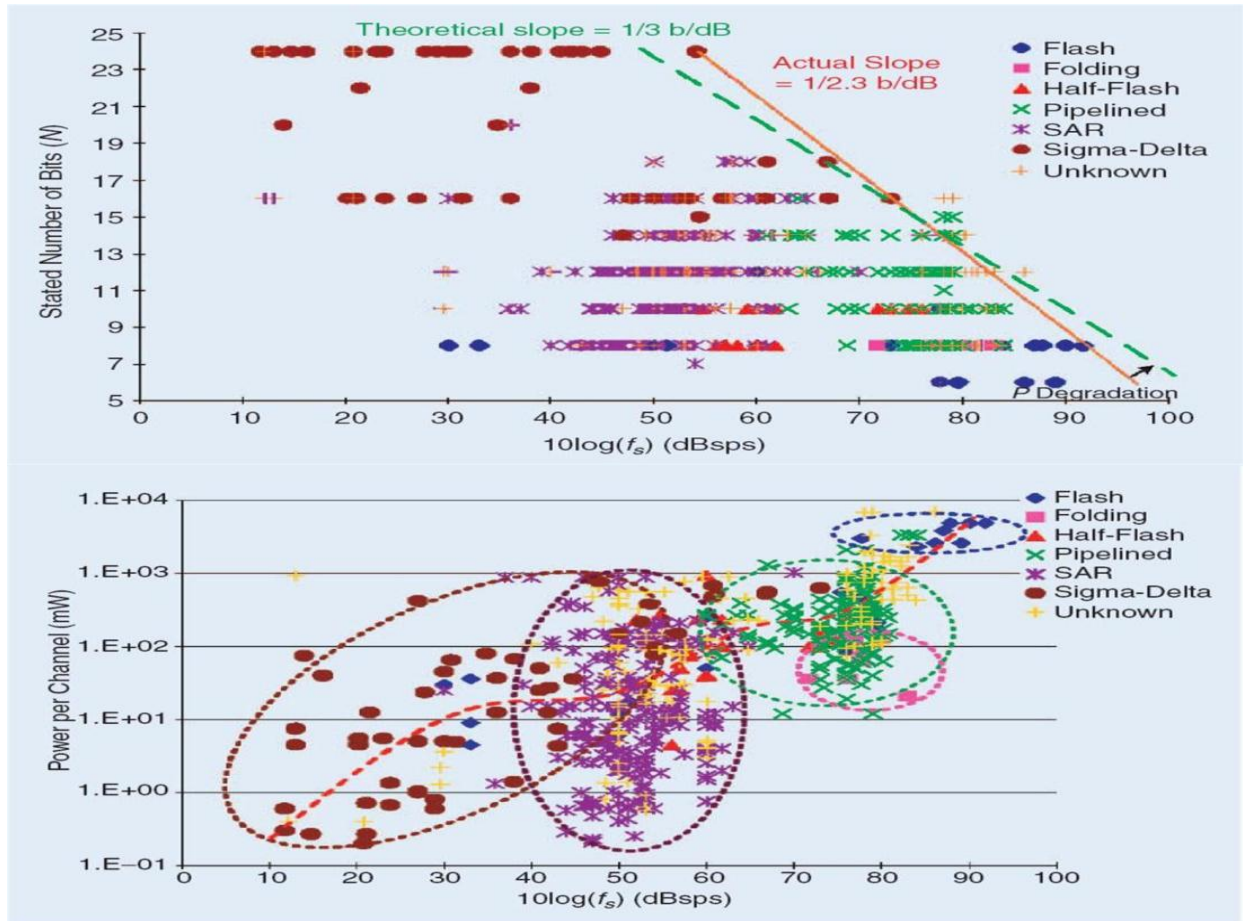


Figure I.32: Expression de la puissance dissipée et de la résolution de convertisseur en fonction de la vitesse de conversion

En observant les deux graphiques tirés des expressions P et F, il est assez évident que chacune des cinq architectures occupe une place particulière dans les spécifications des CANs. L'architecture Flash présente des CANs rapides, présentant une faible résolution, mais très dissipatifs. A l'inverse l'architecture sigma delta bien que très lente offre une résolution élevée pour une très faible dissipation de puissance. Les architectures pipeline, SAR et semi flash sont plus intermédiaires, bien que l'architecture SAR penche plutôt du côté de l'architecture sigma-

delta alors que les architectures pipeline et semi flash, se rapprochent plus des performances d'un CAN flash.

Il est aussi intéressant de remarquer que plus un CAN présente une forte vitesse de conversion, plus il va avoir une importante dissipation en puissance et moins sa résolution sera élevée. Tout cela confirme le fait qu'il est impossible de développer un CAN universel pouvant être intégré dans n'importe quelle application. Le cahier des charges du détecteur de vertex requiert un CAN rapide et peu dissipatif mais surtout avec un facteur de forme extrêmement particulier.

La plupart des CANs développés pour une intégration en bas de colonne de matrice de pixels visent des applications dans le domaine de l'imagerie du spectre du visible et donc une vitesse de lecture sensiblement plus basse pour une consommation beaucoup plus élevée et une résolution, elle aussi, plus haute. Des détails sur certains de ces prototypes peuvent être trouvés à [Han et al., 2004, Fur et al., 2005, Chi et al., 2007]. Leurs caractéristiques sont adaptées à des tailles de pixel inférieures à 10 μm et surtout à des vitesses de fonctionnement inférieures au M échantillonnage/s. Ces CANs adaptés au spectre du visible ne peuvent être utilisés pour une intégration dans le cadre d'un détecteur de vertex destiné à la physique des hautes énergies. Il faut trouver de nouvelles architectures originales afin de pallier au vide existant dans l'état de l'art.

6. Choix des architectures développées

Dans le cadre du développement de CAN pour le détecteur de vertex de l'ILC à base de MAPS, trois équipes, parallèlement au travail développé à l'IPHC et présenté dans cette thèse, travaillent à la réalisation de CAN spécifique.

- ❖ Le Laboratoire de Physique Subatomique et de Cosmologie de Grenoble (LPSC) a développé un CAN en utilisant l'architecture pipeline.
- ❖ Le Laboratoire de Physique Corpusculaire de Clermont Ferrand (LPC) a développé un CAN en utilisant l'architecture Flash.
- ❖ Le Dapnia a choisi de travailler sur une architecture SAR.

Afin de compléter cette étude et de pouvoir sélectionner l'architecture la plus performante pour développer un prototype à base d'une matrice de pixels intégrant un CAN en bas de chaque colonne, nous avons décidé de développer un CAN qui répond aux spécifications d'un détecteur de vertex.

Le choix du CAN s'est porté sur deux architectures :

- ❖ l'architecture Flash.
- ❖ l'architecture SAR.

Pour l'architecture Flash, la motivation de son choix peut se concentrer en trois avantages : « rapidité », « faible consommation » et « une petite surface de la puce ».

En effet, cette architecture de part le faible nombre de composants élémentaires dans le cas de faible résolution présentent une forte performance. Cet aspect, lors du choix des architectures, est apparu comme le point le plus important pour réussir à répondre aux exigences du détecteur de vertex: faible consommation, facteur de forme particulier, vitesse de conversion élevée et une petite surface de la puce.

Pour l'architecture SAR ne nécessite pas d'amplificateur complexe, mais un comparateur et un réseau de condensateurs. Cependant, les problèmes sont inhérents au CAN SAR capacitif conventionnel pour sa grande surface et son long temps de stabilisation, ce qui entraîne des caractéristiques de moyenne vitesse et de résolution moyenne [Hon&Lee, 2007]. Pour réduire la surface de la puce et accélérer le fonctionnement de CAN SAR, la technique du courant commuté peut être adoptée pour sa compatibilité avec une faible alimentation, une grande vitesse et une petite surface de la puce [Yuan, 2009]. D'autre part, de nombreux systèmes de traitement de signaux sont basés sur le courant, comme le capteur à Pixels Actifs Monolithiques (MAPS) pour le détecteur de vertex(VXD) [Win et al., 2009, Win et al., 2007a, Win et al., 2007b] International Linear Collider (ILC). Pour ces cas, les CANs en mode de courant peuvent évidemment offrir certains avantages par rapport aux implémentations en mode tension. L'idée originale de cette proposition est basée sur l'utilisation de deux nouvelles architectures de CNA à sources de courant dans le SAR en MC. En effet, l'utilisation de ces deux convertisseurs CNA-SC va diminuer l'effet du long du temps de stabilisation et de la dissipation d'énergie. De plus les blocs CNA-SC proposées devront consommer une puissance de quelques centaines de μW seulement et la surface occupée par ces CNA-SC est très faible comparé au d'autre convertisseurs. Les CNA-SC proposés seront développés en technologie CMOS 0.18 μm afin de pouvoir être intégrés dans le SAR MC pour l'application détecteur de vertex à base de MAPS ou d'autres applications bien déterminées.

7. Conclusion

Dans ce chapitre, une étude sur les caractéristiques et les spécifications des capteurs monolithiques à pixels actifs (MAPS) en technologie CMOS sont présentées. Ceci nous a permis de déterminer les contraintes sévères imposées sur le détecteur du vertex et, par conséquent, sur la conception de l'électronique de lecture intégrée avec les capteurs et du CAN particulièrement. Le cahier des charges de ce dernier est en fait particulièrement ambitieux et hors de portée des technologies de capteurs en usage dans les expériences actuelles. Les capteurs CMOS à pixels développés à l'IPHC-Strasbourg constituent une approche très attrayante pour équiper le détecteur de vertex du prochain collisionneur linéaire ILC. Ces capteurs présentent de nombreux avantages. Cependant, pour atteindre la résolution spatiale exigée (meilleure que $\sim 2 \mu\text{m}$), l'intégration d'un CAN précis et compact est indispensable. Les contraintes sur budget de matière et sur le taux d'occupation dans le capteur exigent une rapidité de lecture assez élevée sans pour autant dissiper une puissance trop élevée par le CAN.

Un bref état de l'art a permis de mettre en évidence le manque d'architectures performantes répondant aux exigences d'un détecteur de vertex, et justifie le développement d'architectures spécifiques pour ce type d'application.

L'étude, dans ce chapitre, a permis de définir tous les points du cahier des charges imposé sur la conception du CAN.

Les deux prochains chapitres se proposent de présenter en détail la conception et l'optimisation de deux architectures de convertisseur se rapprochant des spécifications de cette application. Des architectures innovantes ont été mises en œuvre étant donné que les architectures classiques ne permettent pas de satisfaire le cahier des charges présenté au début de ce chapitre.

CHAPITRE II : CONCEPTION D'UN CAN FLASH OPTIMALE TRÈS COMPACT INTÉGRABLE AVEC LES CAPTEURS MAPS

1. Introduction

Dans le chapitre précédent nous avons présenté les différentes caractéristiques clés des convertisseurs analogiques numériques. Les spécifications requises par l'application du détecteur de vertex à base de MAPS pour l'ILC imposent la recherche d'architectures originales et innovantes à la bordure de l'état de l'art des CANs. Nous avons retenu l'architecture flash pour la réalisation du CAN pour équiper les colonnes de pixels dans les capteurs monolithiques à pixel actif MAPS. Les contraintes sur la réalisation de CAN, ont été détaillées dans le chapitre 1.

Les architectures des CANs ont été étudiées par plusieurs chercheurs [Zha et al., 2013, Dah et al., 2008, Pil et al., 2010, Zha et al., 2014a, Zha et al., 2014b, Dah et al., 2008b, Bou et al., 2007, Dim&Vas, 2007, Tan et al., 2014, Zhu et al., 2010, Sai et al., 2014, Car&Van, 2012, Chakir&Qjidaa, 2012, Chakir et al., 2015b]. Les CANs proposés dans les littératures à savoir l'architecture pipeline [Dah et al., 2008], l'architecture double rampe [Pil et al., 2010] et l'architecture de registre d'approximation successive (SAR) [Zha et al., 2013, Zha et al., 2014a, Zha et al., 2014b] ont été largement développés pour répondre à des spécifications précises en matière de détection de particules chargées. En effet, M. Dahoumane et al [Dah et al., 2008, Dah et al., 2008b] et J. Bouvier et al [Bou et al., 2007] ont proposé l'architecture de pipeline pour obtenir une vitesse élevée. Cependant, cette architecture nécessite plusieurs amplificateurs opérationnels ce qui entraîne une forte dissipation d'énergie. N. Pillet et al. Dans [Pil et al., 2010] ont proposé l'architecture double rampe pour obtenir une faible consommation d'énergie et de petite surface. Cependant, cette architecture ne permet pas d'atteindre des vitesses de conversion supérieures à 1M échantillons /s. Liang Zhang et al [Zha et al., 2013, Zha et al., 2014a, Zha et al., 2014b] ont proposé l'architecture SAR. Cependant,

cette architecture nécessite plusieurs cycles de comparaisons pour compléter une conversion. Ceci limite la vitesse de fonctionnement.

En résumé, toutes ces architectures présentent des problèmes ce qui limite leur utilisation dans la détection des particules chargées. Plusieurs points clés, tels que la précision en bits, la dissipation de puissance et la vitesse de conversion etc [Tur et al., 2001] ont été utilisés pour une conception optimale de convertisseurs. Par contre, si ces architectures des CANs tel que l'architecture pipeline, l'architecture à double rampe et l'architecture à registre d'approximations successives (SAR) ont été largement utilisées dans la littérature pour concevoir les capteurs MAPS, aucun travail ne s'est intéressé à l'utilisation de l'architecture CAN flash reconnue par sa faible consommation d'énergie (dans le cas où le nombre de bits est faible) et sa rapidité. Pour cela, nous avons proposé, dans ce chapitre, une nouvelle architecture CAN flash 4-bit à colonne parallèle caractérisé par sa faible puissance de consommation, sa haute vitesse et sa faible surface.

L'idée originale de cette proposition est basée sur l'intégration d'un bloc de l'E/B à l'entrée du convertisseur. En effet, l'intégration de ce bloc E/B va augmenter la sensibilité du convertisseur aux signaux d'entrées à faible amplitude, de l'ordre de quelques millivolts provenant du capteur. De plus le bloc E/B fournira un temps suffisant pour que le convertisseur puisse coder le signal d'entrée. L'architecture du CAN proposée devra consommer une puissance de quelques centaines de μW seulement et convertira les signaux délivrés par les pixels du capteur dans une durée de ~ 10 ns au plus. La largeur du dessin des masques du convertisseur proposé doit être ajustée à celle des pixels, qui est de l'ordre de $35 \mu\text{m}$. Le CAN proposé sera fabriqué en technologie CMOS $0,18 \mu\text{m}$ afin de pouvoir être intégré en bas de colonne de la matrice des pixels du capteur.

Les résultats de la simulation de CAN proposé vont répondre aussi aux contraintes de la dissipation de puissance, la taille et la vitesse exigés par les capteurs de MAPS. En comparaison aux performances des autres convertisseurs L. Zhang [Zha et al., 2013, Zha et al., 2014a, Zha et al., 2014b], M. Dahoumane [Dah et al., 2008, Dah et al., 2008b] et J. Bouvier [Bou et al., 2007]. Le CAN doit être compacté, rapide à une fréquence d'échantillonnage plus de (100Me/s), une très faible dissipation de puissance, et réagissant à un signal minimum d'environ 7,81 mV. Le choix de cette architecture du CAN est un compromis entre la granularité et la résolution spatiale du détecteur, la taille et la dissipation de puissance.

Dans ce chapitre, nous présenterons l'architecture globale proposée et les résultats de simulation des blocs qui constituent notre convertisseur flash 4-bit à colonne parallèle,

développé dans le cadre de cette thèse. Nous commencerons par la présentation d'une architecture de capteur pour introduire le cahier des charges (CDC) des CAN.

2. CAN pour les capteurs MAPS

2.1. Contexte d'intégration du CAN dans le capteur MAPS

L'architecture globale de la puce MAPS proposée comprenant le réseau de pixels avec son électronique de lecture associée et ses étages de conversion est illustrée à la figure II.1.

Nous utiliserons cette chaîne pour présenter l'intégration des E/B et CAN dans les capteurs et définir leurs CDC.

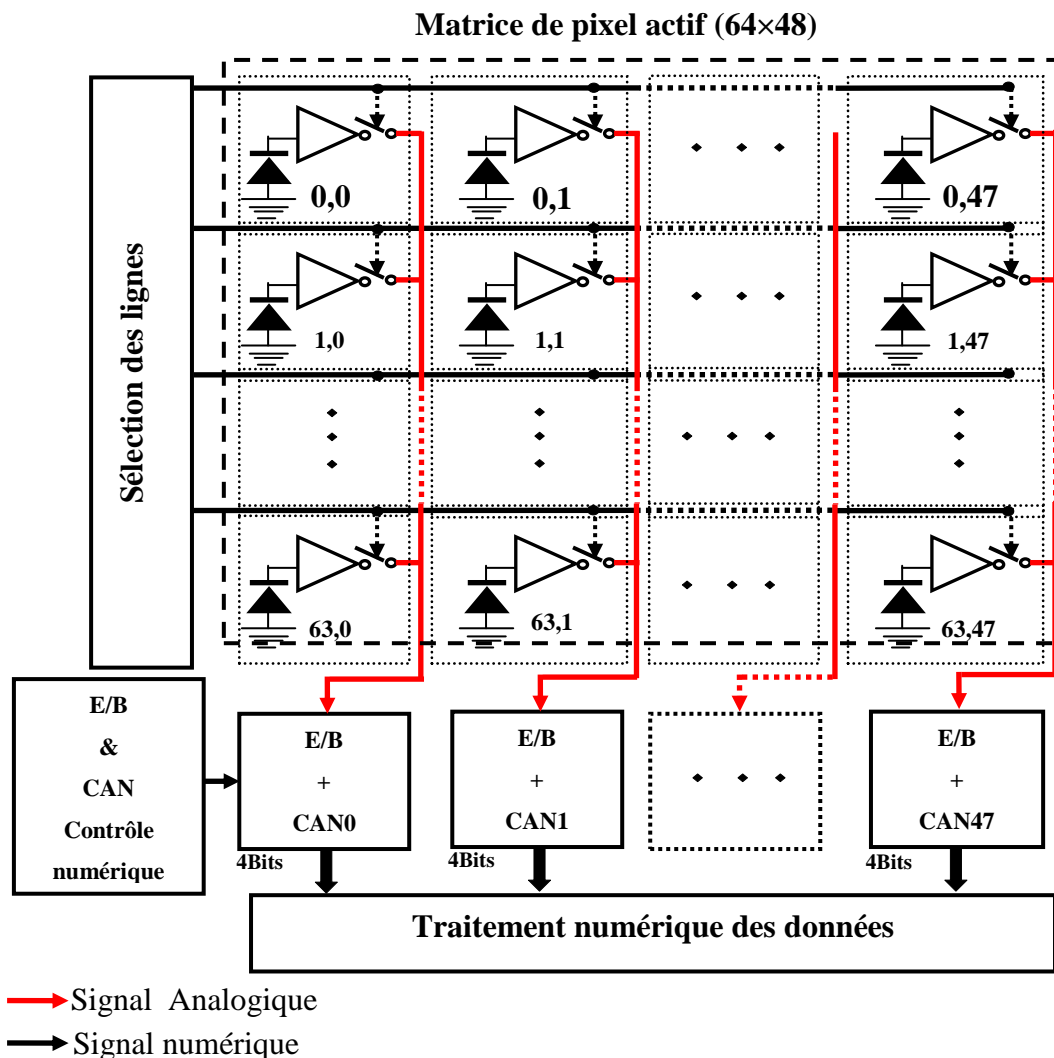


Figure II.1: Architecture de capteur MAPS proposée pour la détection de vertex.

L'architecture présentée par la figure II.1 illustre un capteur MAPS à lecture parallélisée intégrant 64 lignes × 48 colonnes de pixels.

Les pixels en mode tension comprennent une photodiode, un amplificateur APix, un traitement de signal CDS, un amplificateur ABuff et un interrupteur Sr01. Chaque colonne de pixels est couplée à un traitement E/B (Echantillonneur-bloqueur). Le traitement E/B assure la fonction d'échantillonneur-bloqueur qui est indispensable en entrée d'un CAN. Ce dernier convertit le signal analogique délivré par les pixels du capteur en un code binaire qui sera transmis au système de traitement numérique. En sortie du traitement numérique, les coordonnées et les données (charges) des pixels stimulés par une particule sont transmises du capteur vers un système d'acquisition et de stockage des données qui sont externe au détecteur de vertex.

Lorsque la conversion analogique-numérique est réalisée par un discriminateur, l'architecture présentée par la figure II.1 satisfait les exigences du CDC du MVD en terme de résolution spatiale ($\sim 2 \mu\text{m}$). Or pour d'autres applications nécessitant une résolution spatiale de l'ordre du micromètre, le discriminateur doit être remplacée par un CAN.

Dans le paragraphe suivant, nous présenterons les contraintes liées à la conception des CAN devant équiper les capteurs MAPS.

2.2. Spécification des CANs pour les détecteurs de vertex

L'intégration d'un CAN au sein des matrices de pixel d'un détecteur de vertex propose de nombreux défis au vue des caractéristiques principales du détecteur. Ces dernières permettent de définir les caractéristiques principales d'un CAN compatible avec ce contexte d'implantation.

- **Facteur de forme**

Les dimensions du CAN représentent le premier défi de cette intégration. En effet au vue du mode de lecture présente dans le chapitre 1 pour les matrices composant le détecteur de vertex, il faut intégrer un CAN par colonne. La largeur de CAN fixée donc à $35\mu\text{m}$ est identique à la largeur d'un pixel. De plus, et afin de ne pas perturber les trajectoires des particules, le budget matière est extrêmement limite pour l'électronique de lecture, la longueur maximum du E/B et CAN est de ce fait limitée à $500 \mu\text{m}$.

- **Résolution du CAN**

La résolution du CAN dépend directement de la résolution voulue sur la matrice. Les premiers prototypes de l'IPHC étaient à sortie analogique, et la conversion ainsi que le traitement du signal (CDS et DS) s'effectuaient en dehors du circuit. Une résolution de 12 bits permettait alors d'obtenir une résolution spatiale sur la matrice $1,55 \mu\text{m}$. En intégrant le CDS

dans le pixel et ainsi qu'un DS en bas de colonne il a été possible de définir une nouvelle résolution spatiale en fonction du nombre de bit du CAN comme le montre la table ci-dessous:

Nombre de bits du CAN	12	5	4	3
Résolution spatiale sur la matrice	1.55 μ m	1.7 μ m	2 μ m	2.2 μ m

Table II.1: Résolution du CAN contre la résolution spatiale sur la matrice

Dans le cadre du détecteur de vertex, une résolution de 2 μ m est suffisante.

- **Dynamique de conversion, valeur du bit de poids faible**

En bas de colonne, après le prétraitement et l'amplification, le niveau du bruit est de l'ordre de 2 à 3 mV. Afin de minimiser l'impact du bruit sur la conversion le LSB doit être au moins deux fois supérieur au niveau du bruit, ce qui reviendrait à un LSB de l'ordre de 4 à 6 mV. De plus le passage d'une particule minimum ionisante (m.i.p.) au travers d'un pixel génère en moyenne 80 paires électrons/trous par μ m (ce qui donne pour une couche épitaxie de 11 μ m, 880 paires électrons trous). Sachant que le pixel siège collecte environ 30% de cette charge [Bau et al., 2009] et que le facteur de conversion de la diode est de 50 μ V/e-, le signal en sortie du pixel siège vaut au maximum 12.5 mV. Multiplié par un amplificateur de gain 5 en bas de colonne le signal à l'entrée du CAN vaut 62.5 mV. Il est cependant nécessaire de prendre une marge de sécurité afin de palier à toute éventualité concernant le pixel siège, en doublant cette valeur on obtient alors une dynamique de 125 mV. Cette dynamique correspond à un LSB de 7,81 mV pour un CAN de 4 bits de résolution. Cette valeur de LSB est compatible avec le niveau de bruit en bas de colonne.

- **Consommation**

Le faible budget matière du détecteur de vertex empêche toute implantation d'un système de refroidissement complexe. La consommation pour chaque voie du CAN et E/B ont été limitée à 1,5 mW.

- **Vitesse de conversion**

Le mode de lecture de la matrice a été détaillé dans le premier chapitre. Afin de pouvoir distinguer le passage de deux particules successives l'ensemble de la matrice doit être lu en 160ns. Pour une matrice de 64 lignes cela représente 10ns par pixel. Un CAN développé pour des détecteurs de vertex devra donc présenter une vitesse de conversion plus de 100M échantillons/s.

- **Technologie de développement**

La technologie utilisée pour le développement des matrices de pixels à base de MAPS est la technologie CMOS 0,18 μm . Ce choix a été motivé par diverses raisons :

- ✓ Epaisseur de la couche épitaxiale
- ✓ Tolérance aux radiations
- ✓ Accessibilité à la technologie (prix, disponibilité...)

La technologie CMOS 0,18 μm est une technologie de travail, elle n'est en aucun cas la technologie dans laquelle seront développées les échelles de capteurs du détecteur de vertex. Les CANs développés devront être fabriqués en technologie CMOS 0,18 μm afin de pouvoir être intégrés en bas de colonne de matrice de pixels. Ce choix technologique représente une contrainte supplémentaire en termes de surface pour les CANs. De plus le grand nombre de couche de métallisation disponible va simplifier le routage interne du CAN et E/B.

Le tableau ci-dessous résume les caractéristiques principales que doit présenter un CAN&E/B afin de pouvoir être intégré à des détecteurs à pixel pour la première couche du détecteur de vertex de l'ILC.

Paramètres	Spécifications
Technologie de fabrication CMOS (en μm)	0.18
Tension d'alimentation (en V)	1.8
Température (en C°)	27
Nombre de bit	4
Dynamique de conversion (en mV)	125
Bit de poids faible (en mV)	7.81
Vitesse de conversion(en M et G échantillons/s)	100Me/s ,5Ge/s
Dimension(en μm)	35 μm ×500 μm
Consommation(en mW)	< 1.5
INL(en LSB)	$\leq \pm 0.5$
DNL(en LSB)	$\leq \pm 0.5$
Erreur de Gain (en LSB)	Minimum
Erreur d'Offset (en LSB)	Minimum

Table II.2: Caractéristiques d'un CAN&E/B pour la première couche du détecteur de vertex de l'ILC

Les caractéristiques présentées dans la table II.2 doivent être prises dans leur globalité pour bien saisir la difficulté d'intégrer un CAN&E/B à une matrice de pixels. En effet la

plupart de ces caractéristiques sont interdépendantes. La figure II.2 représente les cinq paramètres clefs d'un CAN&E/B pour la première couche du détecteur de vertex de l'ILC : la puissance dissipée, la fréquence de conversion, la dynamique analogique de conversion, la surface et la résolution en bit.

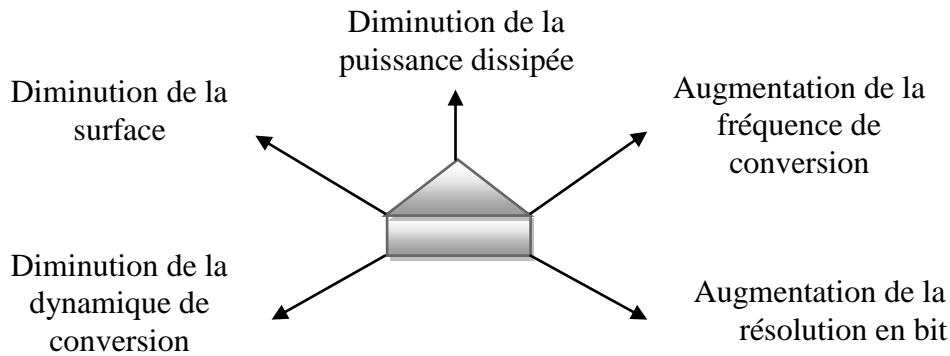


Figure II.2: Dépendance des différentes caractéristiques d'un CAN&E/B

Les performances générales d'un CAN&E/B forment une forme géométrique de surface définie (Figure II.2). Il est possible d'améliorer un des cinq critères en déplaçant un des coins de la forme géométrique sur l'axe correspondant, cependant la surface de la forme géométrique, elle, n'est pas extensible. Chaque déplacement sur un axe entrainera obligatoirement un déplacement contraire sur les autres.

- ✚ **La puissance dissipée** est liée à la vitesse de conversion de part la consommation dynamique des portes logiques (qui est proportionnelle à la fréquence de fonctionnement de ces dernières), mais aussi de part les courants de polarisation des transistors qui influent sur la consommation statique.
- ✚ **La vitesse de conversion** est liée à la dynamique de conversion (et par extension à la valeur du bit de poids faible) à cause du bruit lié à la commutation des portes logiques.
- ✚ **La dynamique de conversion** est liée à la résolution en bit du convertisseur. L'augmentation du nombre de bits d'un convertisseur entraine pour une dynamique de conversion constante une diminution de la valeur du quantum.
- ✚ **La résolution en bits** est liée à la surface occupée par le convertisseur. Une augmentation de la résolution nécessite une augmentation de la surface du convertisseur.

Les interactions présentées ci-dessus sont les liens les plus directs entre les différentes caractéristiques des CANs, cependant, dans une moindre mesure les cinq caractéristiques sont toutes interdépendantes. Cette interdépendance, et surtout le caractère très particulier du cahier

des charges de la première couche du détecteur de vertex, interdit tout recours à une solution commerciale, et nécessite le développement d'un prototype spécifiquement dédié à cette application.

2.3.Position du problème

Des recherches et développements de CAN dédiés aux capteurs MAPS sont réalisés dans plusieurs laboratoires par exemples :

- Laboratoire DAPNIA CEA Saclay : étude de convertisseur de type SAR (Successive Approximation Register) 4 et 5 bits.
- Laboratoire IPHC de Strasbourg : étude de CAN 4 bits de type SAR (étude d'un CAN à double rampe 4 bits).
- Laboratoire LPC (Laboratoire de Physique Corpusculaire) de Clermont Ferrand : étude de CAN de type Flash 4 +1.5 bits.
- Laboratoire LPSC (Laboratoire de Physique Subatomique et de Cosmologie) de Grenoble : étude de CAN de type Pipeline 4 et 5 bits.

Aucune étude n'a été initiée sur le convertisseur Sigma Delta car le potentiel technologique de ce type de convertisseur ne permet pas d'atteindre la vitesse de conversion requise par le CDC.

Tous ces travaux de recherches et développements sur les CANs, sont complémentaires dans le sens où ils permettent de disposer de plusieurs solutions de convertisseurs pour les capteurs CMOS. Le choix du type de CAN dépend étroitement des spécifications de l'application.

L'état de l'art des CANs présente une carence concernant les critères requis non pas spécifiquement mais dans leur globalité l'utilisation des Convertisseurs Analogique-Numérique (CAN) en physique de particules pour la détection de vertex présentent des contraintes spécifiques. Cette catégorie de circuits demande de très hautes fréquences d'échantillonnage ainsi qu'une faible résolution (relativement peu de bits). Souvent, une faible dissipation est aussi demandée. Les CANs proposés sur le marché par les fabricants de convertisseurs ne satisfont pas à toutes ces contraintes.

Le développement de ce projet de thèse s'intéresse au développement d'un nouveau CAN pour les applications en physique de particule, car, elles aussi, demandent de très hautes fréquences d'échantillonnage, de très faibles consommations et de faible surface. Afin de

remplir le cahier des charges demandé pour l'application détection de vertex, l'architecture flash a été retenue. Ce choix s'explique pour la rapidité, la consommation et la surface de cette architecture. Les principales spécifications de ce convertisseur analogique-numérique sont : une fréquence d'échantillonnage compris entre 6.25 MHz et 5 GHz ; un faible signal analogique d'entrée de 125 mV; une petite surface et une résolution de 4 bits. La technologie utilisée est CMOS 0.18 μm . De plus, les performances du convertisseur sont directement dépendantes des performances de tous les blocs composent de celui-ci (E/B, pont diviseur, comparateur, encoder et registre). Une extrême précision sur le bloc de l'échantillonneur bloquer est nécessaire pour ne pas perturber le résultat de la conversion. Pour ce faire l'E/B des CANs gagne en complexité en intégrant un commutateur TG et un amplificateur opérationnel OTA.

Les dimensions du CAN développé pour la première couche des détecteurs de vertex ne permettent pas l'intégration de système analogique complexe. C'est pourquoi une architecture alternative a été développée sous le nom de CAN flash novateur à travers une intégration d'un E/B à l'entre de ce CAN flash.

3. Proposition de nouvelle architecture de CAN Flash 4-bit [Chakir et al., 2017]

L'architecture du CAN Flash 4-bits à colonne parallèle proposé à été conçue spécifiquement pour les capteurs MAPS dédiés à la détection de vertex. Dans ce cadre d'application, les CAN du marché, notamment ceux intégrés dans les capteurs MAPS employés pour l'imagerie de lumière visible ne satisfont pas le CDC, notamment en termes de budget, de matière, de vitesse et de consommation.

Pour réduire le nombre d'étapes de conversion, le CAN flash réalise les conversions analogique-numérique en tenant compte de l'intensité du signal d'entrée. Ce dernier convertit le signal analogique V_{in} à l'aide des 5 blocs fonctionnels :

- **L'échantillonneur bloqueur:**

Le signal est découpé au moyen d'un interrupteur réalisé à partir de transistors MOS en commutation, selon le principe du schéma suivant,

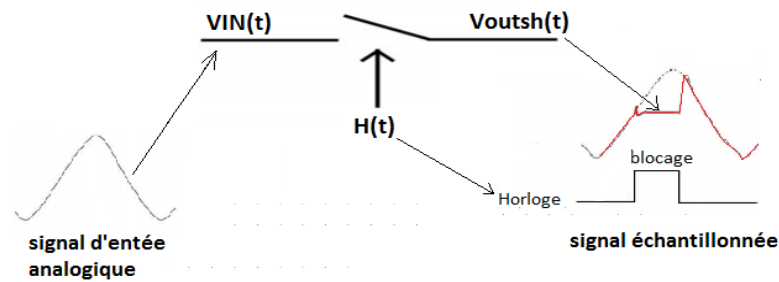


Figure II.3: Représentation simplifiée d'un échantillonneur

La valeur échantillonnée est stockée dans un condensateur utilisé comme mémoire durant une période d'horloge.

- **un pont diviseur:**

Les tensions de références des comparateurs sont générées à partir d'un pont diviseur de résistances, placées en série.

- **une série de comparateurs:**

Ils sont au nombre de 15 pour coder sur 16 valeurs (4 bits). Sur une période d'horloge, elles sont comparés à 15 tensions différentes et tous les comparateurs sortent une valeur logique qui est de 1 si la tension d'entrée est supérieure à la valeur de référence, 0 sinon. C'est lors de cette étape que le signal passe d'un état analogique à un état logique.

- **L'encodeur:**

Cet étage est réalisé à base des multiplexeurs (MUX) et permet de transcrire les données issues de l'étage des comparateurs en signal binaire au moyen du code thermomètre. Il est à noter que lors de cette étape le signal sortant n'est pas synchrone.

- **le registre à décalage (4 bits) :**

Il permet d'obtenir un signal binaire synchrone au moyen de quatre bascules de type latch(DFF). Le signal de sortie constitue donc un bus de 4 bits sortant en parallèle.

Le CAN à 4 bits Flash présenté dans la figure II.4 est composé des cinq éléments suivants : L'échantillonneur bloqueur, le pont diviseur, la série de comparateurs, le décodeur et le registre à décalage (4 bits). Le dessin des masques du convertisseur proposé sont présentés dans le dernier chapitre.

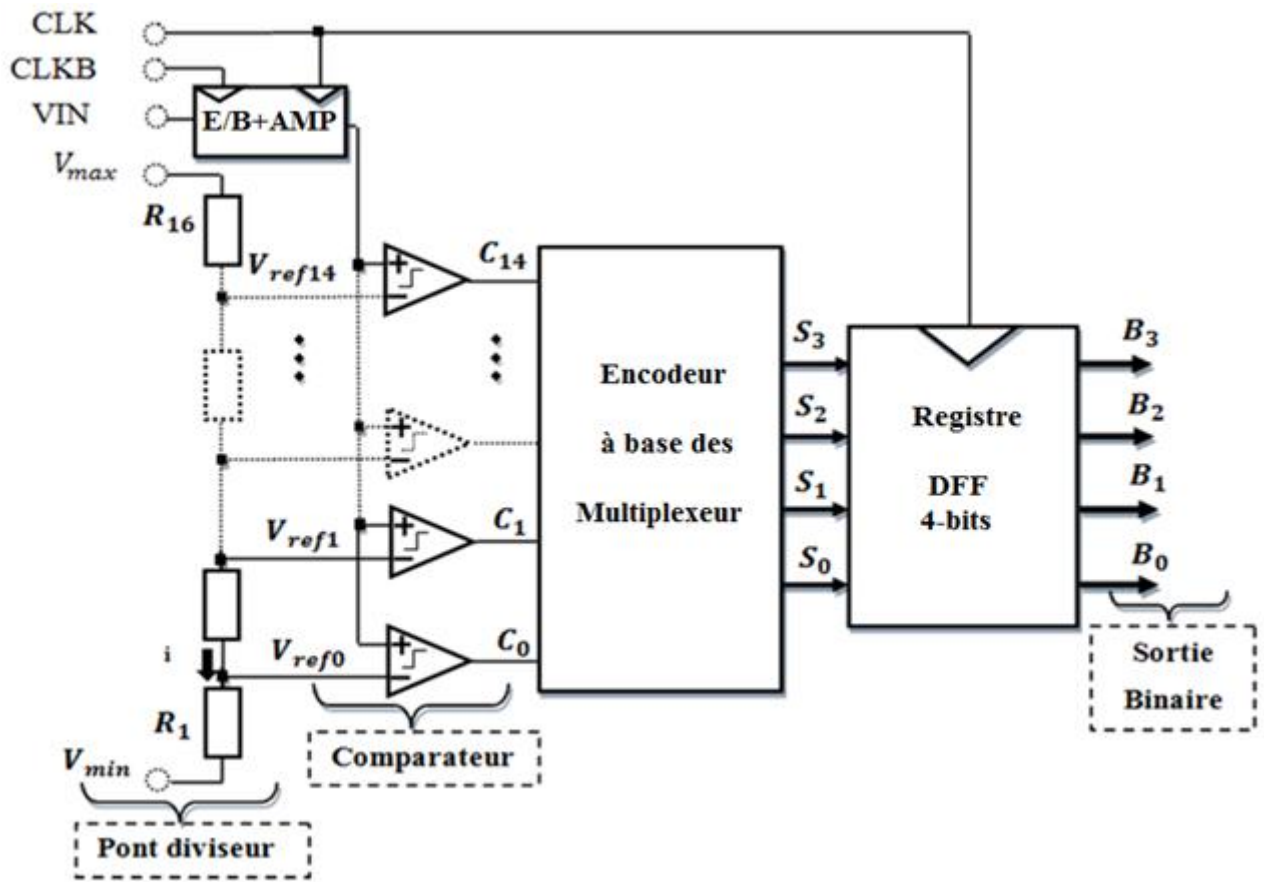


Figure II.4: Schéma synoptique du CAN Flash 4bits.

Au début du cycle de conversion, on compare le signal d'entrée à $2^4 - 1 = 15$ références, puis on transforme ce code thermomètre en code binaire. Un tel convertisseur est composé de $2^4 - 1 = 15$ comparateurs, $2^4 = 16$ résistances et d'un encodeur (cf. Figure II.4), ce qui est moins coûteux en terme de consommation et de surface de silicium dans le cas où le nombre de bits est moins élevé. C'est le fait que tous les comparateurs soient en parallèle qui assure la rapidité de la conversion.

Le barreau résistif est polarisé entre V_{min} et V_{max} , avec $\Delta V = V_{max} - V_{min}$ la dynamique d'entrée de la tension V_{analog} à convertir. Le choix des valeurs de résistance fait en trouvant un compromis entre la consommation du barreau et la surface de silicium occupée.

Supposons que les résistances du barreau soient toutes égales à R (cf. Figure II.5 et Figure II.6), la valeur en tension du LSB vaut : $q = \frac{\Delta V}{2^N - 1}$

La valeur rms $V_{\epsilon(rms)}$ du bruit de quantification est : $V_{\epsilon(rms)} = \frac{1}{q} \sqrt{\int_{-\frac{q}{2}}^{\frac{q}{2}} V_{\epsilon}(V)^2 dV}$ on a :

$$V_{\epsilon(rms)} = \frac{q}{\sqrt{3}}$$

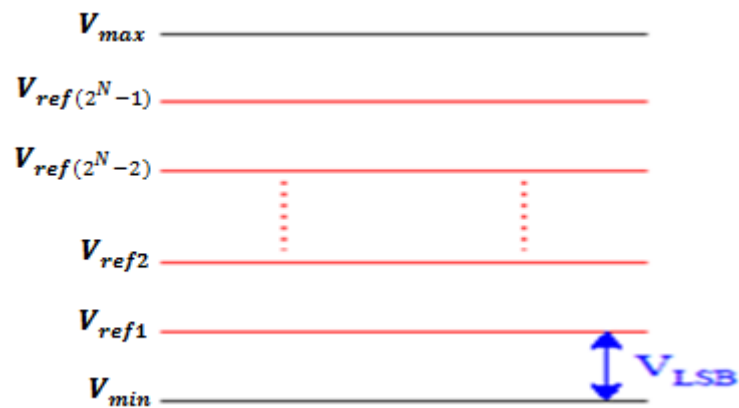


Figure II.5: Différentes dispositions des références de tension dans un CAN Flash

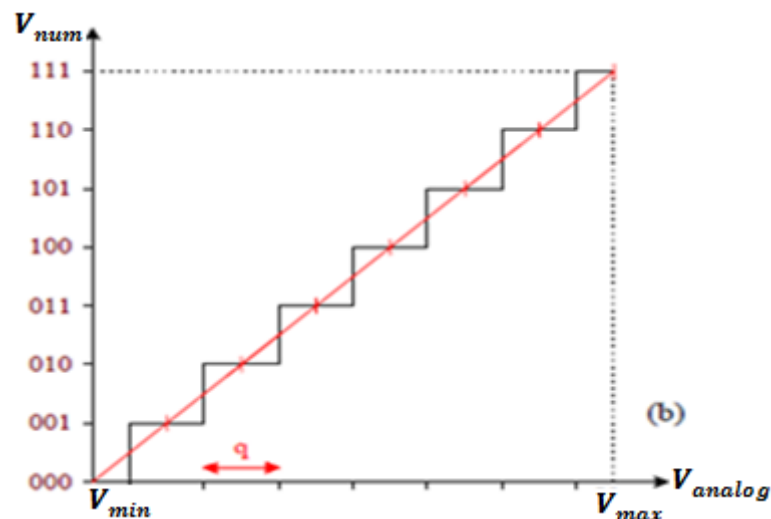


Figure II.6: Fonctions de transfert d'un CAN Flash 3bits.

La valeur du bruit est faible alors que le rapport signal sur bruit SNR est assez grand, et on peut montrer qu'il s'agit de la valeur maximale que l'on peut obtenir. Cette disposition reste plus couramment utilisée.

Le grand nombre de comparateurs connectés au nœud d'entrée V_{analog} implique une très grande capacité d'entrée. Celle-ci limite la vitesse de fonctionnement et nécessite l'intégration d'un E/B pour le signal d'entrée, ce qui augmente considérablement la consommation.

L'encodeur est réalisé à base des multiplexeurs permettant de transcrire les données issues de l'étage des comparateurs en un signal binaire au moyen du code thermomètre. Il utilise un multiplexeur de type 2 vers 1. Le nombre de multiplexeurs utilisés est égal à 11 et le nombre d'inverseurs est égal à 4 pour convertir les 15 entrées (codes du thermomètre) en code binaire. Il faut noter que lors de cette étape le signal sortant n'est pas synchrone. Pour résoudre ce problème, un registre flip-flops de type latch (DFF) est proposé pour permettre un signal

binaire synchrone à l'aide de quatre flip-flops de type latch. Enfin, Le signal de sortie constitue donc un bus de 4 bits sortant en parallèle.

3.1. Conception d'un échantillonneur bloqueur

3.1.1. Introduction

Dans cette partie, nous présenterons une nouvelle architecture du circuit d'échantillonneur-bloqueur (E/B) intégré dans les convertisseurs. Pour convertir en numérique les signaux provenant du pixel, le signal doit, être mémorisé et maintenu stable pendant la durée nécessaire pour sa conversion. Afin d'augmenter la sensibilité du CAN notamment au signal minimal du capteur, ce dernier doit être amplifié avant d'être codé. C'est pourquoi, un étage d'échantillonnage-blocage est nécessaire dans cette application. Avant de faire la conception de circuit échantillonneur bloqueur il est nécessaire de procéder à une conception optimale de l'amplificateur opérationnelle qui constitue l'élément principal dans les blocs du circuit E/B.

Dans cette section, après quelques rappels sur le principe d'échantillonnage, nous présentons la conception et la simulation de l'amplificateur opérationnel à transconductance trois étages qui nous a permis d'optimiser les paramètres suivantes : le gain de l'OTA en boucle ouverte, la stabilité de l'OTA, CMRR (taux de rejection du mode commun), PSRR (Taux de réjection des alimentations), ICMR (dynamique d'entrée en mode commun), et l'énergie dissipée, puis on a utilisé l'OTA dans l'architectures proposée du circuit échantillonneur bloqueur.

3.1.2. Échantillonneur-bloqueur

Dans une chaîne d'acquisition de données et de traitement du signal, l'échantillonneur-bloqueur est un élément incontournable car la rapidité et la précision du traitement dépendent de ses performances. Le fonctionnement de l'échantillonneur-bloqueur est de suivre les variations du signal d'entrée pendant une phase d'échantillonnage, puis de mémoriser les échantillons prélevés à la réception d'une commande de blocage, pendant une durée suffisante pour que le CAN puisse procéder à la conversion analogique-numérique.

Cette opération consiste à prendre la valeur instantanée du signal à des intervalles séparés par un temps constant T_e période d'échantillonnage. Le rôle d'un échantillonneur-bloqueur (Sample & Hold, S/H) est de maintenir constante l'amplitude de l'échantillon prélevé toutes les T_e secondes durant un temps nécessaire à sa conversion analogique-numérique. T_e

représente la période d'échantillonnage. Dans le cas des signaux lents, dont la précision temporelle n'est pas exigée, le circuit S/H n'est pas nécessaire. À l'issue de cette opération, les valeurs du signal original ne sont connues que toutes les T_e secondes. Alors, pour pouvoir reconstituer le signal original à partir des échantillons prélevés à des instants discrets, il faut choisir un nombre suffisant d'échantillons.

Afin de garantir la restitution fidèle du signal original, le théorème d'échantillonnage stipule que la fréquence d'échantillonnage doit être supérieure au double de la fréquence maximale à reproduire ($F_e \geq 2 \times F_{\max}$) [Auger, 1999, Coulon, 1996]. Sinon, on observe un phénomène de repliement, qui veut que les fréquences les plus élevées, en plus d'être reproduites à leurs justes valeurs, se voient inversées et décalées pour se superposer aux fréquences plus basses du signal.

Dans le cas du signal issu des pixels des MAPS, ce théorème est respecté de fait. Cependant, il est nécessaire de rappeler ces limites d'échantillonnage dans le but de les respecter lors de test et de caractérisation des CANs.

3.1.3. Principe de fonctionnement d'un circuit E/B

La figure II.7 illustre la configuration la plus élémentaire d'un échantillonneur bloqueur. La façon la plus simple de réaliser un échantillonneur-bloqueur consiste à associer un interrupteur à un condensateur de charge (CH). La capacité (CH) joue le rôle de mémoire analogique, l'interrupteur sert à rafraîchir la valeur de la tension mémorisée sur cette capacité ou bien à l'isoler l'entrée, selon la phase (échantillonnage ou blocage).

Les commandes d'ouverture et de fermeture de l'interrupteur sont assurées par une horloge générant un signal périodique rectangulaire.

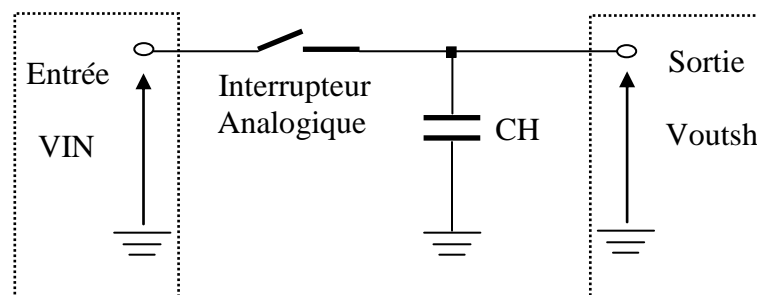


Figure II.7: Schéma de principe d'un échantillonneur-bloqueur élémentaire.

Dans le cas idéal, les commandes d'ouverture et de fermeture sont réalisées comme suit :

- lorsque l'interrupteur est fermé, la tension aux bornes de la capacité (la sortie de l'E/B dans le cas élémentaire de la figure III.7) suit les variations de l'entrée. Cette phase est dite d'échantillonnage (Sample, S).
- Et lorsque l'interrupteur est ouvert, la sortie, étant isolée de l'entrée, reste constante et égale à la dernière valeur transmise du signal d'entrée. Cette phase correspond à celle de blocage (Hold, H).

Cette opération périodique est illustrée sur la figure II.8 qui montre la tension aux bornes de la capacité durant les deux phases de fonctionnement de l'E/B.

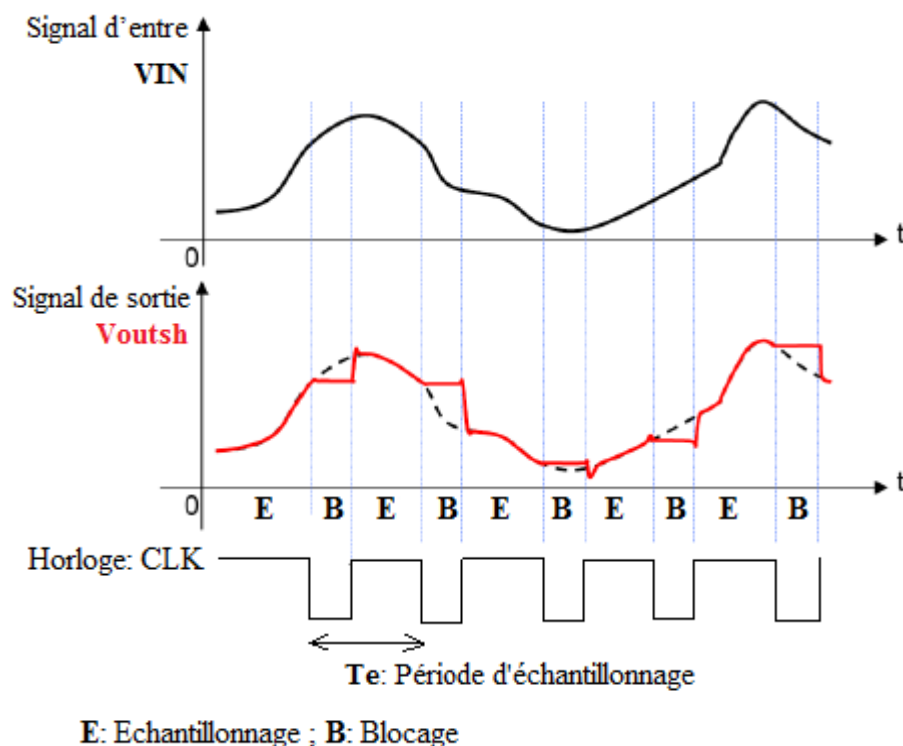


Figure II.8: Courbe du signal de sortie durant les phases d'échantillonnage et de blocage.

Dans le cas réel, différentes sources d'erreurs viennent perturber la valeur du signal échantillonné. Ces erreurs constituent les limitations en termes de rapidité et précision du circuit E/B. Les sections suivantes de la présente section seront consacrées aux détails de conception de circuit E/B proposée dans le cadre de cette thèse en vue de réaliser un circuit optimal intégrés dans les convertisseurs analogique-numérique en bas des colonnes de pixels du capteur MAPS.

3.1.4. Description du circuit E/B proposé.

L'architecture du circuit proposée de l'échantillonneur-bloqueur (Sample and Hold, S/H) est illustrée sur la figure II.9. Elle est composée d'un commutateur CMOS (deux transistors MOS (NMOS et PMOS) connectés en parallèle) associé à une capacité de charge C_0 . Les commandes d'ouverture et de fermeture de l'interrupteur sont assurées par une horloge CLK et son complément CLKB générant un signal périodique rectangulaire et en amont de ces deux éléments. Un amplificateur opérationnel à trois étages en montage suiveur est intégré au circuit, assure le rôle d'adaptateur d'impédance.

La conception de ce circuit s'appuie sur la technique du commutateur CMOS, qui consiste à monter en parallèle un transistor NMOS et un transistor PMOS comme le montre la figure II.9. Il permet une plus grande stabilité de la résistance R_{on} suivant la variation de la tension d'entrée V_{in} et d'obtenir une résistance du commutateur moins dépendante du signal d'entrée et pour assurer le fonctionnement de ce commutateur sur toute la plage du signal d'entrée admissible. Le fonctionnement de ce circuit est piloté par deux phases principales d'horloge non recouvrant CLK et CLKB, qui sont générées à l'aide d'un générateur d'horloge idéal. La figure II.9 illustre le circuit réalisé et met en évidence la phase d'échantillonnage (CLK=1 et CLKB=0, activée), pendant laquelle le signal d'entrée est mémorisé par la capacité d'échantillonnage (C_0). Et durant la phase de blocage (CLK=0 et CLKB=1) la sortie, étant isolée de l'entrée, reste constante et égale à la dernière valeur transmise du signal d'entrée. Le buffer de sortie (OTA) présente une impédance d'entrée très élevée de manière à ne pas décharger le condensateur. Par souci de préserver la surface, le choix des valeurs des capacités est un compromis entre la surface occupée et la tension maximale tolérée du bruit en kT/C . Dans ce circuit, les valeurs des capacités C_0 et C_1 sont 100fF et 200fF respectivement. De plus l'optimisation de l'OTA constitue un élément principal dans notre bloc du circuit E/B.

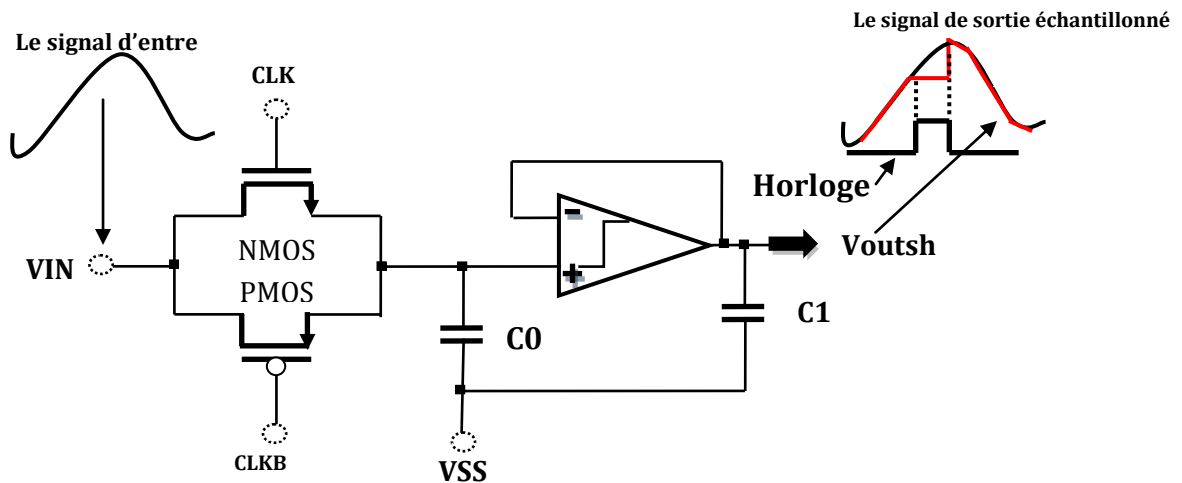


Figure II.9: Circuit d'un échantillonneur bloqueur proposé

En pratique, le modèle simplifié de l'échantillonneur bloqueur Figure II.10 souffre de limitations à cause de la faible impédance d'entrée de l'échantillonneur et de l'impédance du circuit de charge en aval de l'E/B.

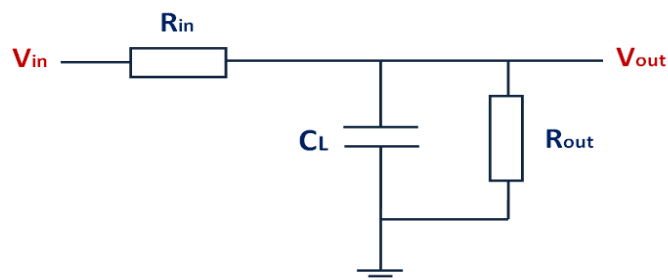


Figure II.10: Modèle simplifié de l'échantillonneur bloqueur

Ceci, implique l'apparition d'un pont diviseur de tension : (état passant)

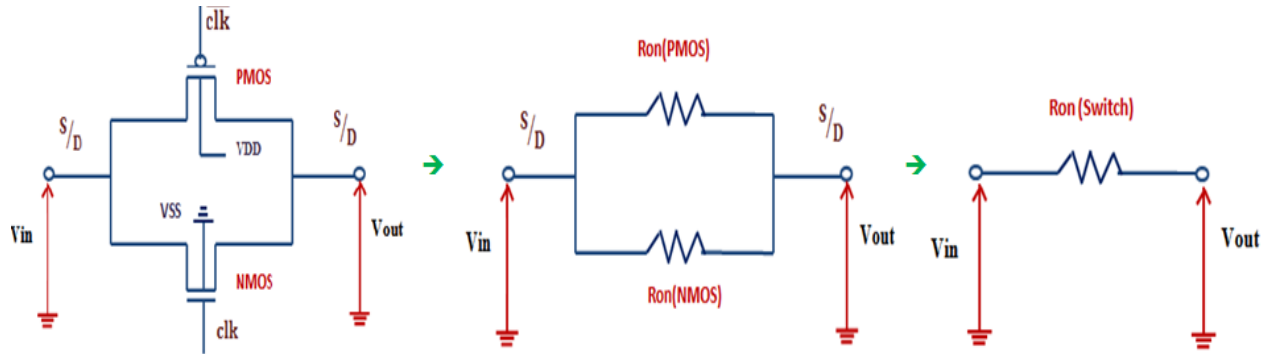
$$V_{out} = \frac{R_{out}}{R_{out} + R_{in}} V_{in} \quad (II.1)$$

D'où

$$V_{out} \neq V_{in}$$

Ainsi, le condensateur se décharge dans la résistance, la tension V_{in} , décroît donc en fonction du temps (État bloqué). Donc il est nécessaire de diminuer R_{in} à travers les W des transistors, ou bien d'augmenter R_{out} pour que la sortie copie bien l'entrée, et que $\tau = R_{out} \times C_L$.

Détermination de Ron de notre interrupteur :



$$R_{ON} = [R_{on}(nMOS) // R_{on}(pMOS)]$$

$$R_{ON} = \frac{R_{on}(nMOS) * R_{on}(pMOS)}{R_{on}(nMOS) + R_{on}(pMOS)}$$

$$R_{ON} = \frac{\left(\frac{L}{W}\right)_n \frac{1}{C_{ox} \mu_n (V_{gs_n} - V_{Tn})} \cdot \left(\frac{L}{W}\right)_p \frac{1}{C_{ox} \mu_p (V_{sg_n} - |V_{Tp}|)}}{\left(\frac{L}{W}\right)_n \frac{1}{C_{ox} \mu_n (V_{gs_n} - V_{Tn})} + \left(\frac{L}{W}\right)_p \frac{1}{C_{ox} \mu_p (V_{sg_n} - |V_{Tp}|)}}$$

Même (W/L): $\left(\frac{L}{W}\right)_n = \left(\frac{L}{W}\right)_p$

Finalement on trouve que:

$$R_{ON} = \left(\frac{L}{W \cdot C_{ox}}\right) \frac{1}{\left[\mu_p (V_{sg_n} - |V_{Tp}|) + \mu_n (V_{gs_n} - V_{Tn})\right]} \quad (II. 2)$$

3.1.5. Description de l'amplificateur OTA proposé

L'amplificateur opérationnel est un bloc fondamental dans la conception des circuits intégrés analogiques et mixtes. L'architecture de l'amplificateur opérationnel qu'on a utilisé dans le CAN Flash et plus particulièrement dans le circuit échantillonneur bloqueur (E/B). L'amplificateur présenté dans la figure II.11 est un amplificateur à trois étages qui comprend un étage d'entrée (amplificateur différentiel symétrique) qui caractérise la plus-part des propriétés de l'amplificateur et qui permet de convertir une tension différentielle en courant différentiel. Cet étage est polarisé par la source de courant et chargé par un miroir de courant simple. Le deuxième étage est l'étage de gain (amplificateur inverseur NMOS chargé par une source de courant PMOS). Le troisième étage de sortie c'est un amplificateur inverseur CMOS (puch pull).

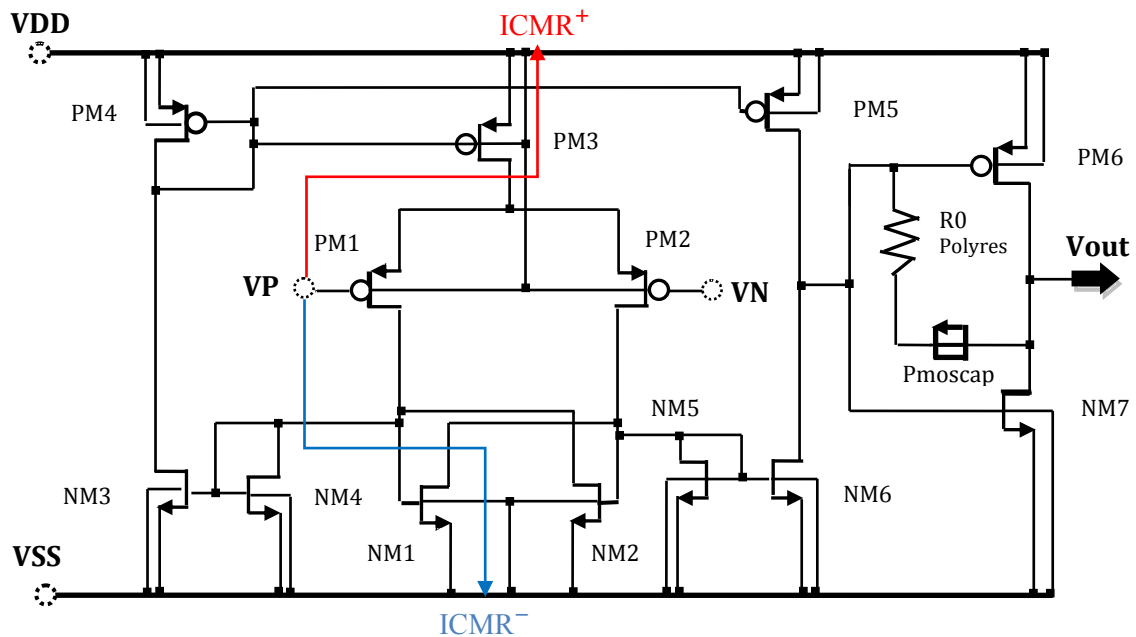


Figure II.11: Amplificateur opérationnel à trois étages

Nous proposons l'utilisation d'un amplificateur de transconductance opérationnel qui a un gain d'environ 103 dB pour un courant de polarisation de $9,5\mu\text{A}$ avec $V_{DD} = 1.8\text{V}$ et $V_{SS} = 0\text{V}$. La valeur de condensateur de charge est de $0,1\text{pF}$.

Cette configuration offre une bonne gamme de mode commun, un bon basculement de la sortie. Le gain en tension et le taux de rejet de mode commun (CMRR) dans un circuit simple qui peut être compensé par un condensateur et une résistance. Les performances de l'amplificateur de transconductance opérationnel (OTA) pour lesquelles nous avons optimisé le gain, PM (Marge de Phase), GM (Marge de Gain), CMRR (taux de rejet du mode commun), PSRR (rapport de rejet d'alimentation), ICMR (dynamique d'entrée du mode commun), BW (bande passante) et Pd (dissipation de puissance) sont toutes affichées dans le tableau II.5. La figure II.14 montre le diagramme de gain en boucle ouverte et la marge de phase de l'OTA proposé.

3.1.5.1. Les caractéristiques d'amplificateurs

Idéalement, un amplificateur opérationnel est spécifié par les caractéristiques suivantes : un gain différentiel infini ($A_0 = \infty$), une impédance de sortie nulle ($R_{out} = 0$), une impédance d'entrée infinie ($Z_e = \infty$), une tension d'offset nulle ($V^+ = V^- \quad V_{off} = 0$) et enfin un taux de rejection du mode commun et des tensions d'alimentation infini ($TRMC = \infty$).

En réalité, un amplificateur opérationnel est caractérisé par :

- Un gain de tension en boucle ouverte qui est entre [60, 100]dB, dans la basse fréquence.
- La tension d'offset est différente de zéro ($V_{off} \neq 0$), c'est la différence entre les deux tensions entrées. Il est de l'ordre des (μV à mV). L'offset est modélisée par une source de tension au pôle négative. Son amplitude dépend de plusieurs facteurs : la température, la tension d'alimentation (PSRR), la tension d'entrée (CMRR), les erreurs d'appariement, etc. La polarité n'est pas spécifiée parce qu'elle varie. Il produit l'erreur suivant : $A_v = (\Delta V_{in} \pm \Delta V_{out})$
- Le CMRR est défini par le rapport $\frac{A_d}{A_c}$, la valeur typique de CMRR pour des amplificateurs CMOS est dans l'intervalle [80, 140] dB, le CMRR mesure la capacité de l'amplificateur opérationnel à diminuer le bruit, et par conséquent un grand CMRR est une condition importante dans la conception des amplificateurs opérationnels.

$$\text{CMRR} = 20 \log \left(\frac{A_d}{A_c} \right) \quad (\text{II. 3})$$

- Le temps de propagation, la sortie suivra le signal d'entrée, le rapport du changement maximum $\frac{dV_{out}}{dt}$ s'appelle les temps de propagation, il n'est pas directement lié à la réponse en fréquence, pour l'amplificateur opérationnel CMOS, la valeur typique de temps de propagation peut être obtenu entre 1 à 20 V/ μs .
- L'impédance de sortie non nulle, elle est habituellement dans la gamme de 0.1 à 5K Ω pour amplificateur opérationnel avec un buffer.
- Le bruit : les transistors MOS produisant du bruit, qui peut être décrit en terme de source courante équivalente parallèlement au canal du dispositif, La source d'entrée de bruit équivalente est habituellement de l'ordre de 10 à 50 μV ; contrairement pour les amplificateurs opérationnels bipolaires, elle est de 3 à 5 μV .
- Le PSRR est la sensibilité de l'amplificateur aux variations de la tension d'alimentation VDD ($PSRR^+$) et de la masse VSS ($PSRR^-$). Ce paramètre est important pour les applications analogiques de précision. Le PSSR d'un amplificateur se manifeste comme une erreur qui varie l'offset :

$$PSRR = PSRR^+_{erreur} + PSRR^-_{erreur} = V_{Ov} \quad (\text{II. 4})$$

Idéalement à une valeur de PSRR infini correspond une variation de V_{out} nulle. Pratiquement on définit les rapports suivants en fonction de la fréquence.

$$PSRR^+ = 20 \log \left(A_d \times \frac{\Delta V_{DD}}{V_{out}} \right) \quad (II. 5)$$

$$PSRR^- = 20 \log \left(A_d \times \frac{\Delta V_{SS}}{V_{out}} \right) \quad (II. 6)$$

PSRR est habituellement dans la gamme de 60 à 150 dB.

- La dissipation d'énergie, les valeurs typiques pour les amplificateurs opérationnels CMOS de 0.25 à 10mW.

3.1.5.2. Étude petit signal d'amplificateur proposé

Le modèle petits signaux d'amplificateur à trois étages est représenté sur la figure II.12 au-dessous :

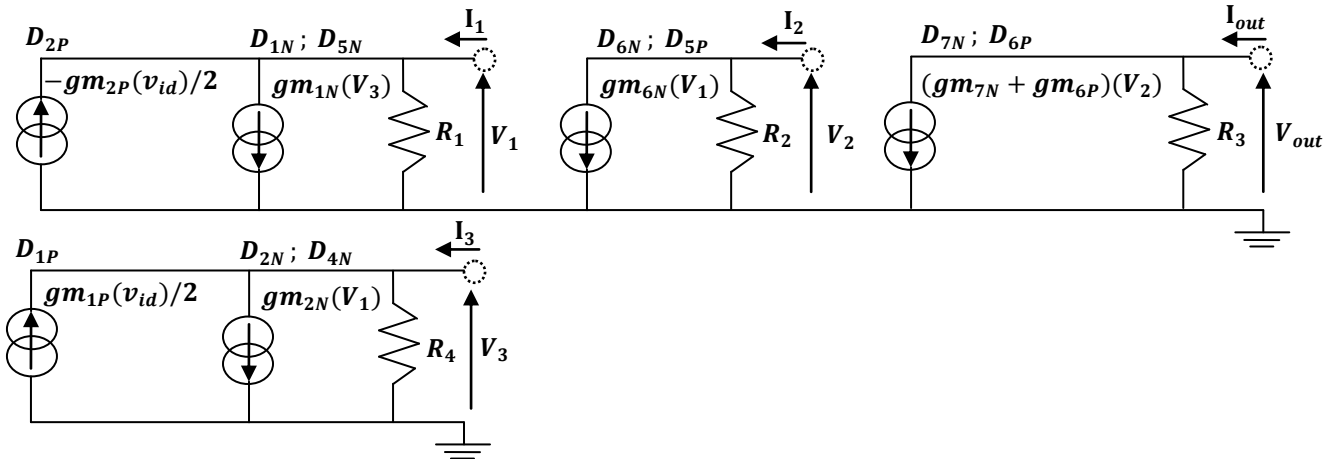


Figure II.12: Modèle petit signal de l'amplificateur en base fréquence

Pour l'amplificateur à 3 étages :

$$R_1 \approx g_{ds_{1N}} // g_{ds_{1N}} // 1/g_{m_{5N}} ; R_2 \approx g_{ds_{6N}} // g_{ds_{5P}} ; R_3 \approx g_{ds_{7N}} // g_{ds_{6P}}$$

$$R_4 \approx g_{ds_{2N}} // g_{ds_{1P}} // 1/g_{m_{4N}}$$

- Le gain en tension différentielle en mode différentielle est exprimée par :

$$A_d = \frac{V_{out}}{V_{id}} = A_{d1} \times A_{d2} \times A_{d3} = \frac{V_1}{V_{id}} \times \frac{V_2}{V_1} \times \frac{V_{out}}{V_2} \quad (II. 7)$$

Avec :

$$A_{d1} = \frac{V_1}{V_{id}} = \frac{g_{m2P}}{2 \times (g_{ds_{1N}} + g_{ds_{2P}})} ; A_{d2} = \frac{V_2}{V_1} = - \frac{g_{m6N}}{(g_{ds_{6N}} + g_{ds_{5P}})} ; A_{d3} = \frac{V_{out}}{V_2} = - \frac{(g_{m7N} + g_{m6P})}{(g_{ds_{7N}} + g_{ds_{6P}})}$$

Donc :

$$A_d = \frac{g_{m2P}}{2(g_{ds_{1N}} + g_{ds_{2P}})} \times \frac{g_{m6N}}{(g_{ds_{6N}} + g_{ds_{5P}})} \times \frac{(g_{m7N} + g_{m6P})}{(g_{ds_{7N}} + g_{ds_{6P}})} \quad (II. 8)$$

- Le gain en tension différentielle en mode commun est exprimée par :

$$A_c = \frac{V_{out}}{V_{ic}} = A_{c1} \times A_{c2} \times A_{c3} = \frac{V_1}{V_{ic}} \times \frac{V_2}{V_1} \times \frac{V_{out}}{V_2} \quad (II. 9)$$

Avec :

$$A_{c1} = \frac{V_1}{V_{ic}} = \frac{g_{m2P} \times g_{ds3P}}{(g_{ds3P} + g_{ds2P})(g_{m5N} + g_{m1N}) + g_{ds3P} \times g_{ds2P}} ; A_{c2} = \frac{V_2}{V_1} = - \frac{g_{m6N}}{(g_{ds6N} + g_{ds5P})}$$

$$A_{c3} = \frac{V_{out}}{V_2} = - \frac{(g_{m7N} + g_{m6P})}{(g_{ds7N} + g_{ds6P})}$$

Donc :

$$A_c = \frac{g_{m2P} \times g_{ds3P}}{(g_{ds3P} + 2g_{ds2P})(g_{m5N} + g_{m1N}) + g_{ds3P} \times g_{ds2P}} \times \frac{g_{m6N}}{(g_{ds6N} + g_{ds5P})} \times \frac{(g_{m7N} + g_{m6P})}{(g_{ds7N} + g_{ds6P})} \quad (II. 10)$$

Les paramètres statiques des transistors NMOS et PMOS en technologies CMOS 0.18µm sont montrés dans le tableau suivant :

PMOS NMOS	V _{ds} (mV)	V _{ds sat} (mV)	V _{gs} (mV)	g _m (µΩ ⁻¹)	g _{ds} (µΩ ⁻¹)	V _{th} (mV)	i _{ds} (µA)	Région
PM1	-1080	-154.15	-673.32	50.42	0.50	-533.46	4.73	2
PM2	-1080	-154.15	-673.32	50.42	0.50	-533.46	4.73	2
PM3	-226.67	-218.03	-698.18	63.70	9.19	-463.08	9.47	2
PM4	-698.18	-218.39	-698.18	191.96	3.12	-462.58	26.67	2
PM5	-698.18	-218.39	-698.18	191.96	3.12	-462.58	26.67	2
PM6	-698.18	-218.85	-698.18	804.98	8.81	-461.93	112.88	2
NM1	488.67	79.16	488.67	41.83	0.56	480.34	2.36	2
NM2	488.67	79.16	488.67	41.83	0.56	480.34	2.36	2
NM3	488.67	79.37	488.67	461.82	4.51	479.84	26.67	2
NM4	488.67	79.16	488.67	41.83	0.56	480.34	2.36	2
NM5	488.67	79.16	488.67	41.83	0.56	480.34	2.36	2
NM6	1100	79.37	488.67	461.82	4.51	479.84	26.67	2
NM7	488.17	423.46	1100	244.35	53.34	471.29	112.88	2

Table II.3: Paramètres statiques des transistors NMOS et PMOS en technologies CMOS 0.18µm
Application numérique :

$$A_d \approx 102 \text{ dB} \quad \text{et} \quad A_c \approx 33 \text{ dB}$$

3.1.5.3. Calculs théoriques des paramètres d'AMP ($ICMR^\pm$, $PSRR^\pm$ et $CMRR$)

✓ **La dynamique d'entrée du mode commun $ICMR^\pm$:**

A partir de la Figure II.11 précédent on peut déduire la dynamique d'entrée $ICMR^\pm$

$$ICMR^+ = V_{G1Max} = [VDD - (V_{sd3}(PM3) + V_{sg1}(PM1))]_{Max} \quad (II. 11)$$

Donc :

$$ICMR^+ = [VDD - (V_{sd3sat}(PM3) + V_{sd1sat}(PM1) + |V_{tp}|(PM1))]$$

Application numérique :

$$ICMR^+ = 1.8 - (-218.03 \cdot 10^{-3}) - (-154.15 \cdot 10^{-3}) - 533.46 \cdot 10^{-3}$$

$$ICMR^+ = 1.64 \text{ V}$$

$$ICMR^- = V_{G1Min} = [VSS + V_{gs1}(NM1) + V_{sd1}(PM1) + V_{gs1}(PM1)]_{Min} \quad (II. 12)$$

$$ICMR^- = VSS + V_{ds1sat}(NM1) + V_{tn}(NM1) + V_{sd1sat}(PM1) - V_{sd1sat}(PM1) - |V_{tp1}(PM1)|$$

Application numérique :

$$ICMR^- = 0 + 79.16 \cdot 10^{-3} + 480.34 \cdot 10^{-3} - 533.46 \cdot 10^{-3}$$

$$ICMR^- = 26.04 \text{ mV}$$

✓ **Taux de rejection du mode commun $CMRR$**

$$CMRR = 20 \log \left(\frac{A_d}{A_c} \right) = 20 \log (A_d) - 20 \log (A_c) \quad (II. 13)$$

Application numérique :

$$CMRR = 69 \text{ dB}$$

✓ **Taux de réjection des alimentations $PSRR^\pm$**

D'après la définition de $PSRR^+$ et $PSRR^-$ dans l'équation (II.4) et (II.5) on trouve que:

$$PSRR^- = \frac{g_{m2P}}{2(g_{ds1N} + g_{ds2P})} \times \frac{g_{ds7N}}{(g_{ds6N} + g_{ds5P})} \quad (II. 14)$$

$$PSRR^+ = \frac{g_{m2P}}{2(g_{ds1N} + g_{ds2P})} \times \frac{g_{ds6N}}{(g_{ds6N} + g_{ds5P})} \quad (II. 15)$$

Application numérique :

$$PSRR^- = 76.45 \text{ dB}$$

$$PSRR^+ = 67 \text{ dB}$$

3.1.6. Résultats de simulation de l'amplificateur

Cette étape de simulation permet de comprendre et d'optimiser le fonctionnement de notre bloc du circuit intègre selon les spécifications de cahier des charges et l'application de ce bloc.

On a optimisé notre Amplificateur selon les spécifications qui données dans ce tableau.

Paramètres	Spécifications
Tension d'alimentation	1.8 V
Courant de polarisation	10 μ A
Bande passante	≥ 6 K Hz
Marge de phase	$\geq 45^\circ$
Marge de gain	≥ 0 dB
ICMR ⁻ (Input Common Mode Range)	Minimum
ICMR ⁺ (Input Common Mode Range)	Maximum
CMRR (Common Mode Rejection Ratio)	≥ 50 dB
PSRR $^{\pm}$ (Power Supply Rejection Ratio)	≥ 50 dB
Offset	$\leq \pm 12$ mV
Dissipation d'énergie	≤ 350 μ W

Table II.4: Spécifications de l'amplificateur

Pour vérifier les performances de notre amplificateur on a fait les simulations suivantes :

✓ Simulation AC :

L'analyse AC nous permet de caractériser les performances de la cellule afin de déterminer les paramètres suivants :

- => Le gain en boucle ouverte et la marge de phase
- => CMRR
- => PSRR

- **Marge de gain et marge de phase :**

Pour vérifier la stabilité de notre système, on va calculer la marge de gain et la marge de phase à l'aide de circuit représenté sur la figure II.13

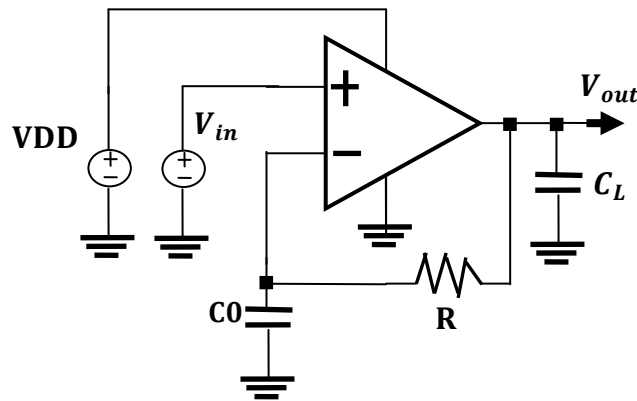


Figure II.13: Circuit pour tracer la courbe de gain et de phase (le gain en boucle ouverte et la marge de phase)

On prend en compte que la Marge de phase doit être ≥ 45 degrés, la marge de gain doit être supérieur à 0 afin d'assurer la stabilité du circuit et éviter les phénomènes d'oscillation parasites. Le résultat de simulation AC est illustré dans la figure II.14, et les deux relations suivantes montrent la marge de gain et la marge de phase:

Pour la marge de gain :

$$M_g = -20 \log |A_v(j W_\pi)| \quad (\text{II. 16})$$

Pour la marge de phase :

$$M_\phi = 180 - \arctan |A_v(j W_T)| \quad (\text{II. 17})$$

Avec W_T : Pulsation de transition tel que :

$$|A_v(j W_T)| = 1 \quad (\text{II. 18})$$

W_π : Pulsation d'inversion tel que :

$$|A_v(j W_\pi)| = -180 \quad (\text{II. 19})$$

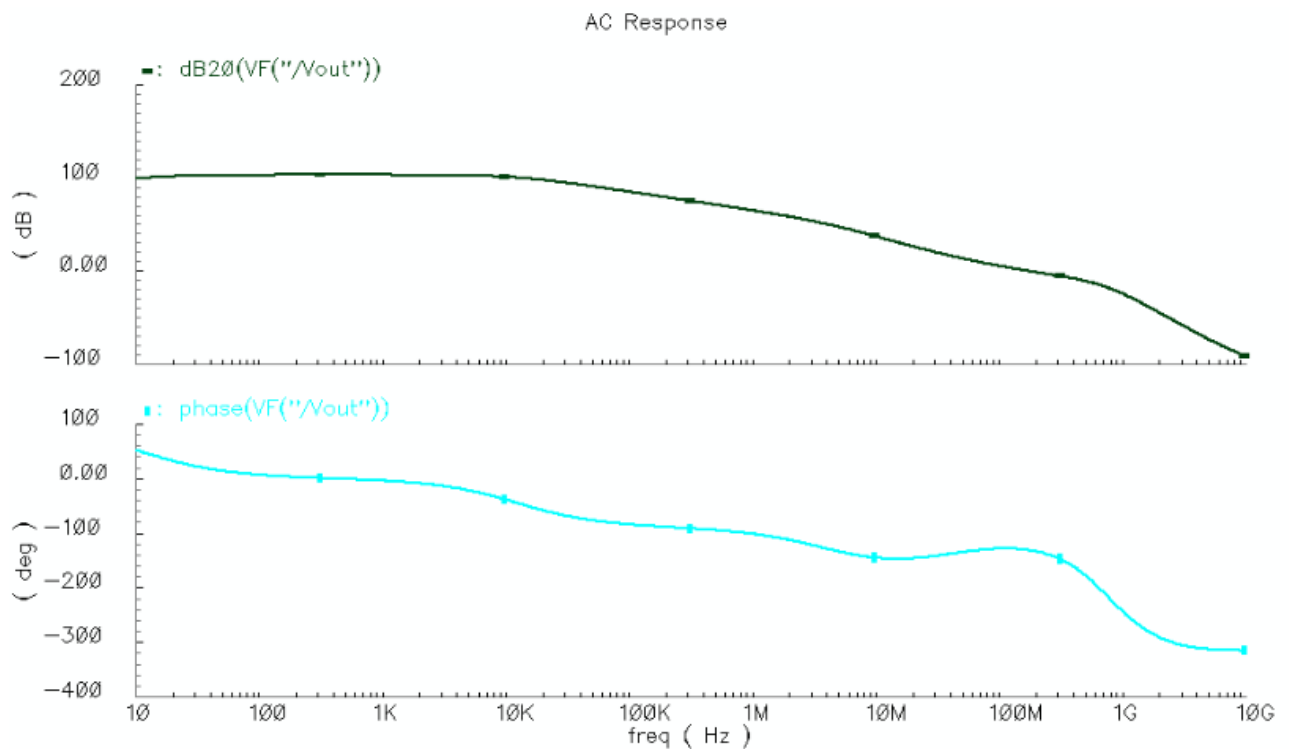


Figure II.14: Simulation AC (le gain en boucle ouverte, la marge de phase, bande Passante et GBW)

Résultats : Gain = 103.11 dB, Fréquence de gain unité (GBW) = 2.27GHz, Marge de phase = 49° degré, Marge de gain = 11.46 dB et Bande passante = 6.53 KHz

D'après ces résultats on constate que notre amplificateur est stable et les valeurs obtenues sont acceptables par le cahier de charge.

- **Taux de rejection du mode commun CMRR**

Le CMRR d'un amplificateur opérationnel est calculé par la multiplication du gain en mode commun de l'étage d'entrée différentiel par le gain du deuxième étage (l'étage de sortie) et on divise le gain en boucle ouverte sur ce produit, le CMRR est donné par la relation suivante :

$$\text{CMRR} = 20 \log \left(\frac{A_d}{A_c} \right) = 20 \log (A_d) - 20 \log (A_c) \quad (\text{II. 20})$$

Avec A_d : Le gain en mode différentiel et A_c : Le gain en mode commun.

La simulation du CMRR figure II.16 est obtenue à l'aide du circuit illustré dans la figure II.15

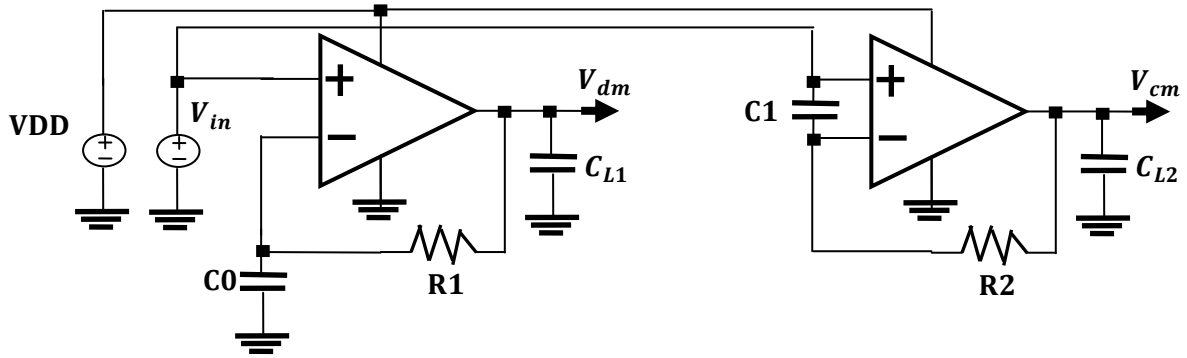


Figure II.15: Circuit pour mesurer Ad , Ac et CMRR

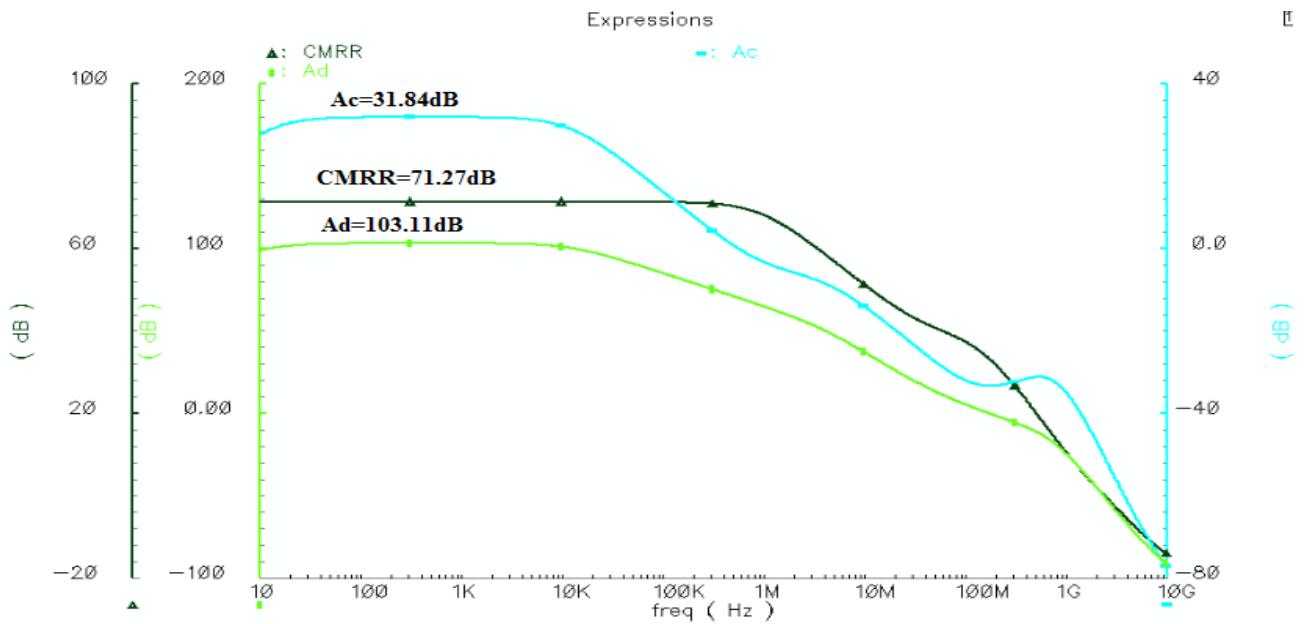


Figure II.16: Simulation du CMRR

Résultats: $A_c = 31.84 \text{ dB}$, $A_d = 103.11 \text{ dB}$ et $\text{CMRR} = 71.27 \text{ dB}$.

- **Taux de réjection des alimentations $PSRR^\pm$**

Le $PSRR^+$ est défini comme le rapport de la variation de la tension d'alimentation ΔV_{DD} par rapport à la tension de sortie de l'amplificateur.

Le $PSRR^-$ est défini comme le rapport de la variation de la tension d'alimentation ΔV_{SS} par rapport à la tension de sortie de l'amplificateur

Le $PSRR^+$ et $PSRR^-$ est donné par les formules suivantes

$$PSRR^+ = 20 \log \left(A_d \times \frac{\Delta V_{DD}}{V_{out}} \right) \quad (II. 21)$$

$$PSRR^- = 20 \log \left(A_d \times \frac{\Delta V_{SS}}{V_{out}} \right) \quad (II. 22)$$

Dans notre cas, l'amplificateur est connecté comme suiveur, alors le gain $A_d = 1$.

La figure II.17 montre le circuit utilisé pour mesurer le PSRR- et PSRR+

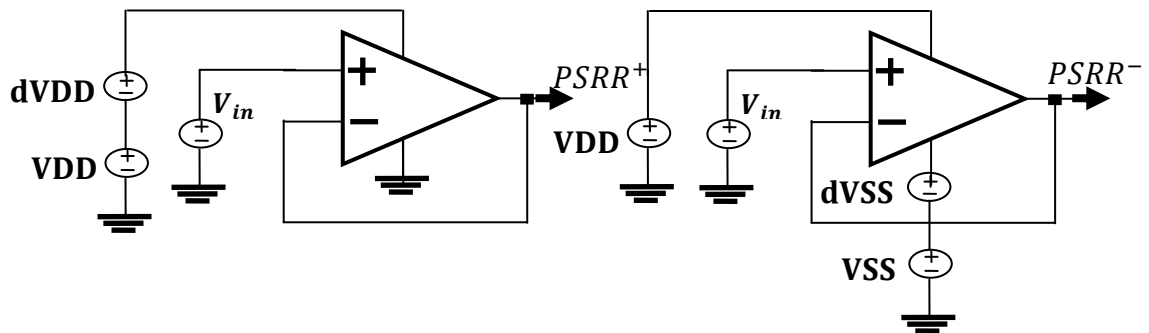


Figure II.17: Circuit pour mesurer le PSRR+ et PSRR-

Comme il est indiqué dans la figure II.18 (a, b)

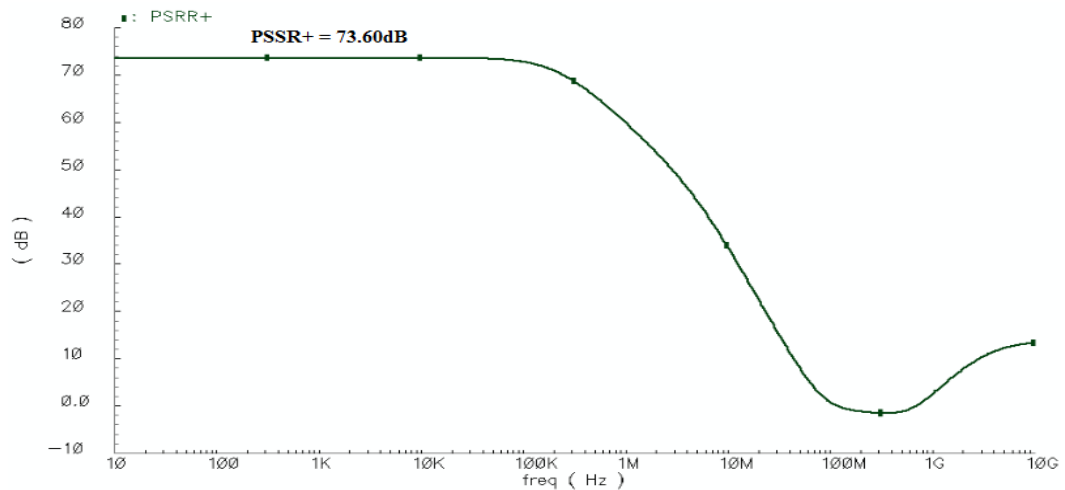


Figure II.18 (a): Graphe de PSRR+

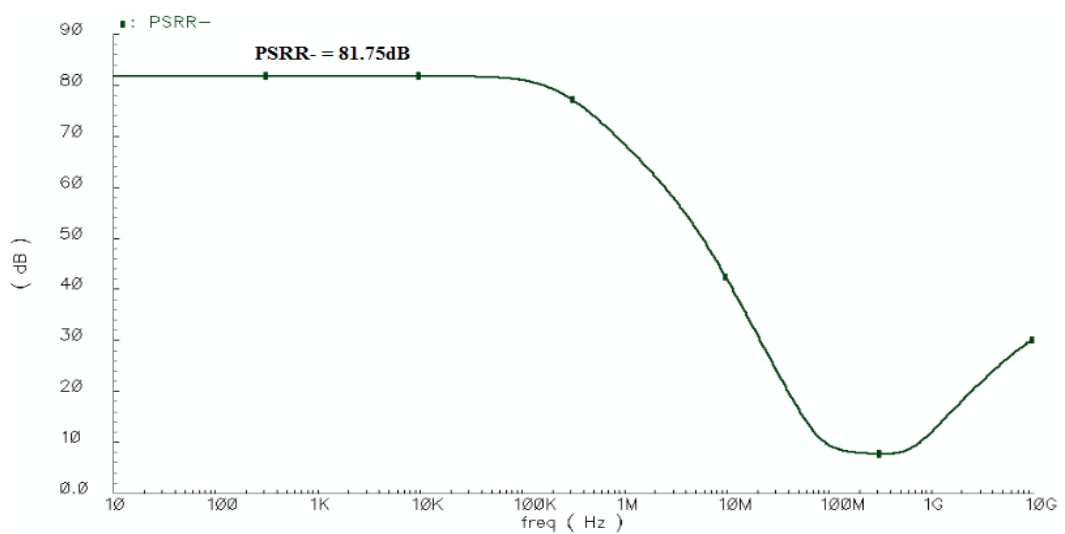


Figure II.18 (b): Graphe de PSRR -

Résultats: PSRR+ = 73.60 dB; PSRR- = 81.75 dB

✓ **Analyse DC :**

Elle calcule l'état du circuit pour un ensemble d'excitations fixées après un temps infiniment long (steady state). La simulation DC est utile pour calculer

- Le point de repos, ou la polarisation du circuit, la fonction de transfert, la résistance d'entrée et de sortie du circuit, les sensibilités de variables de sortie en fonction des paramètres du circuit.
- Input Common Voltage Range (ICMR) (ICMR+ et ICMR-)
- Offset

La figure II.19 montre le circuit pour l'analyse DC :

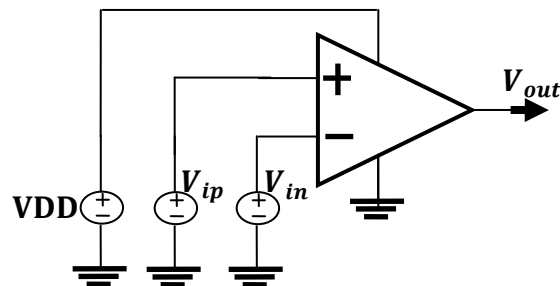


Figure II.19: Circuit pour l'analyse DC

Le résultat de simulation est illustré dans le tableau II.3 précédent. Ce tableau montre que tous les transistors de notre system fonctionnent en régime de saturation (région 2).

La figure II.20, montre l'extraction de la valeur d'offset à partir du graphe de simulation. La valeur extraite est égale à 11.30m V qui est une valeur acceptable par le cahier de charge.

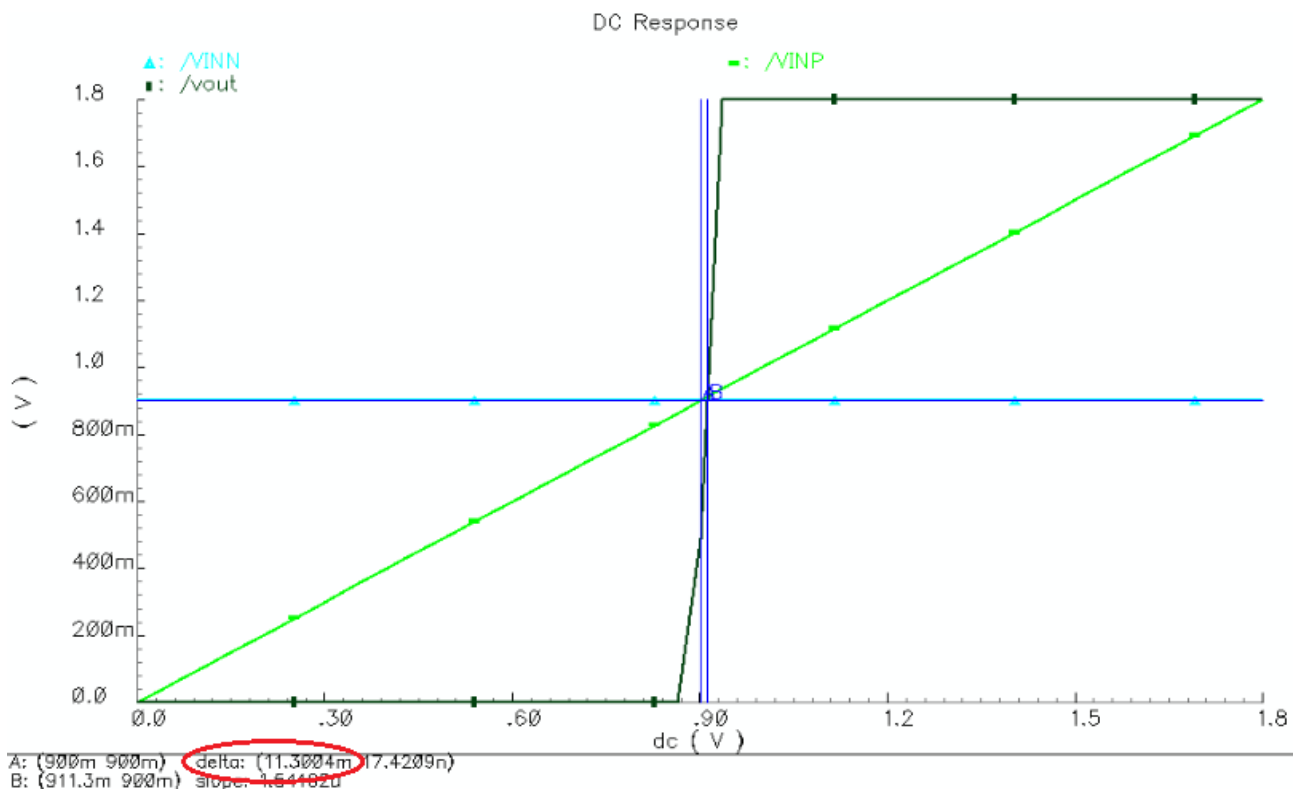
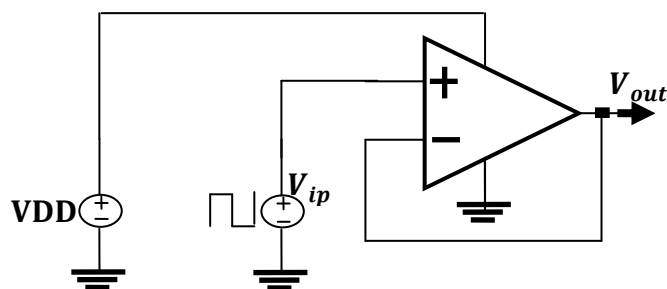


Figure II.20: Mesure de l'offset

- **Dynamique d'entrée du mode commun $ICMR^{\pm}$**

Pour tracer la fonction de transfert de sortie de l'amplificateur opérationnel, on a utilisé un amplificateur dont une source de tension DC variable (VSS à VDD) afin de calculer $ICMR^-$ et $ICMR^+$. Le circuit qui permet de calculer $ICMR^-$ et $ICMR^+$ est montré dans la figure II.21.

Figure II.21: Circuit pour mesurer le $ICMR^{\pm}$

La figure II.22 est montré le résultat de simulation de $ICMR^{\pm}$ de l'amplificateur OTA proposé.

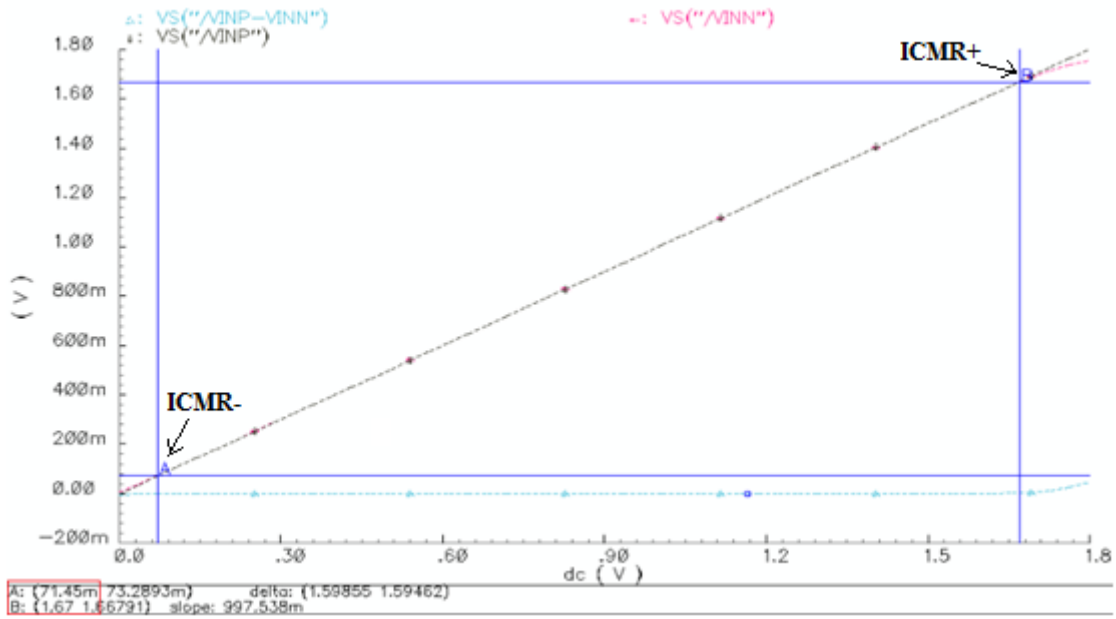


Figure II.22: Valeur de ICMR[±]

Résultats: ICMR⁺ = 1.67 V et ICMR⁻ = 71.45 mV

• Dissipation d'énergie :

L'énergie dissipée par l'Amplificateur est donnée par l'expression suivante

$$P = (VDD + VSS) \sum_{i=0}^n i \quad (II. 23)$$

$$P = 1.8 \times [ids(PM3) + ids(PM4) + ids(PM5) + ids(PM6)] \quad (II. 24)$$

$$P = 1.8 \times (9.47 + 26.67 + 26.67 + 112.88) = 1.8 \times 175.69 = 316.242 \mu W$$

✓ Analyse Transitoire :

Pour calculer la vitesse de balayage SR (Slow Rat) de l'amplificateur opérationnelle, on a utilisé un amplificateur dont une source de tension transitoire. Le circuit qui permet de calculer SR est montré dans la figure II.23.

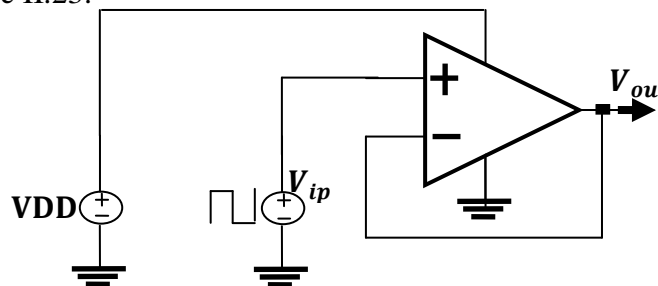


Figure II.23: Circuit pour la simulation transitoire d'AMP.

Le résultat de simulation est présenté dans la figure II.24

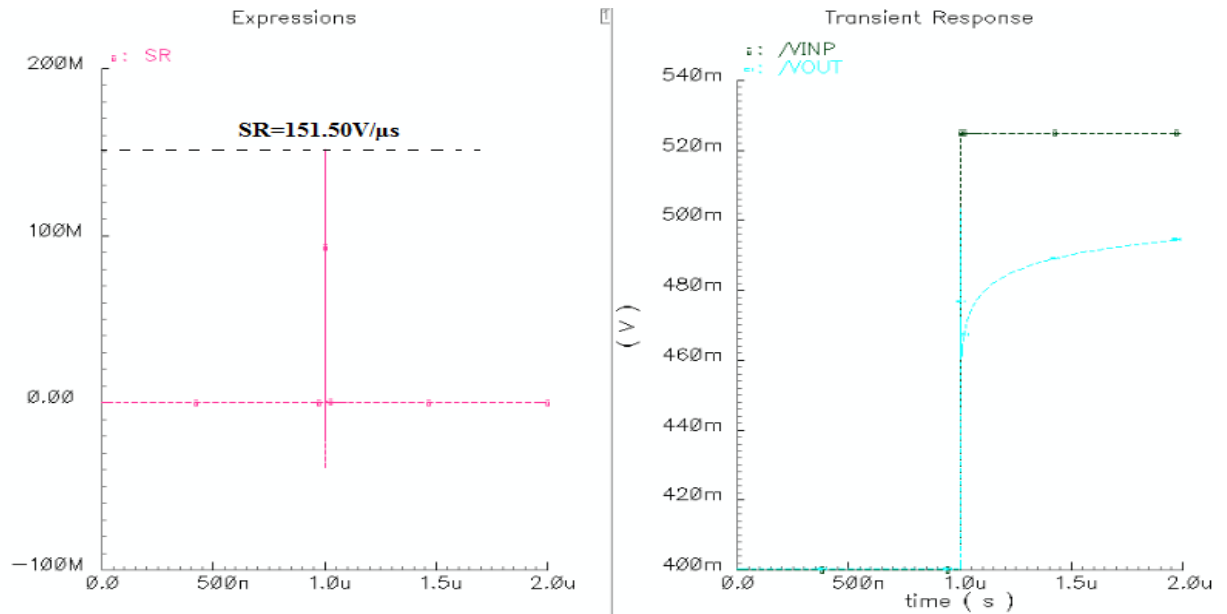


Figure II.24: Simulation Transitoire de l'amplificateur

Résultats : $SR = \frac{d(V_{out})}{dt} = 151.50V/\mu s$

Le tableau suivant résume les résultats obtenus de notre amplificateur :

Paramètres	Résultats théorique	Résultats de Simulation	Spécification	Unité
Bande passante	12	12.40	≥ 6	KHz
Gain	102	103.11	≥ 80	dB
Marge de phase	46	49°	$\geq 45^\circ$	dégré
Marge de gain	11.20	11.46	≥ 0	dB
ICMR ⁺	1.64	1.67	Maximum	V
ICMR ⁻	26.04	71.45	Minimum	mV
CMRR	69	71.27	≥ 50	dB
PSRR ⁺	67	73.60	≥ 50	dB
PSRR ⁻	76.45	81.75	≥ 50	dB
Offset	11	11.30	$\leq \pm 12$	mV
Dissipation d'énergie	316.242	316.240	≤ 350	μW
SR	151.50	151.50	≥ 100	V/μs

Table II.5: Comparaison entre les résultats simule, théorique et spécifie

D'après le tableau de comparaison on constate que les résultats théoriques sont compatibles avec les résultats de simulation qu'on a obtenus et les deux résultats sont acceptables par le cahier de charge.

3.1.7. Résultat de simulation du circuit E/B

Après avoir fait la conception d'un AMP OP on passe à la simulation de circuit E/B pour une fréquence de signal d'entrée $F_{in}= 10\text{MHz}$ et une fréquence d'échantillonnage $F_e= 100\text{MHz}$ (période d'échantillonnage $T_e=10\text{ns}$), la figure II.25, illustre la simulation de l'échantillonneur bloqueur proposé.

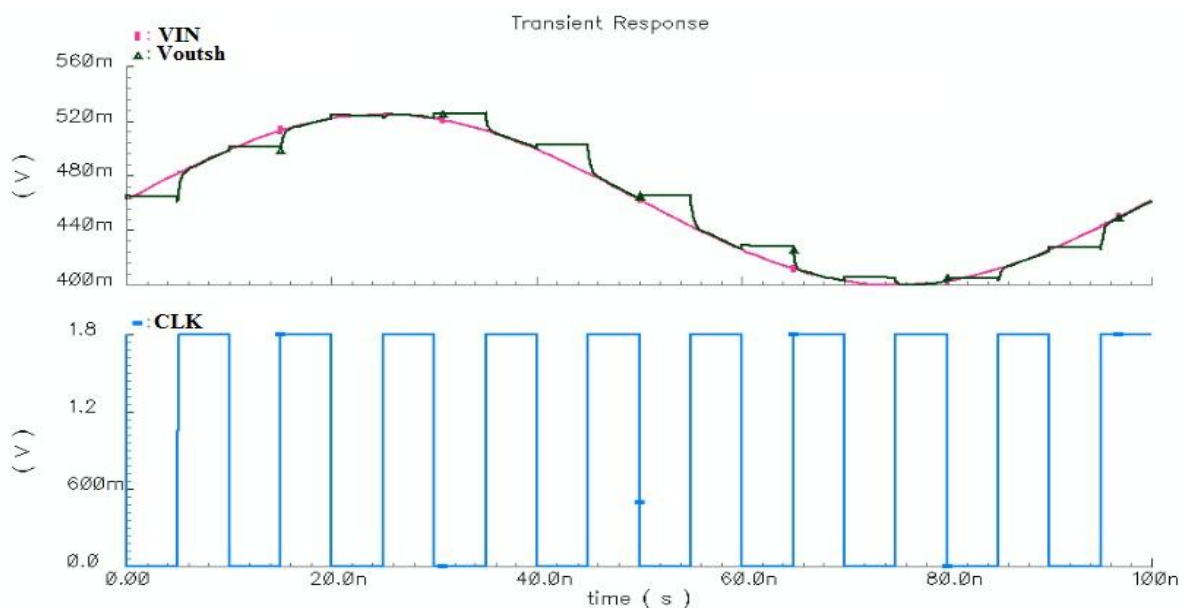


Figure II.25: Sortie de l'échantillonneur bloqueur E/B

Durant la phase d'échantillonnage ($\text{CLK}=1$ et $\text{CLKB}=0$, activée), pendant laquelle le signal d'entrée est mémorisé par la capacité d'échantillonnage C_0 . Et durant la phase de blocage ($\text{CLK}=0$ et $\text{CLKB}=1$) la sortie, étant isolée de l'entrée, reste constante et égale à la dernière valeur transmise du signal d'entrée. D'après ces résultats on constate que le signal est bien échantillonné à la valeur de fréquence d'échantillonnage 100MHz .

3.1.8. Conclusion

Dans cette partie, nous avons réalisé une nouvelle architecture spécifique de l'étage d'entrée du CAN destiné à équiper les colonnes des matrices de pixels des capteurs MAPS. Vu ses caractéristiques répondant aux exigences du cahier des charges du détecteur de vertex de l'ILC, ce circuit pourra intégrer dans le convertisseur CAN flash proposé. Ce dernier a une architecture qui dépend d'architecture de convertisseur et pourra, donc, être utilisé comme

étage d'échantillonnage et d'amplification dans le CAN. Les parties suivantes seront dédiées à l'étude détaillée de tous les sous blocs qui constituent le convertisseur analogique numérique réalisé dans ce travail.

3.2. Conception d'un comparateur

Le comparateur est un circuit permettant la comparaison de 2 tensions analogiques à une tension de référence produisant ainsi une tension de sortie avec une valeur 'haut' ou 'bas' basée sur cette comparaison. Un signal logique indique la sortie. L'amplitude de la représentation électrique de l'état haut ou bas doit correspondre à la conversion utilisée dans la logique numérique associée pour distinguer clairement une logique « 1 » et une logique « 0 ». Le comparateur est l'élément le plus important et le plus critique dans la réalisation d'un convertisseur analogique-numérique. En effet, la vitesse de conversion est limitée par le temps de réponse de prise de décision du comparateur.

La structure de comparateur qu'on a proposé est montrée sur la figure II.26. Elle est représentée par une structure d'amplificateur opérationnel à 2 étages avec 2 inverseurs en sortie. La sortie des inverseurs change d'état logique dès que l'entrée dépasse $\frac{V_{DD}}{2}$. Ainsi, les temps de réponse de l'étage comparateur sont considérablement réduits.

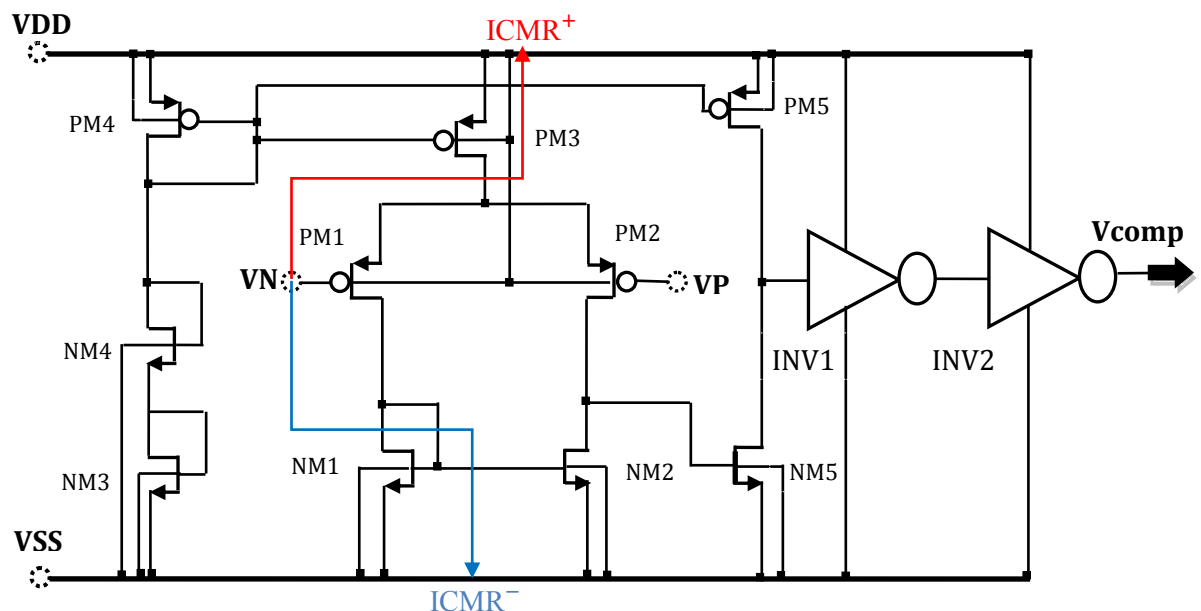


Figure II.26: Schéma électrique du comparateur proposé à 2 étages

Les performances d'un comparateur qui sont le grand gain en boucle ouverte, la grande vitesse de balayage (Slow Rat, SR), la grande dynamique d'entrée en mode commun (Input common Mode Range, ICMR), le faible décalage (offset), la grande bande passante

(bandwidth), le faible temps de stabilisation (setting time) et la faible dissipation de puissance (power dissipation) répondent aux contraintes spécifiées dans le cahier de charge.

3.2.1. Etude petit signal en Mode différentiel de comparateur

- Le gain en tension différentielle en base fréquence en mode différentielle est donnée par :

$$A_d(0) = A_{d1} \times A_{d2} \times A_{d3} \times A_{d4} \quad (\text{II. 25})$$

$$A_{d1} = -\left(\frac{g_{m1,2P}}{2(g_{ds(PM2)} + g_{ds(NM2)})}\right); A_{d2} = -\left(\frac{g_{m(NM5)}}{g_{ds(NM5)} + g_{ds(PM5)}}\right); A_{d3} = -\left(\frac{g_{m(INV1(PM))} + g_{m(INV1(NM))}}{g_{ds(INV1(PM))} + g_{ds(INV1(NM))}}\right)$$

$$A_{d4} = -\left(\frac{g_{m(INV2(PM))} + g_{m(INV2(NM))}}{g_{ds(INV2(PM))} + g_{ds(INV2(NM))}}\right)$$

$$A_d(0)$$

$$= \left(\frac{g_{m1,2P}}{2(g_{ds(PM2)} + g_{ds(NM2)})}\right) \left(\frac{g_{m(NM5)}}{g_{ds(NM5)} + g_{ds(PM5)}}\right) \left(\frac{g_{m(INV1(PM))} + g_{m(INV1(NM))}}{g_{ds(INV1(PM))} + g_{ds(INV1(NM))}}\right) \left(\frac{g_{m(INV2(PM))} + g_{m(INV2(NM))}}{g_{ds(INV2(PM))} + g_{ds(INV2(NM))}}\right) \quad (\text{II. 26})$$

- Le gain en tension différentielle en base fréquence en mode commun est donnée par :

$$A_c(0) = A_{c1} \times A_{c2} \times A_{c3} \times A_{c4} \quad (\text{II. 27})$$

$$A_{c1} = -\left(\frac{g_{m1,2P}}{g_{ds(PM2)} + g_{ds(NM2)} + 2g_{ds(PM3)}}\right); A_{c2} = -\left(\frac{g_{m(NM5)}}{g_{ds(NM5)} + g_{ds(PM5)}}\right)$$

$$A_{c3} = -\left(\frac{g_{m(INV1(PM))} + g_{m(INV1(NM))}}{g_{ds(INV1(PM))} + g_{ds(INV1(NM))}}\right); A_{c4} = -\left(\frac{g_{m(INV2(PM))} + g_{m(INV2(NM))}}{g_{ds(INV2(PM))} + g_{ds(INV2(NM))}}\right)$$

$$A_c(0)$$

$$= \left(\frac{g_{m1,2P}}{g_{ds(PM2)} + g_{ds(NM2)} + 2g_{ds(PM3)}}\right) \left(\frac{g_{m(NM5)}}{g_{ds(NM5)} + g_{ds(PM5)}}\right) \left(\frac{g_{m(INV1(PM))} + g_{m(INV1(NM))}}{g_{ds(INV1(PM))} + g_{ds(INV1(NM))}}\right) \left(\frac{g_{m(INV2(PM))} + g_{m(INV2(NM))}}{g_{ds(INV2(PM))} + g_{ds(INV2(NM))}}\right) \quad (\text{II. 28})$$

Les paramètres statiques des transistors NMOS et PMOS en technologies CMOS 0.18 μm sont montrés dans le tableau suivant :

PMOS NMOS	$V_{ds}(\text{mV})$	$V_{ds\text{ sat}}(\text{mV})$	$V_{gs}(\text{mV})$	$g_m(\mu\Omega^{-1})$	$g_{ds}(\mu\Omega^{-1})$	$V_{th}(\text{mV})$	$i_{ds}(\mu\text{A})$	Région
PM1	-1020	-125.32	-632	51.05	1.10	-539.82	4.16	2
PM2	-1020	-125.32	-632	51.05	1.10	-539.82	4.16	2
PM3	-267.99	-177.41	-641.40	69.27	6.14	-462	8.33	2
PM4	-641.40	-178.48	-641.40	82.09	2.60	-460	9.71	2

PM5	-815.98	-178.99	-641.40	85.15	2.27	-459.26	10.13	2
PM6(INV1)	-1740	-248.15	-815.98	278.17	5.51	-508.98	52.55	2
PM7(INV2)	-0.0001	-696.755	-1740	0.000039	761.33	-516.80	0.00008	2
NM1	509.93	77.13	509.93	63.18	2.08	501.21	4.16	2
NM2	509.93	77.13	509.93	63.18	2.08	501.21	4.16	2
NM3	519.83	80.74	519.83	142.06	4.68	501.18	9.71	2
NM4	638.75	81.58	638.75	143.68	4.95	622.31	9.71	2
NM5	984.01	77.59	509.93	148.27	3.59	499.90	10.13	2
NM6(INV1)	59.71	249.56	984.01	100.33	748.66	533.18	52.53	2
NM7(INV2)	1.8	41.57	59.71	0.002	0.000032	527.93	0.00008	2

Table II.6: Paramètres statique des transistors constituent le comparateur

Application numérique :

$$A_d \approx 106 \text{ dB} \quad \text{et} \quad A_c \approx 54 \text{ dB}$$

3.2.2. Calculs théoriques des paramètres de comparateur ($ICMR^\pm$ et $CMRR$)

✓ La dynamique d'entrée du mode commun $ICMR^\pm$

A partir de la Figure II.26 on peut calculer de la dynamique d'entrée $ICMR^\pm$

$$ICMR^+ = V_{G1Max} = [VDD - (V_{sd3}(PM3) + V_{sg1}(PM1))]_{Max} \quad (II. 29)$$

Donc :

$$ICMR^+ = [VDD - (V_{sd3sat}(PM3) + V_{sd1sat}(PM1) + |V_{tp}|(PM1))]$$

Application numérique :

$$ICMR^+ = 1.8 - (-177.41 \cdot 10^{-3}) - (-125.32 \cdot 10^{-3}) - 539.82 \cdot 10^{-3}$$

$$ICMR^+ = 1.56 \text{ V}$$

$$ICMR^- = V_{G1Min} = (VSS + V_{gs1}(NM1) + V_{sd1}(PM1) - V_{sg1}(PM1))_{Min} \quad (II. 30)$$

$$ICMR^- = VSS + V_{sd1sat}(NM1) + V_{tn}(NM1) + V_{sd1sat}(PM1) - V_{sd1sat}(PM1) - |V_{tp1}(PM1)|$$

$$ICMR^- = VSS + V_{sd1sat}(NM1) + V_{tn}(NM1) - |V_{tp1}(PM1)|$$

Application numérique :

$$ICMR^- = 0 + 77.13 \cdot 10^{-3} + 501.21 \cdot 10^{-3} - 539.82 \cdot 10^{-3}$$

$$ICMR^- = 38.52 \text{ mV}$$

✓ **Taux de rejection du mode commun CMRR**

$$\text{CMRR} = 20 \log \left(\frac{A_d}{A_c} \right) = 20 \log (A_d) - 20 \log (A_c) \quad (\text{II. 31})$$

Application numérique :

$$\text{CMRR} = 52\text{dB}$$

3.2.3. Résultats de simulation du comparateur

Ce comparateur est constitué d'une paire différentielle NMOS (M1, M2) dont la charge est assurée par des miroirs de courant et un étage de gain et deux portes inverseurs successives pour rendre la transition plus rapide en augmentant la pente du signal lors d'un changement d'état.

Cette étape de simulation permet de comprendre et optimiser le fonctionnement de notre bloc du circuit intègre selon les spécifications de cahier des charges et l'application de ces blocs.

On a optimisé notre comparateur selon les spécifications données dans ce tableau.

Paramètres	Spécifications	Unité
Tension d'alimentation	1.8	V
Gain	>80	dB
Bande Passante	> 5	MHz
ICMR [±]	[0 VDD]	V
CMRR	> 50	dB
Offset	<10	mV
Dissipation d'énergie	< 50	μW
Vitesse de balayage (SR)	> 150	μW/s

Table II.7: Spécification du comparateur

Comme on l'a déjà mentionné dans la partie de l'amplificateur, pour vérifier les performances et les spécifications du comparateur présenté dans le tableau II.7 leurs simulations des tests bench ce fait de la même façon que celle de l'amplificateur.

Les résultats des simulations de notre comparateur sont montrés dans les figures suivantes :

✓ Le gain en boucle ouverte, la marge de phase, bande Passante et GBW

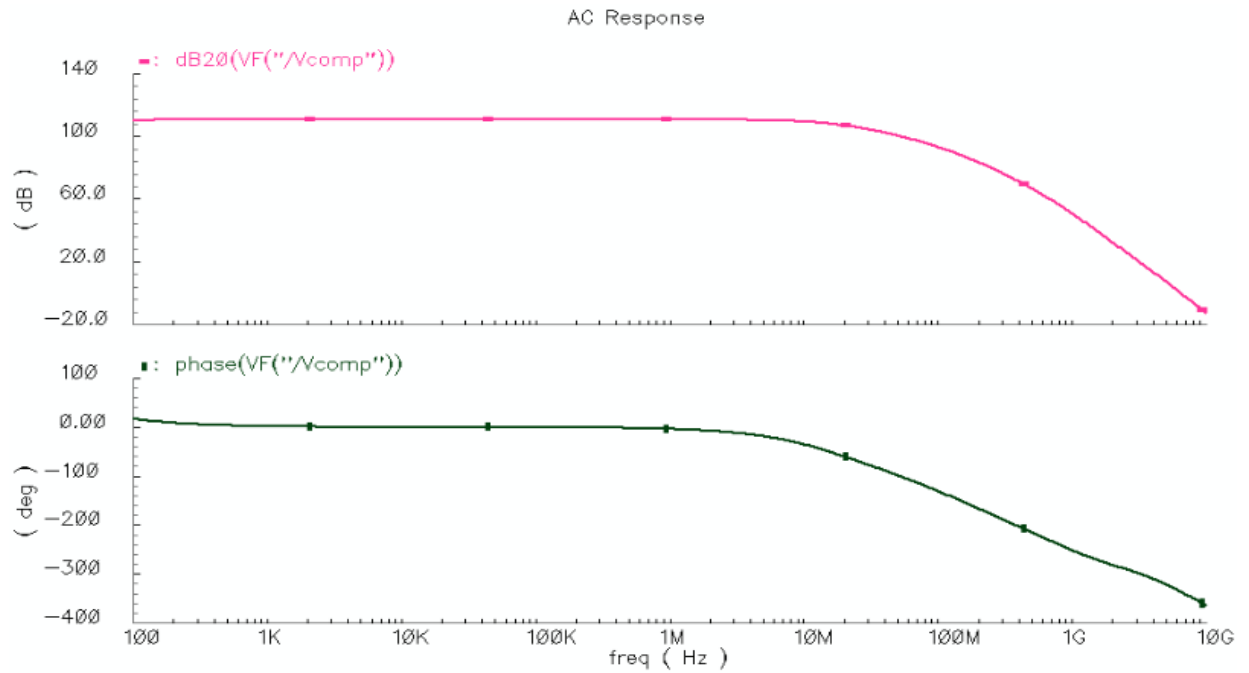


Figure II.27: Simulation AC (le gain en boucle ouverte, la marge de phase, bande Passante et GBW)

Résultats: Gain = 110.72 dB; GBW (fréquence de gain unité)=6.15THz; Bande passante =17.19 MHz.

✓ Taux de rejection du mode commun CMRR

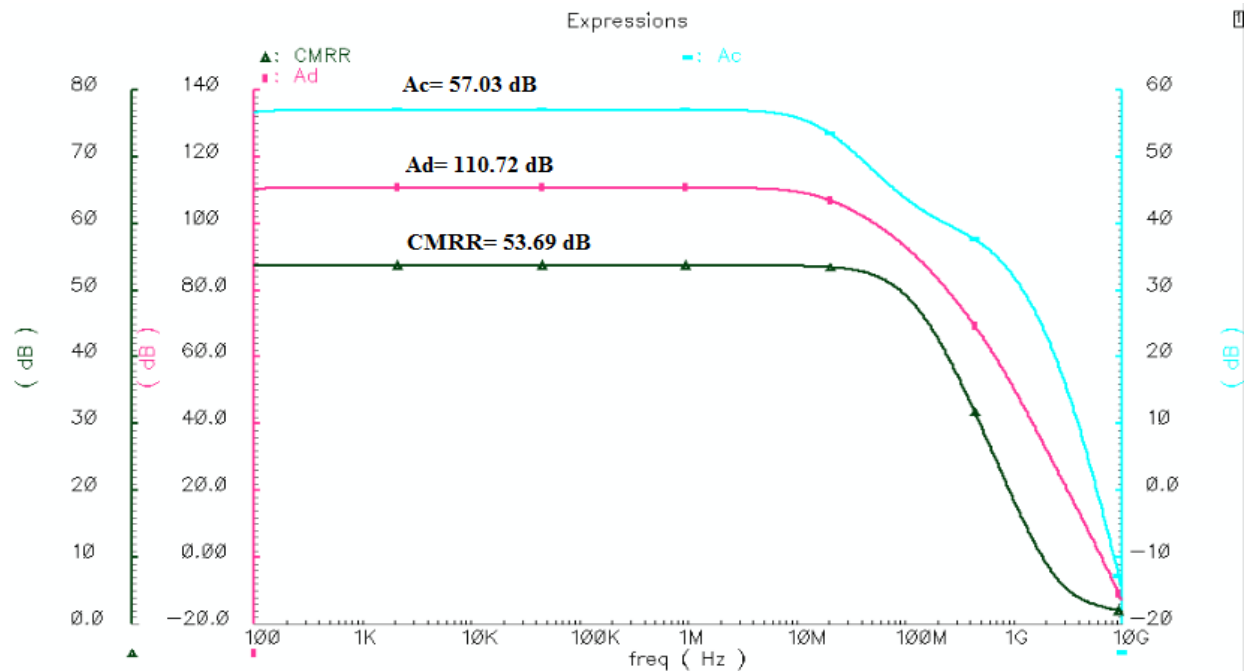


Figure II.28: Simulation du CMRR

Résultats: $A_c = 57.03\text{dB}$; $A_d = 110.72\text{dB}$ et $\text{CMRR}=53.69\text{dB}$.

✓ Analyse DC de l'offset et ICMR :

La figure II.29, montre l'extraction de la valeur d'offset à partir de graphe de simulation

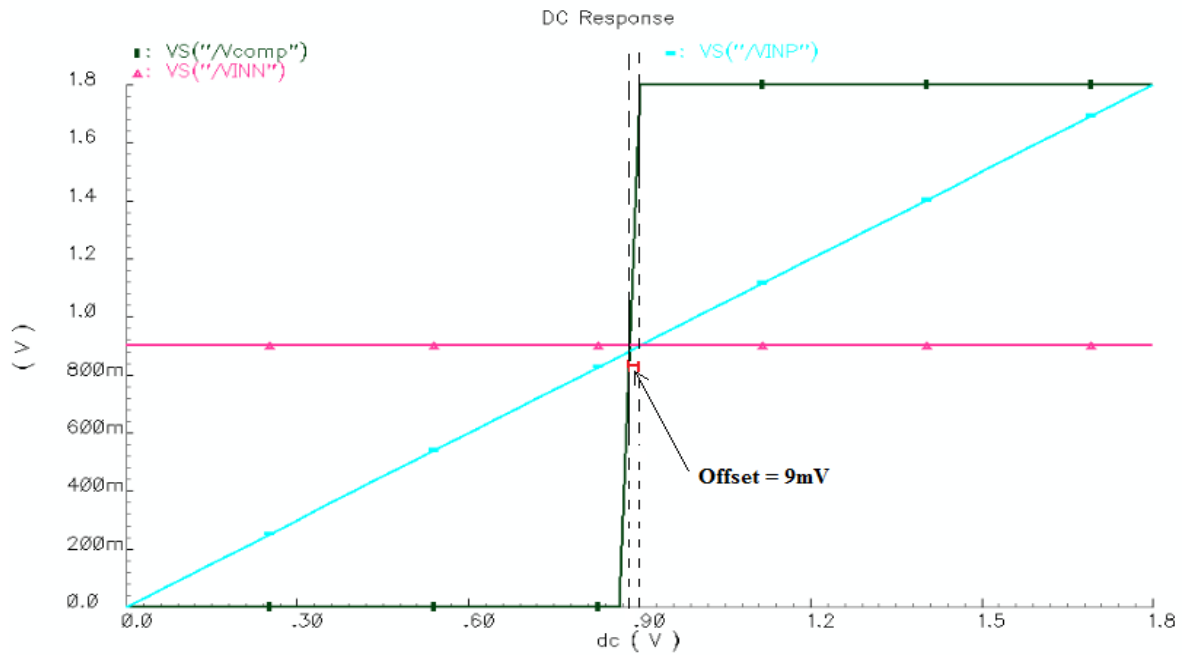


Figure II.29: Mesure de l'offset

Résultats: Offset = 9m V

La figure II.30 est montré la résultat de simulation de ICMR+ /- de l'amplificateur OTA proposé.

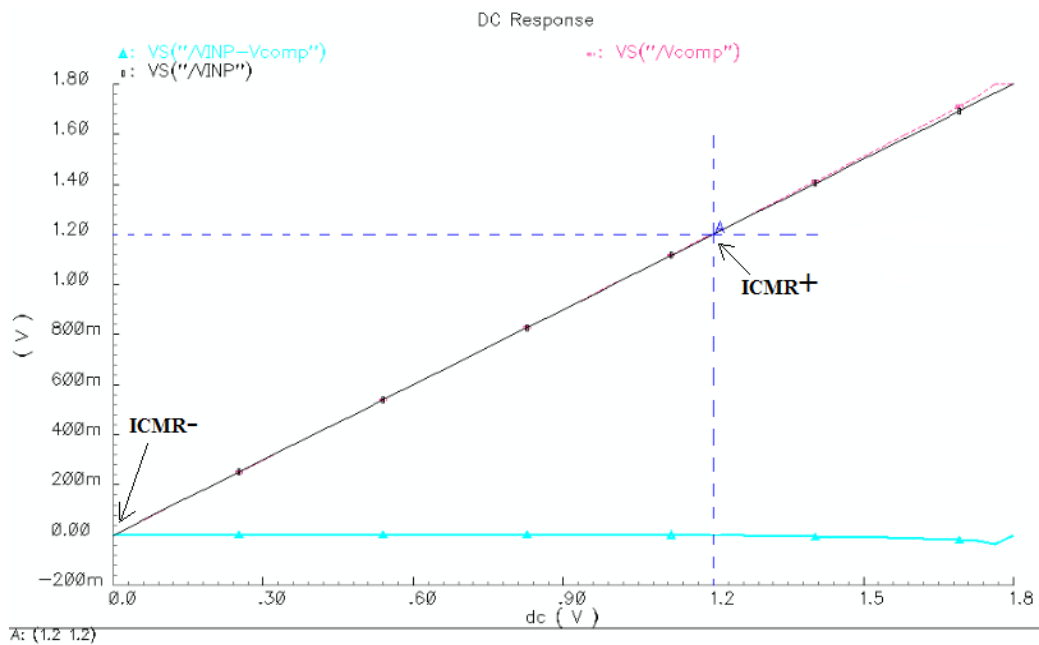


Figure II.30: Valeur de ICMR+ /-

Résultats: ICMR⁺ = 1.2 V et ICMR⁻ = 0 V

✓ **Dissipation d'énergie :**

L'énergie dissipée par le comparateur est donnée par l'expression suivante

$$P = (VDD - VSS) \sum_{i=0}^n i \quad (II.32)$$

$$P = 1.8 \times [ids(PM4) + ids(PM3) + ids(PM5) + ids(INV1) + ids(INV2)] \quad (II.33)$$

$$P = 1.8 \times [9 + 8 + 9 + 0.33 + 0.33] = 1.8 \times 26.66 = 48 \mu W$$

✓ **Analyse transitoire**

Le résultat de simulation est présenté dans la figure II.31

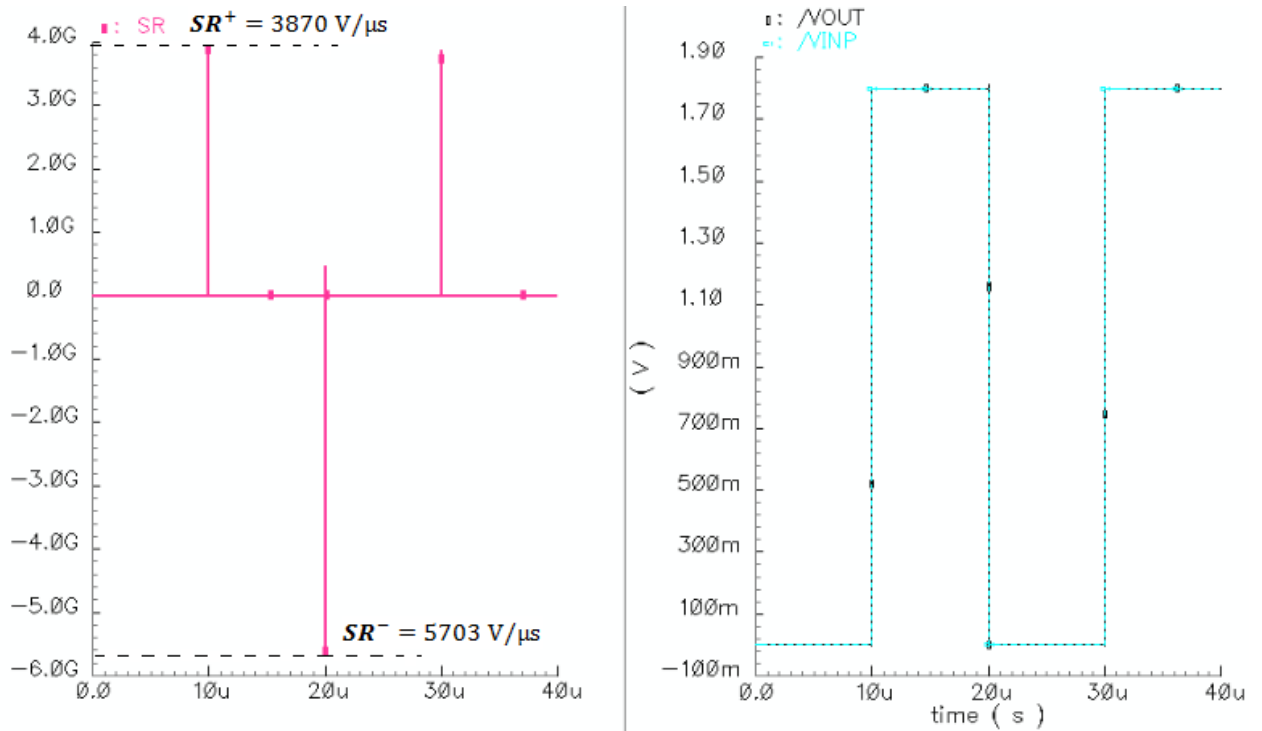


Figure II.31: Simulation Transitoire de comparateur

Résultats : $SR^+ = \frac{d(VOUT)}{dt} = 3870 \text{ V}/\mu\text{s}$ et $SR^- = \frac{d(VOUT)}{dt} = 5703 \text{ V}/\mu\text{s}$

Les performances de notre comparateur sont résumées dans la table II.8 au dessous :

Paramètres	Résultats théoriques	Résultats de simulation	Spécifications	Unité
Gain	106	110.72	>80	dB
Bande Passante	17	17.19	> 5	MHz
ICMR [±]	[38.52 1.56]	[0 1.2]	[0 VDD]	[mV V]
CMRR	52	53.69	> 50	dB
Offset	8.60	9	<10	mV
Puissance dissipe	47	48	< 50	μW
Vitesse de balayage (SR)	3820	3870	> 150	V/μs

Table II.8: Résultats de simulation de comparateur

3.3. Conception d'un pont diviseur

3.3.1. Architecture du pont diviseur

Dans notre travail, les tensions de références sont générées à l'aide de circuits de référence de tension. Des espacements non uniformes entre ces signaux, causés par des erreurs d'appariement des résistances, contribuent fortement aux non linéarités des convertisseurs Flash.

Une architecture, appelée réseau de résistances, consiste en une série de résistances connectées entre deux tensions bien connues, qui sont la tension minimal V_{min} et la tension maximal V_{max} (la pleine échelle du signal). Pour avoir tous les niveaux de références ($2^{k+1} - 1$ tensions de référence), il suffit de diviser l'intervalle $[V_{min}, V_{max}]$ en $(2^{k+1} - 1)$ sous divisions identiques à l'aide du même nombre de résistances identiques (voir figure II.32).

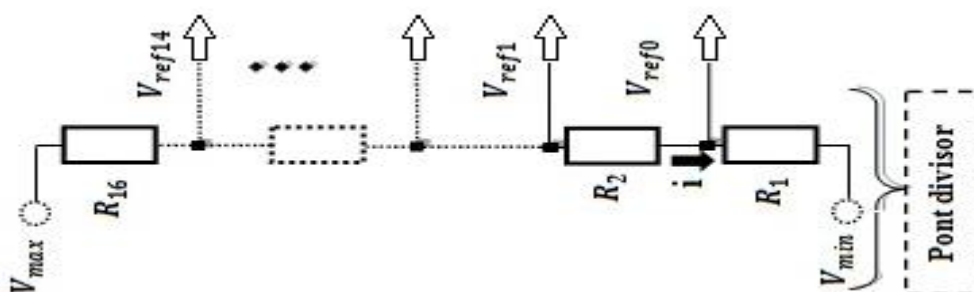


Figure II.32: Génération des tensions de références par réseau de résistances.

Dans cette architecture, la tension de référence minimale est V_{ref0} . A partir de cette tension chaque niveau de tension de référence V_{refi} est donné par la relation suivante :

$$V_{refi} = \frac{\sum_{j=1}^i R_j}{R} \times (V_{max} - V_{min}) \quad (\text{II. 34})$$

$$R = \sum_{j=1}^n R_j \quad (\text{II. 35})$$

Où, R est la résistance totale du réseau de résistances mises en série et R_i est la résistance l' $i^{\text{ème}}$ élément du réseau. Idéalement, toutes les résistances devraient être identiques, et par la même occasion, toutes les valeurs V_{refi} soient précises. Mais, dû aux dispersions des paramètres de la technologie de fabrication, la forme et les dimensions de ces résistances varient d'une résistance à l'autre. La dépendance en tension des résistances contribue aussi aux erreurs des tensions de référence (les erreurs d'appariement entre les résistances), en utilisant cette méthode de génération de références.

Tout d'abord, nous commençons par la fixation d'une valeur de R1 Après nous calculons grâce à i , V_{ref0} et R1:

$$i = \frac{V_{ref0}}{R1} \quad (\text{II. 36})$$

$$R2 = \frac{(V_{ref1} - V_{ref0})}{i} \quad (\text{II. 37})$$

$$Ri = \frac{(V_{ref i-1} - V_{ref i-2})}{i} \quad (\text{II. 38})$$

$$Rn = \frac{(V_{dd} - V_{ref n-2})}{i} \quad (\text{II. 39})$$

Pour le convertisseur 4 bits, nous avons besoin d'une échelle de 15 résistances. Si la tension maximale est divisée par 16, nous avons donc une étape de conversion de $125\text{mV} / 16 = 7.8125\text{mV}$

Nous ne voulons que les références de tension suivantes: 407.8125mV-415.6250mV-423.4375mV-431.2500mV-439.0625mV-446.875mV-454.6875mV-462.5000mV-470.3125mV-478.1250mV-485.9375mV-493.7500mV-501.5625mV-509.3750mV-517.1875mV-525mV.

Avec $R1 = 1\text{K}\Omega = R2 = R3 = \dots = R15 = 1\text{K}\Omega$

Le barreau résistif est polarisé entre V_{\min} et V_{\max} , avec $\Delta V = V_{\max} - V_{\min}$ la dynamique d'entrée de la tension V_{analog} à convertir. Le choix des valeurs de résistance fait en trouvant un compromis entre la consommation du barreau et la surface de silicium occupée.

3.3.2. Appariement (Matching) des résistances

Les erreurs d'appariement des résistances d'un circuit pont diviseur constituent une source majeure d'erreurs statiques pour tout le convertisseur. Cette source d'erreurs est abondamment relatée dans la littérature [Fur et al., 1986, chen&Liu, 2009]. Le but de cette étude, ici, est de comprendre comment les erreurs de précision sur les valeurs des résistances affectent la précision des séries des comparateurs et du CAN Flash en général. Les résistances du pont diviseur peuvent être modélisées comme une somme de parties idéales (R_i) et d'incertitudes ΔR_i :

$$R_1 = R'_1 + \Delta R_1 \quad (\text{II. 40})$$

En prenant en considération ces erreurs, la fonction de transfert de la tension de référence $V_{\text{ref}i}$ est :

$$V_{\text{ref},i} = (R'_{i+1} + \Delta R_{i+1}) \times i + V_{\text{ref},i-1} \quad (\text{II. 41})$$

$$V_{\text{ref},i} = \left(1 + \frac{\Delta R_{i+1}}{R'_{i+1}}\right) \times R'_{i+1} \times i + V_{\text{ref},i-1} \quad (\text{II. 42})$$

La fonction de transfert dans un cas idéal (sans aucune source d'erreurs) est la suivante :

$$V_{\text{ref},i} = R'_{i+1} \times i + V_{\text{ref},i-1} \quad (\text{II. 43})$$

L'erreur commise sur le gain de pont diviseur à pour cause le non appariement entre les résistances. Cette erreur est, par conséquent, une source de non-linéarité statique du convertisseur. Le non appariement entre les résistances cause une modification de la pente du signal de sortie du pont diviseur (erreur sur le gain) et des décrochements au niveau des valeurs des tensions de référence. Pour résoudre ces problèmes nous avons proposé des règles dans l'appariement des résistances :

- Construire des résistances appariées à partir du même matériau
- Faire les mêmes résistances avec la même largeur
- Faire en sorte que les résistances appariées soient suffisamment larges
- Utiliser des géométries identiques pour les résistances
- Orienter les résistances dans le même sens
- Placer les résistances appariées proches de la proximité physique

- Interdigitent les résistances groupées
- Placer des résistances dummies à chaque extrémité d'un réseau de résistance
- Éviter les courts segments de résistance
- Placez les résistances appariées bien loin des dispositifs électriques
- Placer des résistances appariées sur les axes de symétrie de la matrice
- Utiliser des résistances poly de préférence aux résistances diffusées
- Utiliser un blindage électrostatique si nécessaire
- Ne pas acheminer le métal non relié sur les résistances appariées
- Éviter la dissipation de puissance excessive dans les résistances appariées

3.4. Conception de la partie numérique

Pour notre convertisseur on a besoin en premier lieu de coder les codes thermomètres. Pour cela nous allons utiliser un Encodeur. Ce dernier est réalisé à partir des multiplexeurs et des inverseurs. Il permet de transcrire les données issues de l'étage des comparateurs en un signal binaire à partir du code thermomètre. Il est à noter que lors de cette étape le signal sortant n'est pas synchrone. Pour résoudre ce problème, nous ajoutons un registre à décalage (4 bits) qui permet d'obtenir un signal binaire synchrone au moyen de quatre bascules de type latch. Le signal de sortie constitue donc un bus de 4 bits sortant en parallèle.

La figure II.33 suivante illustre le schéma de principe de la partie numérique:

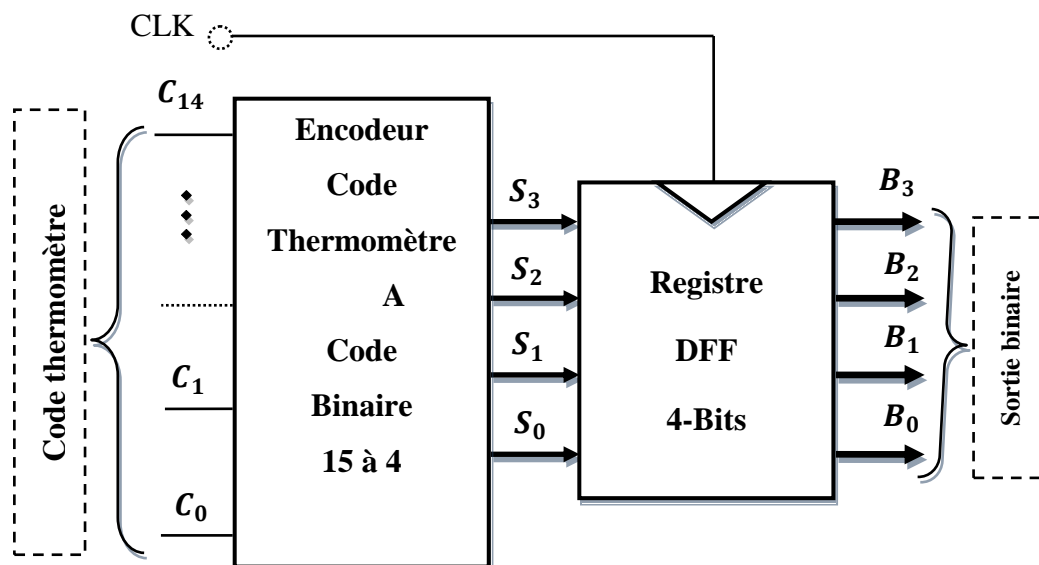


Figure II.33: Schéma de bloc de la partie numérique

3.4.1. Proposition de l'encoder à base de multiplexeur

Plusieurs architectures d'encodeurs ont été étudiées par plusieurs chercheurs [Saa et al., 2004, Wallace, 1964, Lee et al., 2002, Hir&Ren, 2010, Saa&Ves, 2004] pour convertir le code thermomètre en code binaire. Dans la littérature, Säall et al. [Saa et al., 2004] et Wallace [Wallace, 1964] ont proposé que le décodeur basé sur le Wallace tree utilise le compteur unique; La sortie est le code binaire décodé et elle applique également une correction / suppression d'erreur globale de la bulle. Ainsi, cette approche bénéficie de la suppression des bulles. L'inconvénient de cette approche est qu'il en résulte un grand retard et une grande puissance. Lee et al. Dans [Lee et al., 2002] ont proposé que l'architecture du décodeur basé sur Fat Tree puisse obtenir une faible consommation et un retard efficace. Cependant, ces résultats sont en surface et retard réduite par rapport au décodeur Wallace d'arbre. Une implémentation plus optimisée de l'encodeur basé sur Fat Tree est présentée par Hiremath et Ren [Hir&Ren, 2010]. Cette approche ne réduit pas la matrice des portes OR dans les paires NAND-NOR. Les portes NAND-NOR ont été implémentées à l'aide d'une logique CMOS pseudo-dynamique. Saäil et Vesterbacka [Saa&Ves, 2004] ont proposé une autre architecture appelée décodeur basé sur MUX existant; Ce dernier entraîne un chemin critique court et une petite surface. Néanmoins, cette architecture proposée entraîne une énorme fan-out dans le chemin critique. Par conséquent, l'augmentation du fan-out entraîne une augmentation de la consommation et le retard. Notez que, le décodeur basé sur Wallace Tree, le décodeur basé sur Fat Tree et les architectures de décodeurs basées sur MUX existantes ont été largement utilisés dans la littérature pour concevoir le CAN. Jusqu'à présent, aucun travail n'a été fait pour améliorer l'architecture des encodeurs basée sur le multiplexeur où la consommation d'énergie est un problème très critique. Pour cela, nous avons proposé un nouvel encodeur à 4 bits de faible puissance, de grande vitesse et de petite surface. Le circuit d'encodeur à bas des multiplexeurs utilise le MUX 2: 1, nous avons donc besoin de 11 MUX et 4 inverseurs pour implémenter 15 entrées. L'encodeur convertit les codes thermomètre en codes binaires. Le MUX 2: 1 a besoin de deux signaux d'entrée avec une ligne de sélection; La ligne de sélection doit varier entre deux logiques 0 à 1 selon la ligne de sélection que le MUX 11 transmet la logique. La logique des bits les plus significatifs (MSB) de l'entrée binaire est égale au bit central du code du thermomètre car il suit la logique jumelle. L'encodeur logique utilisé pour CAN 4 bits est représenté sur la figure II.34. Il convient de noter que lors de cette étape, les signaux sortant ne sont pas synchrones. Pour résoudre ce problème, un registre DFF est

proposé il permet d'obtenir un signal binaire synchrone au moyen de quatre bascules de type latch. Les signaux de sortie sont composés de 4 bits sortant en parallèle.

La table de vérité de l'encodeur à bas des multiplexeurs à 4 bits est indiquée dans le tableau II.9. Le bit le plus significatif (MSB) de la sortie est égal aux bits d'entrée C7 (bit central) et le bit le moins significatif (LSB) de la sortie est égal aux valeurs de C0 à C14. Dans cette conception, 11 multiplexeurs sont utilisés car dans la première étape, il existe 15 entrées. Pour implémenter les 15 entrées: 7 MUX sont utilisés dans la deuxième étape; 3 MUX sont utilisés dans la troisième étape; La sortie du multiplexeur central agit en tant que ligne de sélection dans la deuxième étape alors que dans la dernière étape le 1MUX est nécessaire. Les multiplexeurs utilisés sont conçus à l'aide des portes de transmission pour une meilleure précision.

La figure II.35 montre la simulation d'encodeur qui permet de coder le code thermomètres vers le code binaire. Les sorties de 15 comparateurs sont notées de C0 à C14 et les sorties du code binaire sont S3, S2, S1 et S0.

Code thermomètre d'entrée de C0 à C14															Code Binaire de S0 à S3				La tension estimate (125mV)
C14	C13	C12	C11	C10	C9	C8	C7	C6	C5	C4	C3	C2	C1	C0	S3	S2	S1	S0	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	400 - 407.8125
0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	407.8125- 415.6250
0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	0	415.6250-423.4375
0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	1	1	423.4375-431.2500
0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	1	0	0	431.2500-439.0625
0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	1	0	1	439.0625-446.875
0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	0	1	1	0	446.875-454.6875
0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	0	1	1	1	454.6875-462.5000
0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	0	0	0	462.5000-470.3125
0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	0	0	1	470.3125-478.1250
0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	0	1	0	478.1250-485.9375
0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	485.9375-493.7500
0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	493.7500-501.5625
0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	501.5625-509.3750
0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	509.3750-517.1875
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	517.1875 - 525

Table II.9: Table de vérité pour l'encodeur 4 bits à bas des multiplexeurs

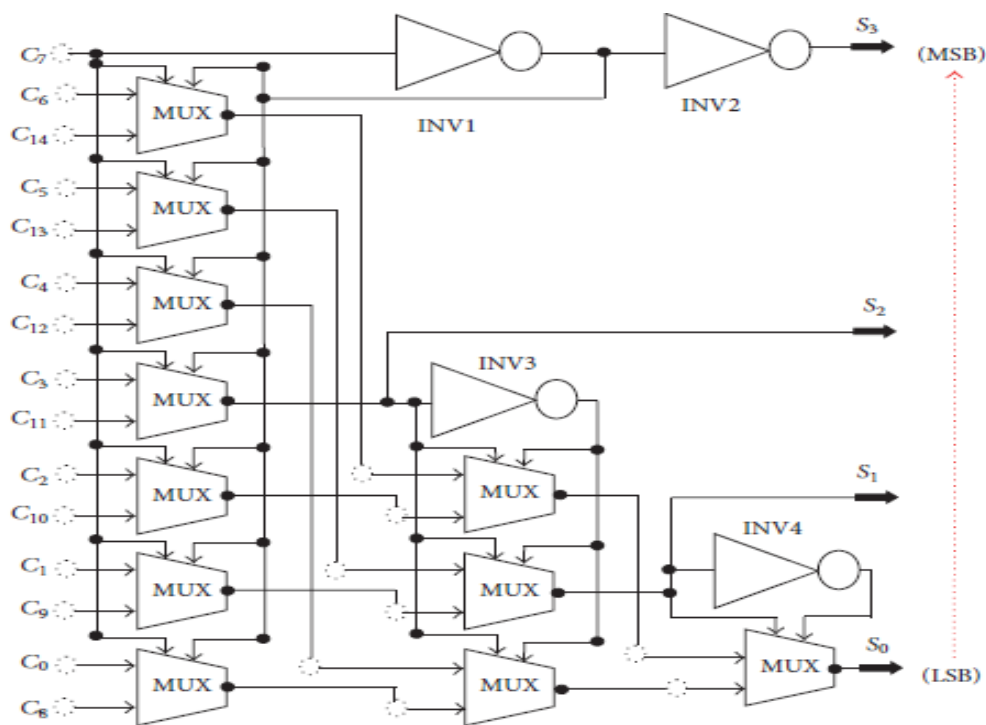


Figure II.34: Diagramme logique pour le circuit d'encodeur proposé à bas des multiplexeurs.

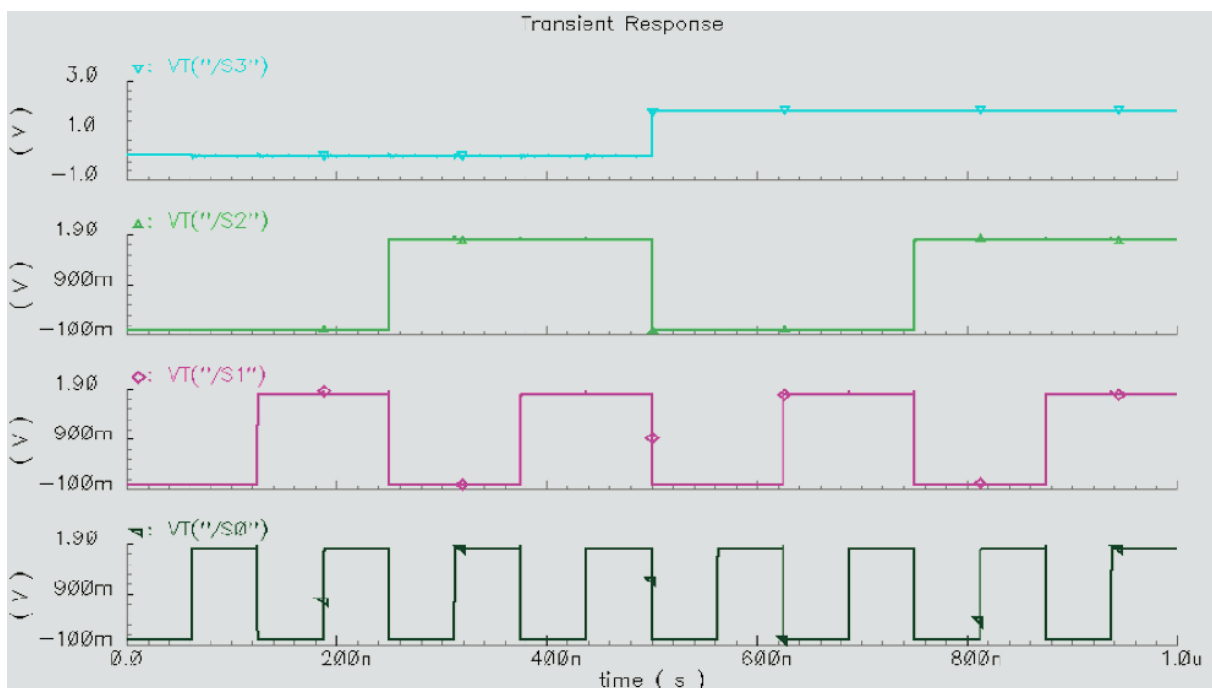


Figure II.35: Sortie d'encodeur à base des multiplexeurs

3.4.2. Circuit de TG- Register de type D-latch (D-Type Flip-Flop)

Le signal d'horloge CLK (t) est appliqué dans différents circuits CMOS pour leurs opérations. La figure II.36 montre le signal d'horloge CLK (t) et son complément CLKB (t).

La synchronisation des opérations dans un réseau numérique s'effectue au moyen d'un signal d'horloge par rapport à une base de temps absolu. La période, notée T , est l'intervalle de temps par unité de temps en secondes, qui correspond à l'inverse de la période: $f = 1/T$ ou f est la fréquence en Hertz (Hz ou s⁻¹). Le signal complément de CLK (t) est noté CLKB (t). La synchronisation du flux de données est effectuée par le signal d'horloge lorsque le TG peut être activé ou désactivé avec une paire complémentaire [John, 2002].

Ici, notre idée est de créer un circuit de TG-Registre de type D-latch à faible puissance (Master-slave) en technologie CMOS basé sur le circuit de bascule TG-latch est représenté sur la Figure II.37 et pour synchroniser les signaux provenant de l'encodeur. Les bascules Master Slave réduisent la sensibilité au bruit en minimisant la durée de transparence. Ils fonctionnent sur le front d'horloge. Le circuit de maître-esclave de type D-latch est composé de 2 D-latch en cascade et en opposition de phase. Le premier s'appelle maître; Le second s'appelle esclave. La figure II.38 montre ce circuit. Il permet d'obtenir un signal binaire synchrone au moyen des bascules de type D-latch.

Le fonctionnement de ce circuit est le suivant:

- i. Le TG1 est en mode conducteur et transfère le bit de données D au premier étage (maître), si l'horloge du signal est désactivée ($CLK = 0$ ($CLKB = 1$)). Le transfert des données ne se produit pas, lorsque TG2 et TG3 sont ouverts en même temps.
- ii. Lorsque le signal d'horloge est à l'état activé ($CLK = 1$ ($CLKB = 0$)), TG1 agit comme un interrupteur ouvert et bloque les changements dans les données. En ce moment, TG2 éteint (off) et complète le circuit de verrouillage de rétroaction, tandis que TG3 est désactivé pour permettre la transmission de la tension de données dans l'étage deux (esclave) latch.

Le maître-esclave D apparaît comme un bascule-D ayant une entrée de données D (données), une entrée d'horloge (horloge) et une sortie Q . Lorsque l'horloge passe de l'état OFF à l'état ON, la sortie Q est la valeur de D qui a été présenté.

Logiquement, l'opération du TG-Register est la suivante:

$$D(t) = Q(t + T) \quad (\text{II. 44})$$

Le fonctionnement d'un TG-Register est synchrone. Son rôle est de mémoriser une donnée logique à un moment précis. Ces données appliquées à D sont prises en compte au début du front montant et transférées à la sortie Q à la fin de ce front montant. Un nouveau

transfert de l'entrée D à la sortie Q se produira au prochain front montant de l'horloge. La figure II.39 montre la simulation du TG-Register.

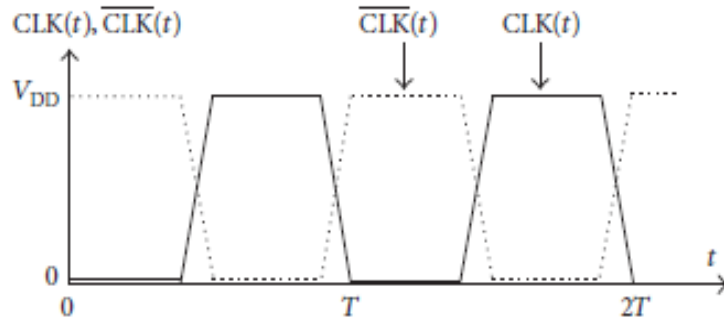


Figure II.36: signaux d'horloge

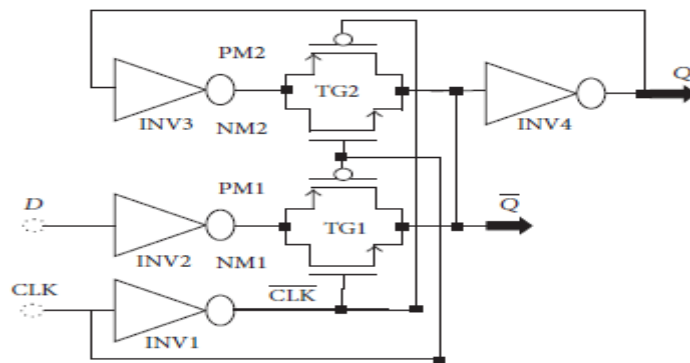


Figure II.37: Circuit basique de TG-latch

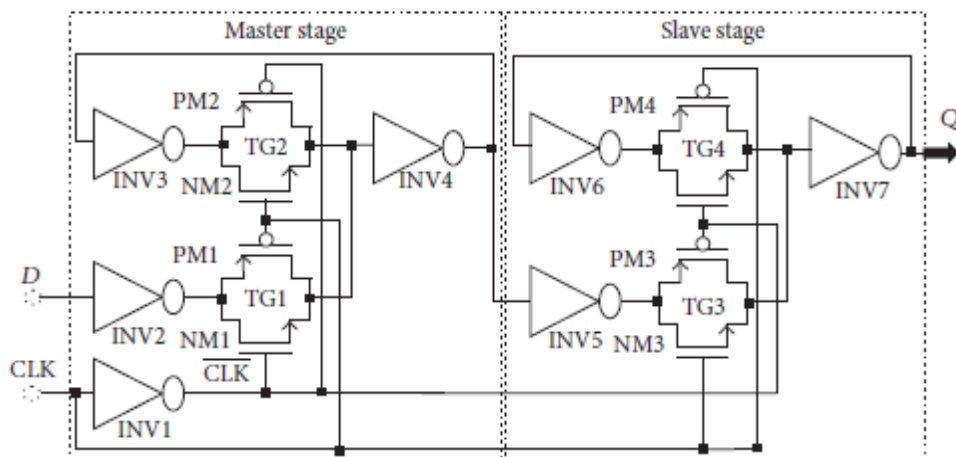


Figure II.38: Diagramme de TG-Register basée sur la bascule D latch maître-esclave.

Les résultats de simulation sont montrés dans la figure II.39.

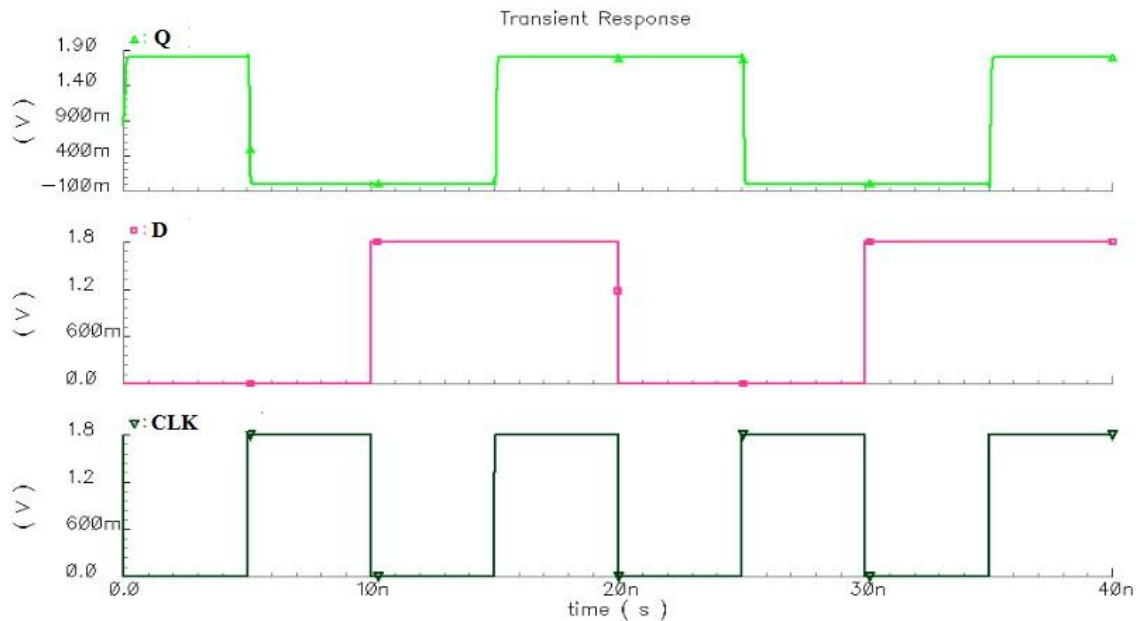


Figure II.39: Simulation de bascule D latch maître-esclave

4. Conclusion

Dans ce chapitre, nous avons proposé, une nouvelle architecture CAN flash 4-bit à colonne parallèle intégrable en bas de colonne d'une matrice de pixels. Cette architecture a été caractérisé par sa faible puissance de consommation, sa haute vitesse et sa faible surface. Notre contribution a porté sur la proposition de la conception et l'optimisation des cinq blocks fonctionnelles qui sont : un circuit de l'échantillonneur-bloqueur (E/B), un circuit de pont diviseur, un circuit des séries de comparateurs, un circuit d'encodeur à base des multiplexeurs et un circuit de registre DFF. Une extrême précision sur le bloc de l'échantillonneur bloquer est nécessaire pour ne pas perturber le résultat de la conversion.

Les résultats simulés des cinq blocks constituant l'architecture proposée répondre aux contraintes de la dissipation de puissance, la taille et la vitesse exigées par le cahier des charges demandé pour l'application du détection de vertex.

Dans le prochain chapitre nous allons proposer une deuxième architecture de type CAN SAR. Cette dernière sera appliquée pour les fréquences moyennes qui peuvent dépasser 10MHZ. Dans cette dernière nous allons nous intéresser au bloc CNA à source du courant où nous nous allons proposé une première architecture du CNA à 6 bits et une deuxième architecture plus performante d'un CNA à 4 bits optimisée et plus stable par l'ajout de deux circuit RC à l'entrée de chaque grill des miroirs de courant.

CHAPITRE III : CONCEPTION OPTIMALE DES CNA A SOURCE DU COURANT INTEGRE DANS LE CAN SAR

1. Introduction

Dans ce chapitre, nous présenterons deux nouvelles architectures du convertisseur numérique analogique à source du courant (CNA-SC) à 6-bits et à 4-bits dédiées à l'intégration dans le convertisseur analogique numérique à approximation successive (SAR) mode du courant (MC). La conception des CANs avec des performances élevées pour des applications qui requièrent une vitesse plus élevée comme du détecteur de vertex à base de MAPS ou d'autre présente plusieurs défis. En effet, la technique MC apporte beaucoup de solutions [LEI et al., 2008] pour la compatibilité entre le besoin en puissance, la vitesse, l'espace d'occupation et une plage dynamique réduite. Cela sera bien bénéfique pour la conception des CANs pour des applications à haut vitesse et particulièrement l'application de détection de vertex à base de capteur MAPS.

La sélection de l'architecture est importante sachant que chaque architecture de CAN a des avantages spécifiques en ce qui concerne la fréquence d'échantillonnage, le bruit, la résolution, la dynamique d'entrée, la puissance d'énergie, et l'espace occupé sur la puce [Tou&Pay, 1990]. Le convertisseur de type SAR a suscité plus d'attention due à son excellente efficacité de puissance et basse tension en comparaisons aux CANs pipelines et cycliques [Lin et al., 2013]. Puisqu'il n'exige pas des amplificateurs opérationnels, le SAR CAN en mode de tension utilise seulement un comparateur et un réseau des condensateurs dans la partie du CNA. Ceci révèle deux thèmes principaux; le premier est le besoin d'un grand espace sur la puce de silicium et le deuxième est le long temps de stabilisation [Nam et al., 2010]. Dans l'autre partie, la puissance dissipée dans le convertisseur SAR CAN en mode de tension est principalement du CNA [Tan&Pun, 2011]. Pour cette raison, le convertisseur SAR MC est conçu avec des sources de courant dans le CNA pour diminuer l'effet du long du temps de stabilisation et de la dissipation d'énergie. D'ailleurs, aucun condensateur n'est utilisé dans le CNA, cela le rend très petit comparé au convertisseur SAR mode de tension [Hu et al., 2013].

L'idée originale de cette proposition est basée sur l'utilisation de deux nouvelles architectures du CNA à sources de courant dans le SAR-MC. En effet, l'utilisation de ce bloc CNA-SC va diminuer l'effet du long du temps de stabilisation et de la dissipation d'énergie. De plus le bloc CNA-SC proposée devra consommer une puissance de quelques centaines de μW seulement et la surface occupé par ce CNA-SC est très faible. Le CNA-SC proposé sera fabriqué en technologie CMOS $0,18\mu\text{m}$ afin de pouvoir être intégré dans le SAR-MC pour l'application de détecteur de vertex ou d'autres applications bien déterminées.

Les résultats de la simulation de CNA-SC proposée vont répondre aussi aux contraintes de la dissipation de puissance, la taille et la vitesse exigés par les capteurs de MAPS. Le CNA doit être compacte, rapide avec une fréquence d'échantillonnage plus de 10Me/s , une très faible dissipation de puissance, et une taille très faible. Le choix de cette architecture du CNA-SC est un compromis entre la vitesse du détecteur, la taille et la dissipation de puissance.

Dans ce chapitre, nous présenterons deux nouvelles architectures du convertisseur CNA-SC à sources du courant, une architecture à 6 bits et l'autre à 4 bits. Nous débuterons par la présentation d'une architecture de convertisseur SAR-MC pour introduire le cahier des charges (CDC) des CNA-SC. Ensuite, nous présenterons les architectures de CNAs rapides qui ont permis de mettre en évidence le manque d'architectures performantes répondant aux exigences d'un convertisseur SAR en mode du courant.

2. CNA pour le convertisseur SAR en mode du courant

L'architecture du convertisseur SAR en MC est présentée sur la figure III.1. Cette architecture se compose d'un échantillonneur-bloqueur E/B, d'un comparateur, d'un convertisseur numérique analogique (CNA) et d'un registre à approximation successive (SAR). La logique de SAR est fondée sur le principe d'un registre à décalage.

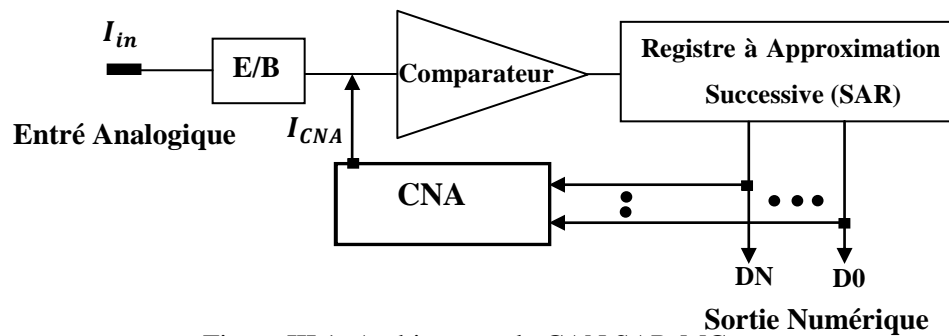


Figure III.1: Architecture du CAN SAR-MC

2.1.Principe de fonctionnement du CAN SAR

Le principe de fonctionnement de CAN SAR en mode du courant est semblable au conventionnel CAN SAR en mode de tension [Nam et al., 2010]. Cependant, les convertisseurs analogiques numériques en mode du courant démontrent actuellement d'excellentes caractéristiques en particulier une efficacité élevée en puissance dissipée, la fréquence de fonctionnement et l'espace occupé sur la puce [Hey et al., 2012 , Dlu&Ini, 2007]. Les étapes de conversion dans ce type de convertisseurs sont basées sur l'utilisation d'un CNA et d'un comparateur pour trouver le signal d'entrée. Le circuit E/B est employé pour prélever l'entrée analogique. Contrairement au SAR en mode de tension, le CAN en mode courant utilise seulement des transistors CMOS dans le CNA en tant que des sources courants et des commutateurs. Ceci a l'avantage de réduire la surface occupée sur la puce, réduire la puissance d'énergie dissipée par le CAN pour réaliser une conversion avec une grande vitesse.

2.2.Différents types de CNA : avantages et inconvénients

Dans ce qui suit, nous allons nous intéresser à l'étude des convertisseurs numériques analogiques qui fonctionnent aux hautes vitesses [Zhi et al., 2009, Mir&Luc, 2007, Eul, 2006, Ton et al., 2011, Phi&Allen, 2002, Rasavi, 1995]. Dans cette section, nous présentons en détail les trois variations des CNAs rapides ainsi que leurs avantages et leurs inconvénients.

Le convertisseur numérique analogique rapide, parfois appelé CNA parallèle, est caractérisé par son habilité de générer la sortie dans un seul cycle d'horloge. La vitesse d'un CNA rapide est réalisée par la génération parallèle d'un ensemble des références fixées. L'ensemble des références est complet, c'est-à-dire, ils sont capables de construire toutes les valeurs de sortie possible de CNA. Ainsi n'importe quelle sortie

peut être créée presque instantanément fournissant le CNA parallèle avec la capacité de fonctionner aux hautes vitesses. Les différences entre le CNA à série de résistances, le CNA à réseau des capacités et le CNA à somme des courants résident principalement dans la manière dont chacun crée l'ensemble des références et les combine pour créer la sortie.

Le CNA parallèle à diviseur de tension emploie typiquement 2^N éléments pour diviser la tension de référence à 2^N tensions qui sont employées comme une tension de sortie analogique du CNA. Le CNA à série de résistances et le CNA à réseau des capacités emploient des résistances et des condensateurs, respectivement, pour exécuter le diviseur de tension. Le CNA parallèle à somme des courants emploie typiquement N ou 2^N éléments pour créer les courants de référence. Ceux-ci sont additionnés pour créer le courant de sortie analogique du CNA.

Dans la suite nous allons présenter les trois architectures des CNA rapides : Le CNA à série de résistances, le CNA à réseau des capacités et le CNA parallèle à source des courants.

2.2.1. CNA flash à Réseau de capacités

La figure III.2, représente un exemple d'architecture de CNA à Réseau des capacités à trois bits ($N = 3$). Les convertisseurs numériques analogique flash à Réseau des capacités exécutent la conversion du signal en divisant la tension de référence VREF employant N ou 2^N condensateurs appariés [Beh, 2000, Allen, 2001]. Initialement chaque condensateur est déchargé à travers l'interrupteur de remise à zéro (RAZ). Ensuite, chaque condensateur est connecté à VREF ou à la masse causant le diviseur de tension de sortie de CNA entre les condensateurs. Dans la figure III.2(a) l'architecture du CNA utilise 2^N interrupteurs pour connecter le nombre approprié de condensateurs unitaires pondérés à VREF et les autres condensateurs restants à la masse. Les signaux de contrôle des interrupteurs, t_k pour $k=0,1,\dots,2^N - 1$, sont générés par un décodeur de thermomètre. L'architecture de CNA flash à Réseau des capacités dans la figure III.2(b) emploie N interrupteurs pour connecter la combinaison appropriée de condensateurs binaires pondérés à VREF créant ainsi la tension de sortie VOUT. Cette architecture n'a pas besoin d'un décodeur de thermomètre. Il utilise les bits d'entrée digitales du CNA, $b_k[n]$ et leurs compléments, $\overline{b_k[n]}$, pour $k=0,1,\dots, 2^N - 1$, pour contrôler les interrupteurs.

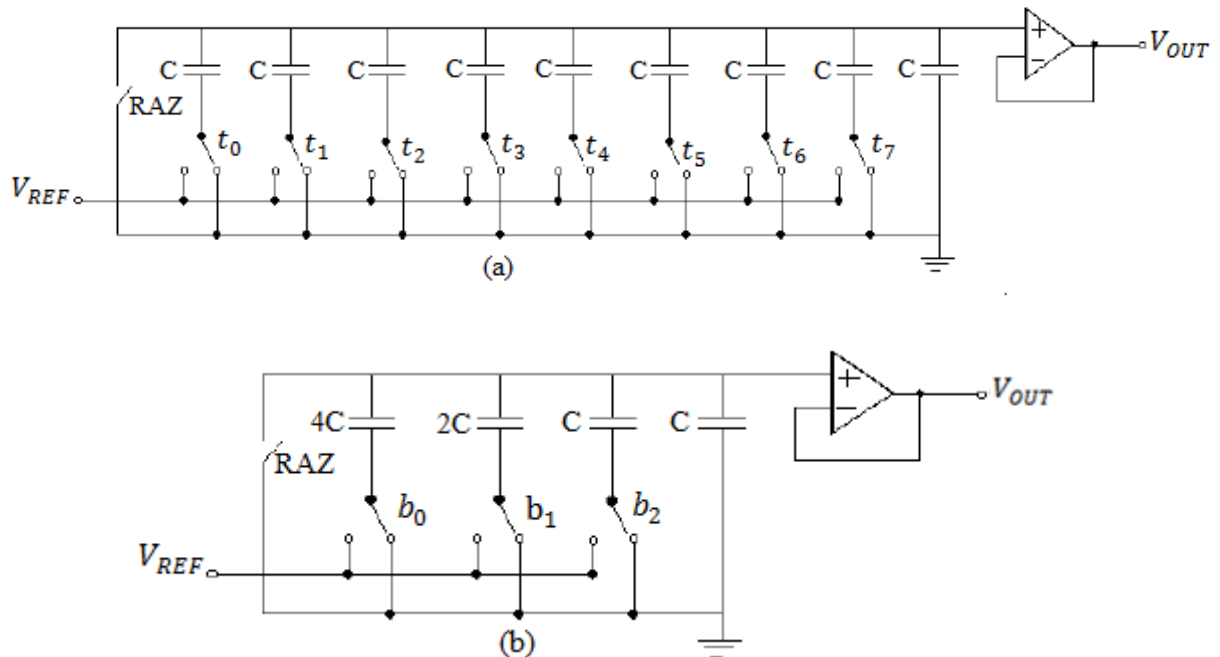


Figure III.2 : Architecture de CNA flash à réseau des capacités à 3 bits (a) avec les capacités pondérées unitaire, et (b) les capacités pondérées binaires.

Avantages et inconvénients :

Les avantages des CNAs flash à réseau de capacités dans la figure III.2 sont : la rapidité et la bonne précision. Un inconvénient principal est l'inhabilité de conduire les charges sans un amplificateur suiveur, le besoin des condensateurs précisément appariés, non monotone, la grande surface, et les grands courants transitoires coulent de VREF pendant la commutation.

Les CNAs à Réseau des capacités ne sont pas linéaires à cause de la disparité de condensateur, la dépendance de tension de condensateur, et l'armature supérieure des capacités parasites.

2.2.2. CNA à Série de Résistance

Le convertisseur numérique analogique à série de résistances emploie un réseau de diviseurs de tension de résistance, connecté entre deux tensions de référence, pour générer un ensemble complet des tensions, chaque noeud de diviseurs de tension correspond à une entrée numérique [Beh, 2000, Allen, 2001]. Un CNA flash à série de résistances de N bits utilise au moins 2^N résistances. Les interrupteurs, contrôlés par l'entrée numérique du CNA, choisissent la tension de référence appropriée pour l'utiliser comme sortie.

Figure III.3, représente l'architecture du CNA flash à série de résistances à N bits. La série de résistances divise la tension de référence de CNA (V_{REF}) à 2^N tensions égaux V_k , $k = 0, 1, \dots, 2^N - 1$. L'architecture de CNA dans la Figure III.3(a) emploie $2N$ interrupteurs pour connecter la tension appropriée à la sortie $V_{OUT}(t)$. Les signaux de contrôle d'interrupteur t_k pour $k = 0, 1, \dots, 2^N - 1$, sont générés par un décodeur N: 2^N (non montré). Pour des mots plus longs, une grande capacité parasite apparaît à la sortie, limitant la vitesse opérationnelle de CNA. Une architecture de CNA à série de résistances dans la figure III.3(b) arrange les interrupteurs dans une structure d'arbre binaire. Cette architecture emploie les bits d'entrée digitale du CNA $b_k[n]$, et leurs compléments, $\overline{b_k[n]}$, $k = 0, 1, \dots, 2^B - 1$, pour contrôler les interrupteurs. En outre, les capacités parasites sont réduites puisque la sortie est connectée aux B interrupteurs fermés et B interrupteurs ouverts, ainsi l'augmentation de la vitesse de conversion.

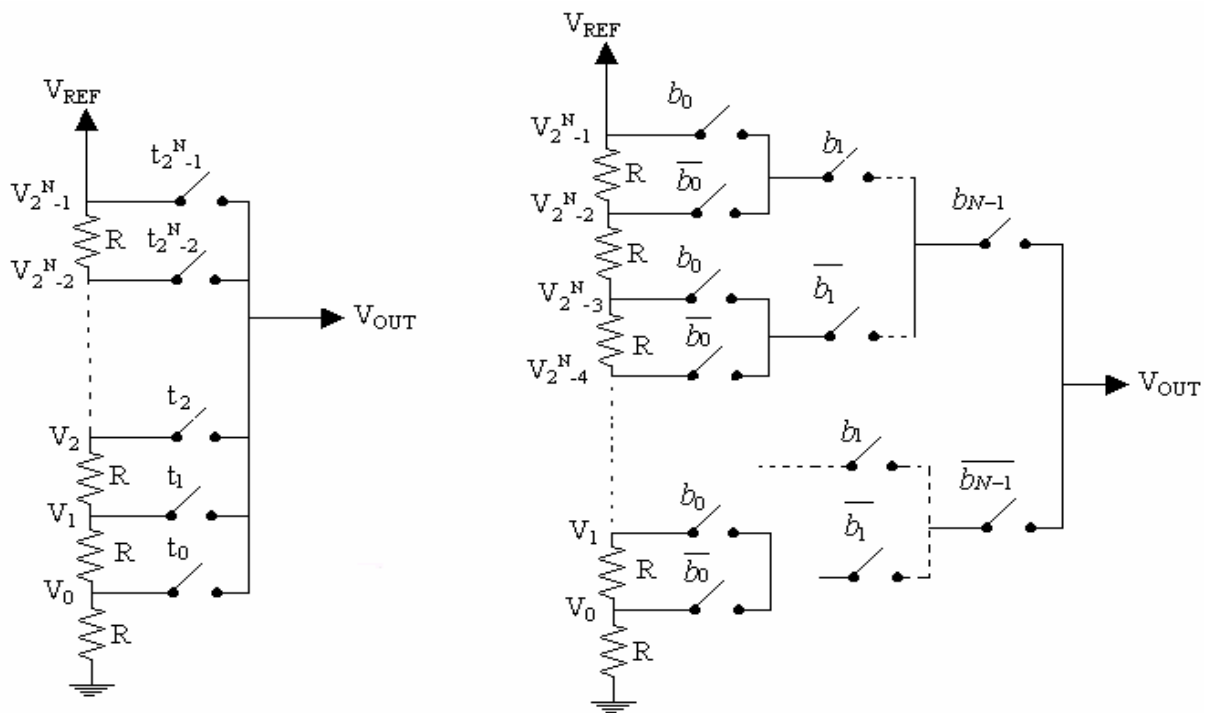


Figure III.3: (a) Architecture du CNA flash à série de résistances à N-bit. (b) L'utilisation d'un réseau d'interrupteur binaire pour diminuer la capacité de sortie

Avantages et inconvénients :

La précision de diviseur de tension à série de résistances est limitée par les limitations de technologie VLSI. Ils incluent : erreurs de gradient linéaires, erreurs de non linéarité dans les résistances diffusées, les erreurs aléatoires. En plus, la sortie de CNA à diviseur de tension doit être brancher à un amplificateur suiveur à haute

impédance. Le courant appréciable qui coule dans le réseau de diviseur de tension produit des erreurs complémentaires en raison de non linéarité des interrupteurs analogiques du CNA. Non linéarités d'amplificateur à Haute impédance sont présentées directement dans la sortie du CNA.

Les architectures de CNA à série de résistances dans la figure III.3 sont précises seulement autant que l'appariement des résistances de diviseur de tension existe. Comme la longueur de mot d'entrée du CNA augmente, la taille de pas de quantification diminuée, autrement dit, les tensions de référence produites par la série de résistance sont beaucoup tout près et les exigences d'appariement de résistance sont augmentées. Malheureusement, les processus de fabrication de VLSI ne sont pas exacts et les résistances ne peuvent pas être parfaitement appariées. La taille physique des résistances peut être augmentée pour réduire au minimum les erreurs d'appariement de résistance, mais cela baisse la densité de circuit.

Les CNAs à série de résistances sont limités par les longueurs de mot au moins de 10 bits. D'autres issues de conception de CNA à série de résistances traitent avec la surface de circuit et la dissipation de puissance. Alors, des grandes surfaces de chip sont exigées pour le plus long mot à cause du grand nombre de résistances de diviseur de tension, l'utilisation de surface est alors plus augmentée. De même puisque le courant coule toujours à travers le diviseur de tension, la puissance est constamment dissipée. Bien que la valeur de la résistance R puisse être augmentée pour réduire les pertes de puissance, les plus grandes résistances occupent plus de surface. Ainsi, les CNAs à série de résistances ont l'inhabilité de conduire la charge sans Amp-op suiveur.

Un grand avantage des CNAs à série de résistances est leur monotonicitie et leur capacité de fonctionner aux hautes vitesses. A cause de la nature parallèle de leur conception, implémentation de CNA à série de résistances dans la figure III.3(b) sont très rapide et sont employés dans beaucoup applications de haute bande passante comme la vidéo digitale, le radar et communications. Dans les technologies d'appariement de résistance d'aujourd'hui est bon à environ 8-9 bits de linéarité.

2.2.3. CNA flash à somme des courants

Un CNA flash à somme des courants à N bits, utilise typiquement N ou 2^N éléments pour créer N ou 2^N courants de référence [Beh, 2000, Allen, 2001]. La figure III.4 montre l'architecture de CNA à somme des courants à trois bits ($N = 3$). La série des

courants divise la tension de référence V_{REF} à 2^N tensions égaux, V_K pour $k=0,1, \dots, 2^N - 1$. L'architecture de CNA dans la figure III.4(a), emploie 2^N interrupteurs pour connecter le nombre approprié des références de courant binaires pondérés pour créer le courant de sortie I_{OUT} [Jac, 2001]. Les signaux de contrôle des interrupteurs, t_k pour $k = 0,1, \dots, 2^N - 1$, sont générés par un décodeur de thermomètre [Sam, 1999]. L'architecture de CNA flash à somme des courants dans la figure III.4(b). Utilise N interrupteurs pour connecter la combinaison appropriée des références des courants binaires pondérés pour créer le courant de sortie I_{OUT} . Cette architecture n'a pas besoin d'un décodeur de thermomètre et utilise les bits de l'entrée digitale du CNA, b_k pour $k=0,1, \dots, 2^N - 1$, pour contrôler les interrupteurs.

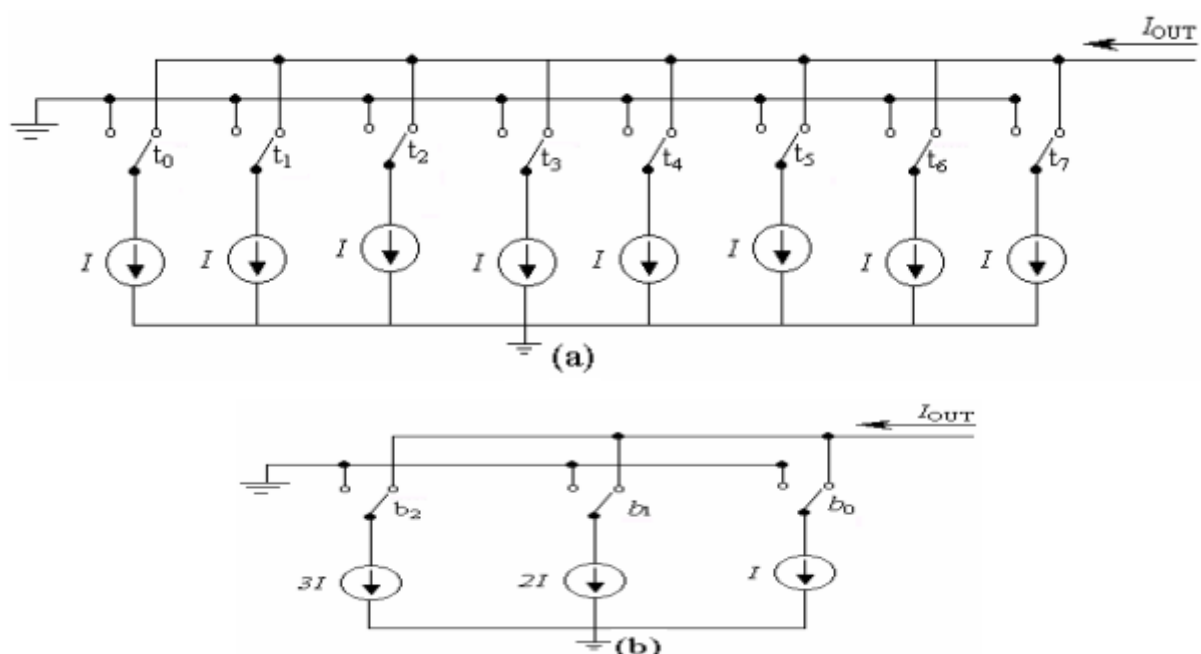


Figure III.4 : Architecture de CNA flash à somme des courants à 3 bits (a) Avec sources de courant pondérées unitaires, et (b) sources de courant pondérées binaire

Avantages et inconvénients :

Un avantage principal de l'architecture de CNA à somme des courants est son haut courant inhérent qui coule, insensible aux parasites des interrupteurs, et sa haute vitesse. Un inconvénient de cette architecture est les glitches créés quand les interrupteurs ne fonctionnent pas au même instant exact. Cette erreur est la plus significative au milieu d'échelle du CNA quand le plus grand nombre de sources commutent et peut introduire la non monotonie.

Les miroirs de courant sont typiquement employés pour implémenter les sources de courant dans les CNA à somme des courants. Cependant, les miroirs de courant peuvent

exposer des erreurs d'appariements significatives, incluant les erreurs de gradient linéaires, les erreurs aléatoires à cause des imprécisions géométriques. De même, les sources additionnelles des erreurs dans les CNAs à somme de courant sont l'impédance de sortie finie des sources de courant et la non linéarité de résistance de charge du CNA. Comme la sortie de CNA varie sur sa gamme de pleine-échelle, différentes impédances sont connectées à la sortie de CNA changeant la résistance de charge et introduisant la non linéarité. En outre, beaucoup des CNAs à somme des courants convertissent le courant de sortie à une tension en connectant le nœud de sortie de CNA à une résistance de circuit intégré.

2.3. Bilan sur les différents types de convertisseur numérique analogique CNA

Les architectures présentées au dessus sont seulement des exemples des implémentations des CNAs rapide. Le choix de CNA approprié pour un travail donné doit être basé sur ses mérites relatifs, par exemple, un CNA parallèle pour les applications de haute vitesse où la complexité de circuit est cruciale. Le tableau suivant compare les caractéristiques relatives des architectures précédentes.

Type de CNA	Avantages	Inconvénients
Réseau de capacités	rapide, bonne précision	Grande surface, non monotone, sensible aux capacités parasites.
Série de résistance	Monotone, des résistances égales, haute vitesse, faible consommation.	Grande surface, sensible aux capacités parasites, le grand courant peut couler à travers la série de résistance, faible résolution.
Somme de courants	Rapide, insensible au parasite d'interrupteur	Glitch, non monotone,

Table III.1: Comparaison entre les différentes architectures du CNAs

3. Choix des convertisseurs CNAs développées

Les spécifications requises par l'application du détecteur de vertex à base de MAPS pour l'ILC imposent la recherche d'architectures originales et innovantes à la bordure de l'état de l'art des CNAs [Jur&Mich, 2006, Huy et al., 2005, Chakir&Qjidaa, 2012, Chakir et al., 2015b]. Nous avons retenu l'architecture à source du courant pour la réalisation du CNA intégrable dans les convertisseurs SAR. Cette dernière ne nécessite pas d'amplificateur complexe, mais un comparateur et un réseau de condensateurs. Cependant, les problèmes sont inhérents au CAN SAR capacitif conventionnel pour sa grande surface et son long temps de stabilisation, ce qui entraîne des caractéristiques de moyenne vitesse et de résolution moyenne [Hon&Lee, 2007]. Pour réduire la surface de la puce et accélérer le fonctionnement de CAN SAR, la technique du courant commuté peut être adoptée pour sa compatibilité avec une faible alimentation, une grande vitesse et une petite surface de la puce [Yuan, 2009]. D'autre part, de nombreux systèmes de traitement de signaux sont basés sur le courant, comme le capteur monolithique à pixel actif (MAPS) pour le détecteur de vertex(VXD) [Win et al., 2009, Win et al., 2007a, Win et al., 2007b] International Linear Collider (ILC). Pour ces cas, les CANs en mode de courant peuvent évidemment offrir certains avantages par rapport aux implémentations en mode tension. L'idée originale de cette proposition est basée sur l'utilisation des nouvelles architectures de CNA à sources de courant dans le SAR en MC. En effet, l'utilisation de ces deux convertisseurs CNA-SC va diminuer l'effet du long du temps de stabilisation et de la dissipation d'énergie. De plus les blocs CNA-SC proposées devront consommer une puissance de quelques centaines de μW seulement et la surface occupée par ces CNA-SC est très petit comparé au d'autre convertisseurs. Les CNA-SC proposés seront développées en technologie CMOS 0.18 μm afin de pouvoir être intégrés dans le SAR-MC pour l'application détecteur de vertex à base de MAPS ou d'autres applications bien déterminées.

4. Proposition de nouvelle architecture du CNA-SC 6-bits à sources du courant [Chakir et al., 2015a]

Les convertisseurs numériques analogiques requis par les processeurs de signaux numériques, les instruments médicaux, la communication sans fil, détecteur de vertex à base de MAPS et d'autres équipements de traitement variant s'est avéré un défi continu pour les concepteurs analogiques d'améliorer et de développer de nouvelles architectures des convertisseurs CNA. Nous allons présenter dans ce paragraphe la conception complète d'une nouvelle architecture du convertisseur numérique-analogique CNA-SC 6-bits.

4.1. Spécification du CNA-SC 6bits

Le tableau III.2, ci-dessous résume les caractéristiques principales que doit présenter un CNA-SC 6bits afin de pouvoir être intégré à des convertisseurs SAR-MC pour la première couche du détecteur de vertex de l'ILC.

paramétrés	Spécifications
Technologie de fabrication(en μm)	CMOS 0.18 μm
Tension d'alimentation (en V)	1.8
Température (en C°)	27
Nombre de bit	6
Courant à pleine échelle (en μA)	516,6
Bit de poids faible (en μA)	8.20
Vitesse de conversion (en MHz)	≥ 10
Dimension (en μm)	35×Minimum
Consommation (en mW)	< 1
INL (en LSB)	$\leq \pm 0.5$
DNL (en LSB)	$\leq \pm 0.5$
Erreur de gain (en LSB)	Minimum
Erreur d'offset (en LSB)	Minimum

Table III.2: Spécifications du CNA-SC 6bits

L'intégration d'un CNA-SC 6bits au sein de convertisseur SAR en mode du courant propose de nombreux défis au vue des caractéristiques principales du détecteur. Ces dernières permettent de définir les caractéristiques principales d'un CNA compatible avec ce contexte d'implantation.

4.2. Diagramme block du CNA-SC 6bits

Le diagramme de base du CNA-SC 6bits proposé à source du courant est illustré à la figure III.5.

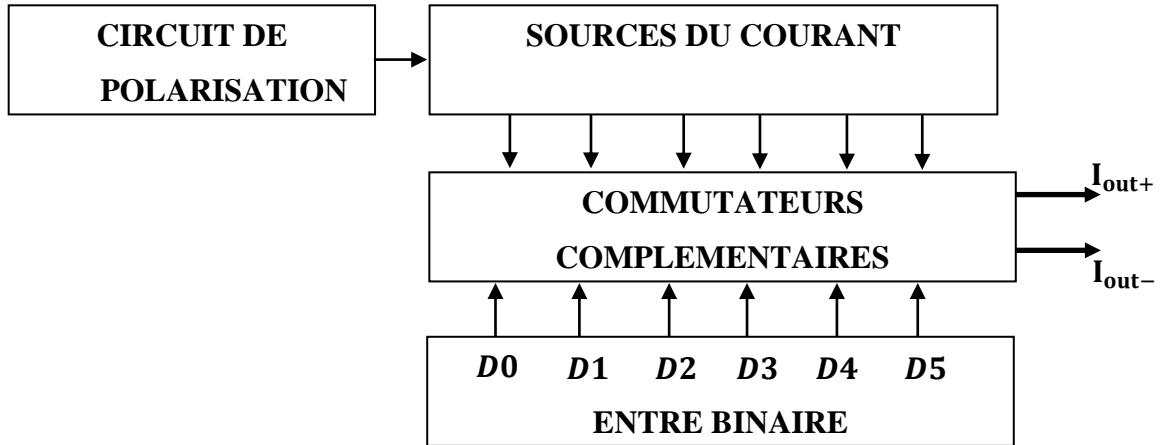


Figure III.5: Diagramme block du CNA-SC 6bits proposé

Cette architecture se compose de 6 bits à pondération binaire. Les sources du courant sont activées / désactivées au moyen de commutateurs complémentaires.

Dans l'implémentation binaire, les sources du courant sont mises à l'échelle selon le principe binaire. Comme montré dans la figure III.6.

Cela signifie que le courant de sortie du i^{th} la source du courant est égale à $2^i \times I$, où $I = I_{LSB}$, est le courant du bit le moins significatif (LSB).

La sortie d'un CNA à courant pondéré binaire N-bit idéal est donnée par:

$$I_{out+} = (D_0 + 2D_1 + 4D_2 + \dots + 2^{N-1}D_{N-1}) \times I \quad (III. 1)$$

Où D est le code d'entrée appliqué au convertisseur.

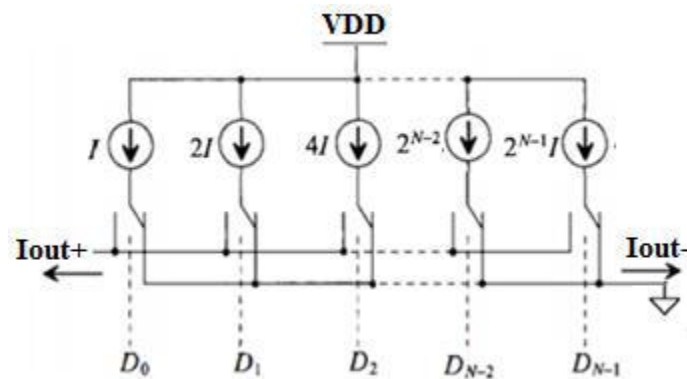


Figure III.6: Schéma de base d'un CNA à courant pondéré

Pour concevoir un CNA rapide, la solution proposée est d'associer les commutateurs CMOS aux sources de courant pondérées, comme le montre la figure III.7. Pour le convertisseur N-bit, ils doivent être utilisés N sources de courant respectivement : $I_0, 2I_0, 4I_0, \dots$ et $(2^{N-1})I_0$.

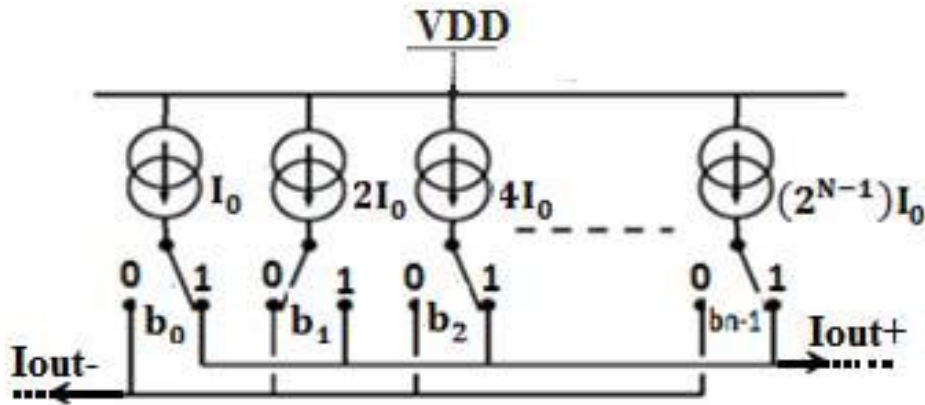


Figure III.7: CNA à source du courant commuté

Les résultats de la sortie du courant sont:

$$I_{out+} = (b_0 + 2b_1 + 4b_2 + \dots + 2^{N-1}b_{N-1})I_0 \quad (\text{III. 2})$$

$$I_{out+} = KI_0 \quad (\text{III. 3})$$

Et son complément est:

$$I_{out-} = (\bar{b}_0 + 2\bar{b}_1 + 4\bar{b}_2 + \dots + 2^{N-1}\bar{b}_{N-1})I_0 \quad (\text{III. 4})$$

$$I_{out-} = (2^N - 1 - K)I_0 \quad (\text{III. 5})$$

Le courant I_{tot} total tiré par le convertisseur est:

$$I_{tot} = I_{out-} + I_{out+} = (2^N - 1)I_0 \quad (\text{III. 6})$$

Dans cette partie, la conception du CNA-SC 6 bits à source du courant a été proposée. La technologie utilisée pour la conception est un processus CMOS $0,18\mu\text{m}$. Les grandes tailles des transistors de cellules courants aux MSB sont évitées dans cette architecture en utilisant le circuit miroir du courant cascode.

4.3. Architecture détaillée du CNA-SC 6bits

Le CNA à source du courant proposé est basé sur deux blocs principaux. Le premier est composé par des circuits miroir de courant cascode. Le deuxième block est formé par des commutateurs où la largeur des transistors de source de courant MSBs est maintenue égale à la largeur des LSB. Le schéma général du CNA-SC proposé est montré dans la Figure III.8.

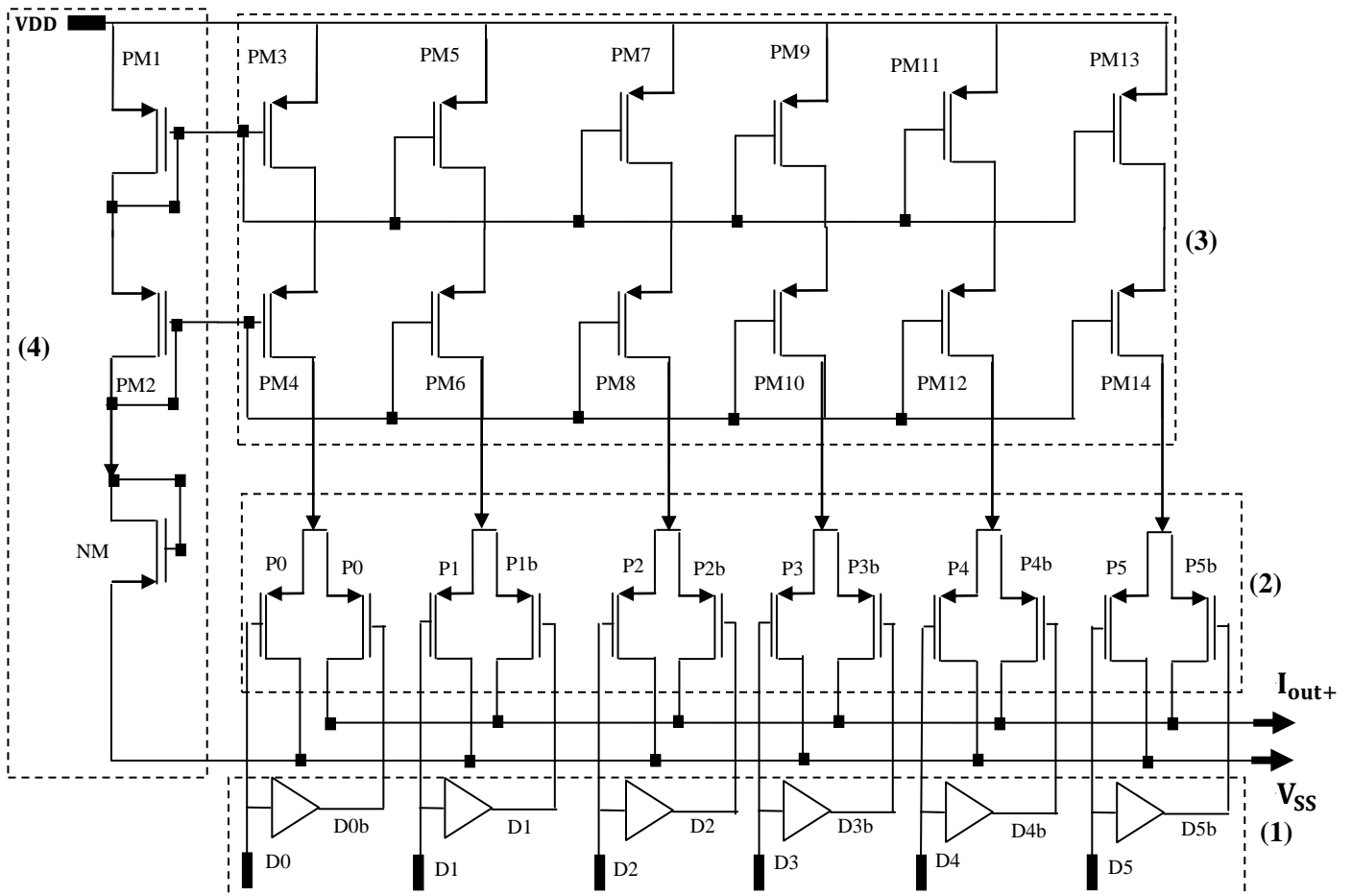


Figure III.8: Schéma général de CNA-SC 6bits proposé

Les blocs utilisés dans le CNA-SC 6bits proposée sont les suivants:

- (1) **Entrée binaire:** Le rôle de ce bloc est de contrôler Les interrupteurs PMOS par les bits D0 D1 D2 D3 D4 et D5 et leurs compléments qui sont: D0b, D1b, D2b, D3b, D4b et D5b étant le nombre de bits du CNA SC, D0 le bit de poids faible (LSB) et D5 le bit de poids fort (MSB).
- (2) **Commutateurs PMOS:** Le but de ce bloc est d'orienter les courants provenant de six sources à la sortie Iout + et Iout-.

Contrôles des signaux provenant du bloc d'entrée binaire (1) permettent aux interrupteurs pour allumer les deux branches de la sortie CNA est ON / OFF ou OFF / ON. Le courant passant à travers ces branches commence à partir de $8.20\mu\text{A}$ à $516,60\mu\text{A}$ selon que les commutateurs correspondent aux LSB ou les bits du bloc d'entrée binaire.

Le temps de commutation doit être égale quel que soit le courant qui passe à travers les branches afin d'avoir de bonnes caractéristiques dynamiques. Ce temps de commutation est proportionnelle à la quantité de charges accumulées et inversement proportionnelle à la taille du MOS qui est traversé par le courant. Ainsi, pour un courant 32 fois, il est nécessaire d'augmenter la taille du transistor MOS 32 fois. Ainsi le commutateur MOS correspondant au LSB sont des taille minimale (multiple $m = 1$, $W = 4\mu\text{m}$, $L = 0.36\mu\text{m}$), tandis que les commutateurs MOS correspondant au MSB sont 32 fois plus ($m = 32$, $W = 4\mu\text{m}$, $L = 0.36\mu\text{m}$).

Le principe de l'interrupteur est montré dans la figure III.9 suivant:

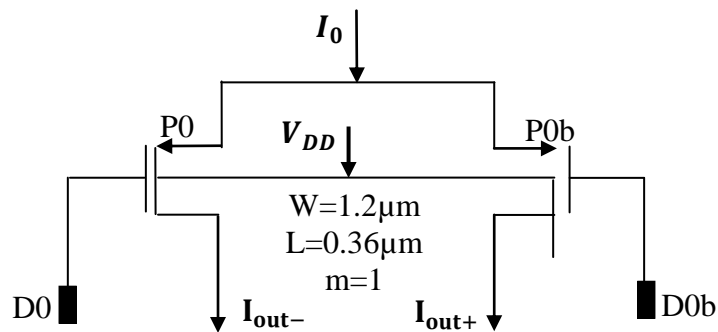


Figure III.9: Principe de l'interrupteur correspondant à LSB

Cette sortie différentielle est actuellement la meilleure façon de compenser les charges de la circulation lors de la commutation des commutateurs et de limiter également les glitches sur le signal de sortie.

- (3) **Sources de courant pondérées:** Le but de ce bloc est de fournir les courants équivalant à 6 commandes de commutateurs. La somme de ces courants est la valeur de pleine échelle $516.60\mu\text{A}$ de CNA MC. L'ensemble de courant de référence sur la base du miroir de courant cascode est copié dans les sources de courant pondérées; par exemple, dans la figure III.8, on distingue six sources de courant correspondant aux 6 bits. Ainsi, la source I_0 équivalente à LSB délivre $516.60\mu\text{A} / 63 = 8.20\mu\text{A}$, la source du second bit le moins significatif $2I_0$ délivre deux fois le courant dans une première jusqu'à la sixième source de courant $32I_0$ qui délivre $32 \times I_0 = 262.4\mu\text{A}$.

(4) La polarisation de la tension: Le but de ce bloc est de générer la tension de référence V_{bias} pour polariser le miroir de courant cascode du type PMOS.

Les interrupteurs PMOS sont contrôlés par les bits D0, D1, D2, D3, D4 et D5 et leurs compléments sont D0b, D1b, D2b, D3b, D4b et D5b étant le nombre de bits du CNA MC. Cela revient à dire que le bit D0 représente le bit le moins significatif (LSB) et D5 est le bit le plus significatif (MSB). Lorsque le bit D_i est '0' l'interrupteur PMOS correspondant est fermé et le courant correspondant s'écoule vers la sortie. Dans ce type de convertisseurs, chaque source de courant d'indice i commandée par des commutateurs PMOS est constituée de 2^i sources de courant élémentaires en parallèle. Le courant associé à cette source $I^i = 2^i \times I_0$.

Où I_0 le courant débité par une source de courant élémentaire. Ainsi, à une instante donnée t_0 , si l'entrée numérique $\{D_i(t_0)\}$, $0 \leq t_0 \leq N - 1$ est considérée, l'expression du courant de sortie du CNA est la suivante:

$$I_{out}(t_0) = \sum_{i=0}^{N-1} 2^i I_0 \times D_i(t_0) \quad (\text{III. 7})$$

Le principal inconvénient de cette architecture est l'existence d'interrupteur (glitches) en raison des délais qui existent dans le circuit lorsque les différents courants sont commutés. Lors d'une transition de l'entrée de '01111...1' à '10000...0', théoriquement le bit de MSB commute à '1' pendant que simultanément les N-1 bits de LSB commutent à '0', mais il est possible que les LSB commutent avant les MSB faisant passer temporairement le courant de sortie du CNA à zéro, ou bien que les MSB commutent avant les LSB faisant passer temporairement le courant de sortie du CNA à sa valeur maximale.

Ces glitches sont coûteux en termes de consommation, mais du point de vue du fonctionnement même du CAN, il suffit de choisir un délai suffisamment long pour le contrôleur afin de s'affranchir de ces valeurs temporaires de sortie non valides.

4.4. Architecture des commutateurs PMOS proposé

Les commutateurs sont constitués de transistors PMOS simples comme représenté sur la figure III.10. Pour obtenir de meilleures performances, ils sont toujours couplés par paire pour former une paire différentielle, ce qui permet à la source d'alimentation ne soit jamais complètement coupé. La sortie du CNA est composée de deux courants I_{out+}

et son complémentaire I_{out-} , mais dans notre cas, nous sommes intéressés par le courant I_{out+} , en connectant le courant de sortie I_{out-} à la masse V_{SS} .

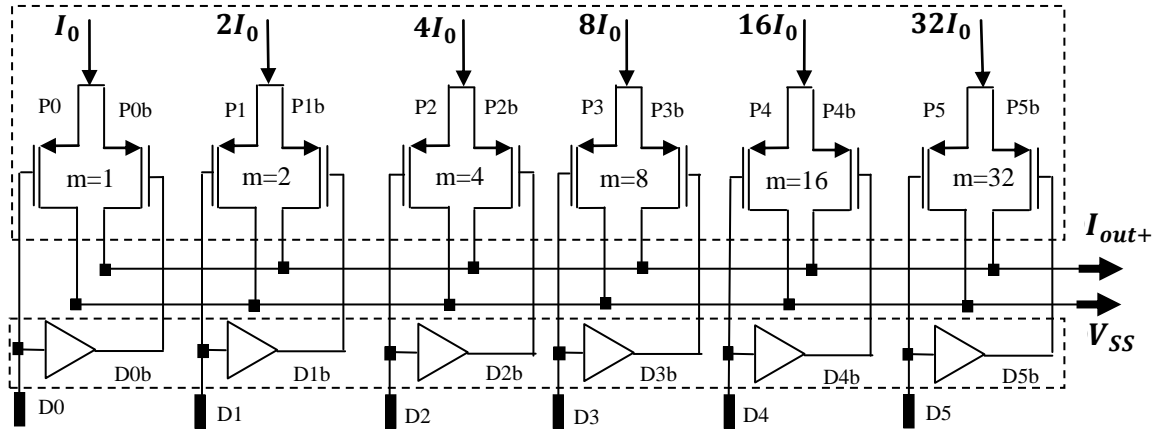


Figure III.10: Commutateurs utilisés dans CNA-SC-6bits

4.5. Architecture des sources de courant PMOS proposé

Il est facile de concevoir un ensemble de sources de courant pondéré en technologie CMOS en utilisant des miroirs de courant, comme le montre la figure III.11. En effet, il suffit de jouer sur les rapports de la W / L des transistors de sortie.

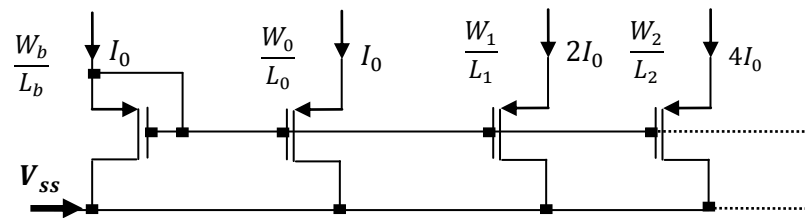


Figure III.11: Miroirs de courant pondéré

Toutefois, en raison des effets du bruit (effets de canal court, la diffusion latérale, ...), il est difficile d'apparier les transistors lorsque le nombre de bits est élevé. En effet, l'erreur admissible des courants forts doit être inférieure à la plus faible I_0 . Pour améliorer la précision, nous utilisons souvent les sources de l'unité qui sont combinées avec 2, 4, 8 ... Dans ce cas, toutes les sorties des transistors sont identiques, comme représenté sur la figure III.12

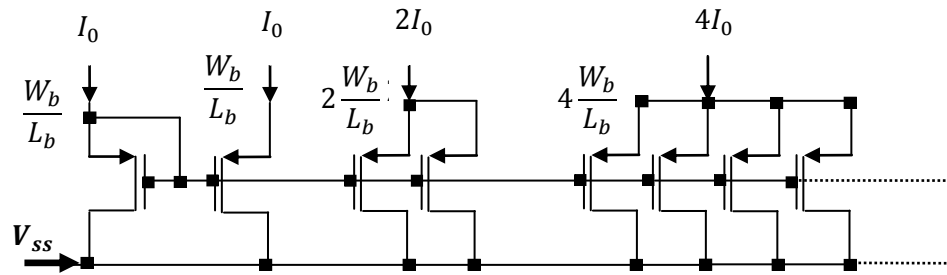


Figure III.12: Sources unitaires

Les sources de courant sont utilisés dans le CNA-SC sont les sources cascades, comme le montre la figure III.13. La résistance de sortie est supérieure à un miroir de courant simple et les résultats sont meilleurs contrairement à un miroir de courant simple.

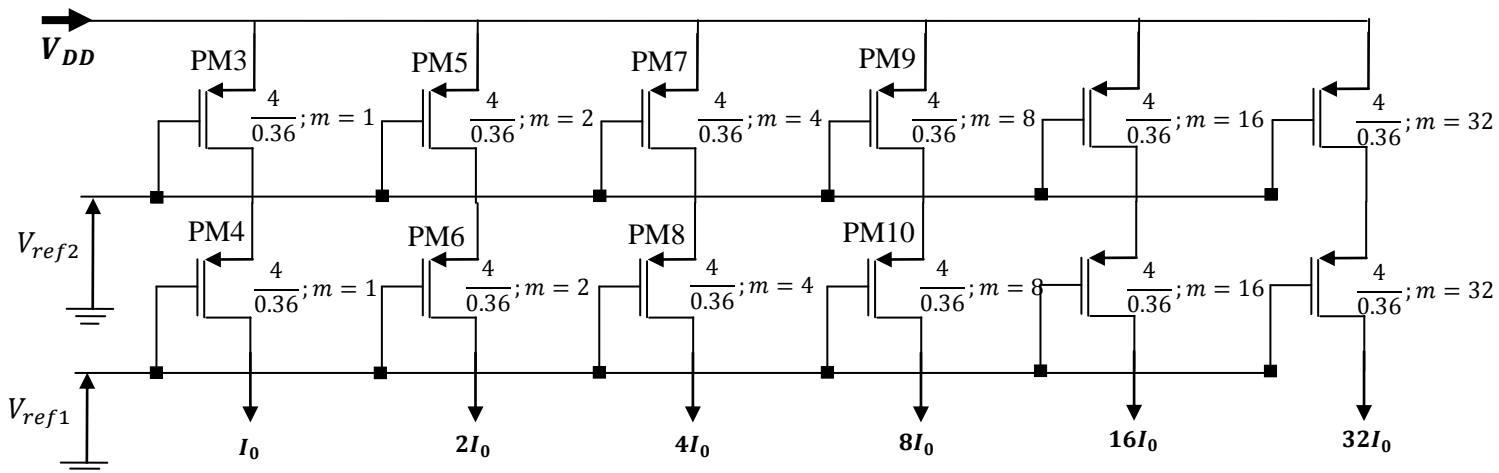


Figure III.13: Sources du courant utilisé dans le CNA-SC 6bits

La longueur et la largeur des transistors source sont sélectionnées pour répondre aux spécifications (contraintes INL et DNL). Une fois que la taille des transistors sources calculée, les transistors cascades sont dimensionnés comme indiqué dans la figure III.13. Cette diminution de la longueur des transistors cascades augmente la conductance de sortie vue par les transistors sources. Les deux transistors connectés en diode PM1 et PM2 (voir figure III.8) fournissent deux tensions de référence V_{ref1} et V_{ref2} pour polariser les sources du courant en cascades. Ce dernier a été dimensionné avant d'obtenir une tension V_{ds} de transistors source proche de la tension de saturation.

Les avantages du convertisseur proposé de type CNA-SC 6-bits sont :

- ✓ Une assez bonne efficacité de consommation de la puissance,
- ✓ Une faible surface occupée sur la puce

- ✓ Une bonne vitesse de conversion

Ces avantages sont dus au fait que l'architecture proposée n'exige ni des amplificateurs opérationnels ni des condensateurs ce qui rend cette architecture très petite, très rapide et moins gourmande en dissipation de puissance. De plus ce CNA utilise seulement des transistors CMOS en tant que sources du courant et des commutateurs. Ceci à l'avantage de réduire la surface occupée sur la puce, réduire la puissance d'énergie dissipée.

Malgré ces résultats favorables du CNA-SC 6-bits, cette architecture présente une instabilité importante au niveau de la polarisation des miroirs du courant. De plus, malgré sa faible surface cette architecture ne répond pas au cahier de charge au niveau de la surface exigée.

Pour résoudre ces deux problèmes on va proposer une nouvelle architecture plus stable qui occupe moins de surface. En effet ; nous allons proposer l'ajout d'un nouveau module noté RC pour stabiliser la polarisation ainsi la protection des grilles des sources du courant. De plus, nous allons diminuer la résolution à 4 bits, demandée par le cahier de charge, pour diminuer la surface et aussi dans l'application du détecteur de vertex, une résolution de 4 bits est suffisante pour obtenir une résolution spatiale sur la matrice de 2 μm demandée par le cahier de charge. Cette nouvelle architecture est présentée dans les paragraphes suivants.

5. Proposition de nouvelle architecture du CNA-SC 4bits à sources du courant [Chakir et al., 2018]

Nous allons présenter dans ce paragraphe la conception complète d'une nouvelle architecture du convertisseur numérique-analogique CNA-SC 4bits. Ce dernier sera appliqué pour fournir un équilibre entre les performances et la puissance, la surface et la complexité. Ce CNA-SC 4bits est le plus important par rapport au CNA-SC 6bits en raison de sa bonne stabilisation de la tension de polarisation des grilles des miroirs de courant, sa faible dissipation et sa petite taille.

5.1. Spécification du CNA-SC 4bits

Le convertisseur CNA-SC 4bits proposé, est conçu pour répondre aux spécifications. Le tableau ci-dessous nous montre ces spécifications.

paramétrés	Spécifications
Technologie de fabrication(en μm)	CMOS 0.18 μm
Tension d'alimentation (en V)	1.8
Température (en $^{\circ}\text{C}$)	27
Nombre de bit	4
Courant à pleine échelle (en μA)	125
Bit de poids faible (en μA)	8.33
Vitesse de conversion (en MHz)	≥ 10
Dimension (en μm)	Minimum
Consommation (en mW)	< 1
INL (en LSB)	$\leq \pm 0.5$
DNL (en LSB)	$\leq \pm 0.5$
Erreur de gain (en LSB)	Minimum
Erreur d'offset (en LSB)	Minimum

Table III.3: Spécifications du CNA-SC 4bits

5.2.Diagramme block du CNA SC-4bits

Le schéma de principe du CNA-SC 4bits proposé est illustré à la figure III.14.

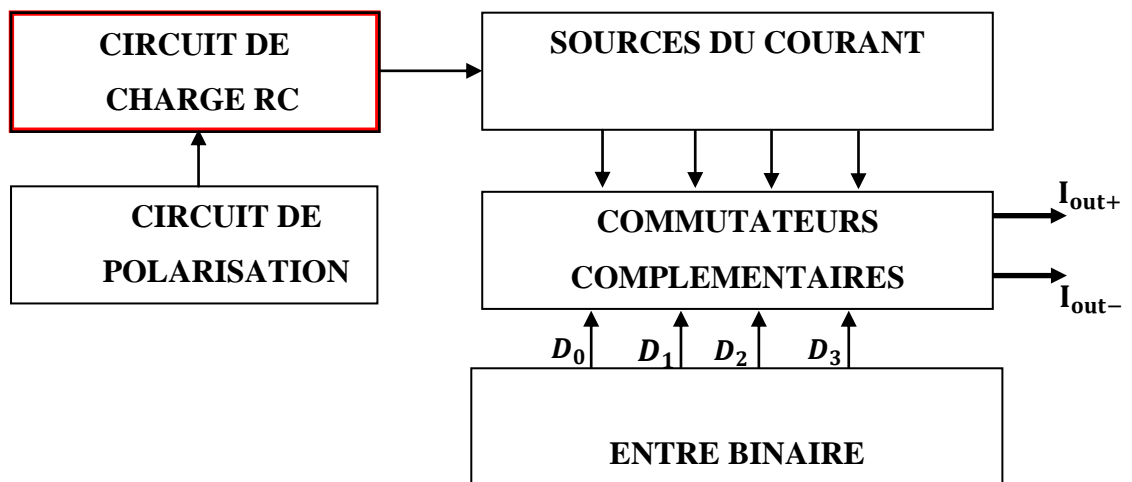


Figure III.14: Diagramme block du CNA-SC 4bits proposé

Il est composé de cinq blocks :

- ✓ Block des entrées binaires
- ✓ Block des commutateurs
- ✓ Block de la matrice de sources du courant
- ✓ Block du circuit de polarisation
- ✓ Block du circuit de charge RC

Les quatre premiers blocks ont été déjà exposés dans les paragraphes précédents. Par contre le sixième block est un nouveau block ajouté pour stabiliser le CNA. Ce dernier sera présenté dans les paragraphes suivants.

5.3. Architecture détaillée du CNA SC-4bits

La figure III.15 montre la structure générale détaillée du CNA-SC proposée. Cette dernière est constituée de 5 blocs fonctionnels qui sont:

- ✓ Le block des entrées binaires est formé par quatre inverseurs.
- ✓ Le block des commutateurs est formé par quatre commutateurs CMOS
- ✓ Le block des sources de courant pondérées est formé par 6 sources de courant (deux transistors PMOS en cascades).
- ✓ Le block de polarisation est formé par un pont diviseur basé sur des transistors PMOS connectent en diode.
- ✓ Le block du circuit de charge RC est forme d'un PMOS en série à une R suivi d'un condensateur C.

Cette structure utilise des sources de courant pondérées avec le code binaire. Il se compose d'une rangée des sources de courant pondérées. Les sources de courants sont reliées en parallèle. Elles sont reliées à la sortie par l'intermédiaire du commutateur MOS, qui est commandé par le code d'entrée. Par conséquent, le courant de sortie du CNA est proportionnel au code d'entrée.

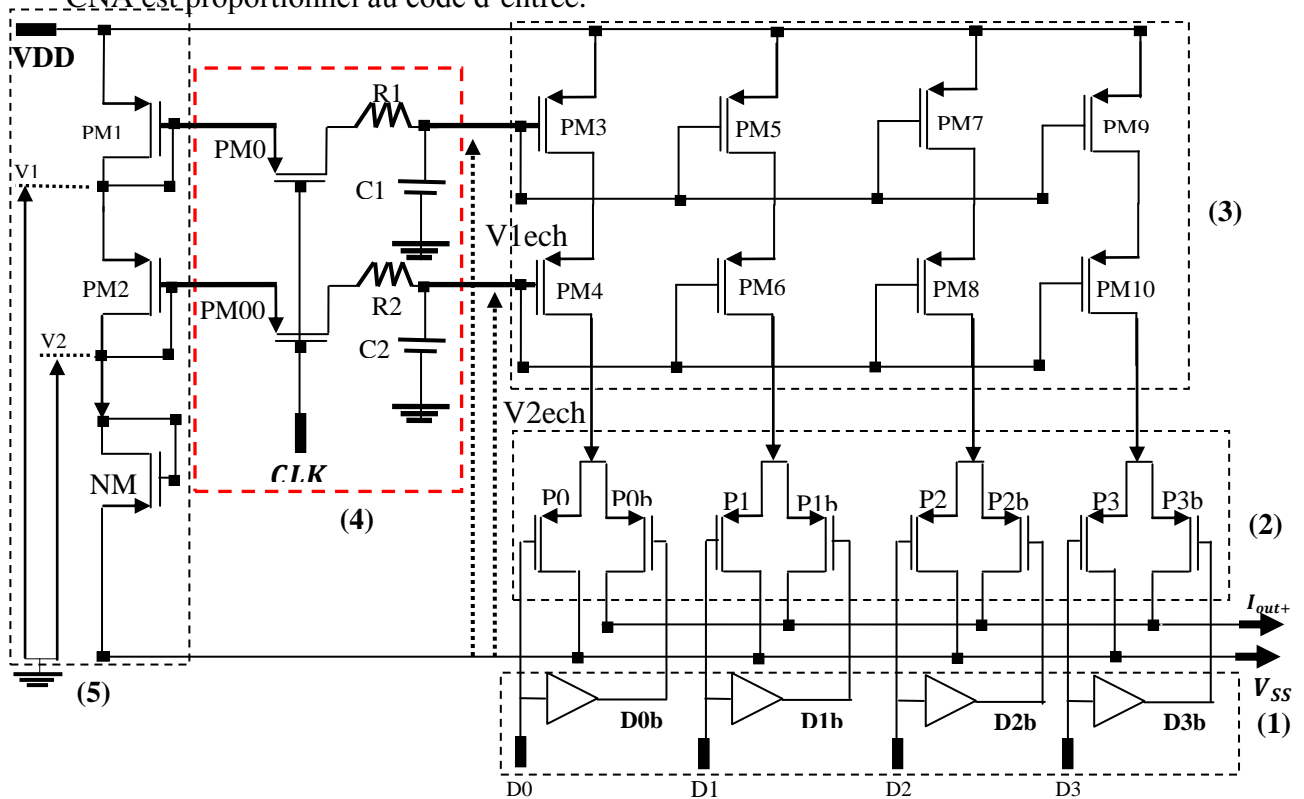


Figure III.15: Structure proposée du CNA-SC 4bits

5.4. Architecture de circuit du charge RC proposé

Tous les circuits ou systèmes électriques ou électroniques souffrent d'une certaine forme de «temporisation» entre son entrée et sa sortie, lorsqu'un signal ou une tension, continue, (DC) ou alternée (AC) est d'abord appliquée.

Ce délai est généralement connu comme la temporisation ou la constante de temps du circuit et c'est la réponse de temps du circuit lorsqu'une tension ou un signal d'entrée est d'abord appliqué. La constante de temps résultante de tout circuit ou système électronique dépendra principalement des composants réactifs soit capacitifs ou inductifs qui lui sont connectés, soit une mesure du temps de réponse avec des unités de Tau - τ .

Lorsqu'une tension continue croissante est appliquée à un condensateur déchargé, le condensateur tire un courant de charge et "se charge", et lorsque la tension est réduite, le condensateur se décharge dans le sens inverse. Parce que les condensateurs sont capables de stocker de l'énergie électrique, ils agissent comme de petites batteries et peuvent stocker ou libérer l'énergie au besoin.

Après un temps de charge, le condensateur est complètement chargé, et la tension passe le condensateur, (V_{1ech} et V_{2ech}) est équivalent à la tension générée par le pont diviseur (V_1 et V_2). Ensuite, plus de courant circule dans le circuit lorsque le condensateur est complètement chargé. La période de temps après ce point $5T$ est nommée Période d'état stable.

L'idée originale de cette proposition est basée sur l'utilisation d'un circuit de charge RC dans le CNA à sources de courant. En effet, l'utilisation de ce circuit RC va :

- a. Stabiliser la tension de polarisation grille – source pour le miroir du courant
- b. Diminuer le courant sur la grille du miroir du courant.
- c. Protéger les grille des sources du courant contre les surtensions d'origine statique ou dynamique par l'utilisation d'un filtre passe bas RC afin d'éviter leur destruction.

6. Conclusion

Les deux architectures de CNA-SC proposées présentent une première approche intéressante concernant un CNA intégrables dans un convertisseur SAR-MC. Cette architecture a été développée dans le cadre d'une application pour des détecteurs de vertex à base de MAPS. Notre contribution a porté sur la proposition de deux nouvelles architectures du CNA à bas des sources du courant entraînent à la fois une faible consommation de puissance, une faible surface occupée sur silicium et une vitesse de conversion moyenne. À l'avenir, le SAR-MC intégrant un CNA-SC sera économe en énergie et rentable. Les avantages du convertisseur proposé de type CNA-SC 6-bits sont :

- ✓ Une assez bonne efficacité de consommation de la puissance,
- ✓ Une faible surface occupée sur la puce
- ✓ Une bonne vitesse de conversion

Ces avantages sont dus au fait que l'architecture proposée n'exige ni des amplificateurs opérationnels ni des condensateurs ce qui rend cette architecture très petite, très rapide et moins gourmande en dissipation de puissance. De plus ce CNA utilise seulement des transistors CMOS en tant que des sources courants et des commutateurs. Ceci a l'avantage de réduire la surface occupée sur la puce, réduire la puissance d'énergie dissipée.

Malgré ces résultats favorables du CNA-SC 6-bits, cette architecture présente une instabilité importante au niveau de la polarisation des miroirs de courants. De plus malgré sa faible surface cette architecture ne répond pas au cahier de charge au niveau de la surface exigée.

Pour résoudre ces deux problèmes nous avons proposés une nouvelle architecture plus stable qui occupe moins de surface. En effet ; nous avons proposé l'ajout d'un nouveau module noté RC pour stabiliser la polarisation des sources du courant et de diminuer le courant sur les grilles des sources du courant. De plus nous avons diminué la résolution à 4 bits, demandée par le cahier de charge, pour diminuer la surface et aussi dans l'application du détecteur de vertex, une résolution de 4 bits est suffisante pour obtenir une résolution spatiale sur la matrice de 2 μm demandée par le cahier de charge.

Les résultats simulés montrent que l'architecture offre de nombreuses performances intéressantes telles qu'une faible consommation d'énergie aux taux d'échantillonnage

moyenne de 25Me/s. De plus CNA-SC à 4bits occupe une très faible surface. Par conséquent, avec ces caractéristiques optimisées, le SAR CM intégrant un CNA-SC 4bits sera économe en énergie et rentable.

Dans le chapitre suivant nous allons présenter les résultats expérimentaux des trois nouvelles architectures qui montrent les performances intéressantes de notre proposition par rapport aux autres, en termes de dissipation de puissance, de surface occupée sur silicium et de fréquence d'échantillonnage.

CHAPITRE IV : ETUDE EXPERIMENTALE

1. Introduction

Dans ce chapitre, nous exposons tout d'abord les différents paramètres utiles définissant les performances d'un convertisseur analogique-numérique. Afin de pouvoir comparer de manière efficace les différentes performances des CANs proposées, une norme IEEE a vu le jour en 2001 sous l'intitulé IEEE Standard for terminology and test methods for analog to digital converters [Ieee, 2001]. L'ensemble des généralités sur les CANs qui vont être présentées repose sur ce standard. Puis nous présentons les règles de dessins des masques en vue de la fabrication des circuits intégrés.

Ensuite, nous allons présenter les résultats expérimentaux des trois architectures proposées. Nous commencerons par la simulation complète de notre convertisseur analogique numérique Flash 4 bits global. Puis la simulation complète du convertisseur CNA à source du courant 6-bits en fin la simulation complète du convertisseur CNA à source du courant 4-bits. Nous finirons par une conclusion de ce chapitre et une conclusion générale.

2. Principes généraux du convertisseur analogique numérique

La conversion analogique-numérique se passe généralement en deux étapes : l'échantillonnage et la quantification. L'échantillonnage consiste à prélever un échantillon du signal analogique, ceci se fait par un circuit nommé échantillonneur-bloqueur (E/B). La quantification est l'étape de conversion analogique-numérique à proprement dite : elle consiste à transformer cette tension réelle V_{analog} en un nombre binaire $V_{\text{num}} = (D_i)_{0 \leq i \leq N-1}$, choisie parmi un ensemble fini et prédéterminé de valeurs. Un CAN est caractérisé par deux principaux paramètres : son nombre de bits (ou résolution) N et sa dynamique d'entrée $\Delta V = [V_{\text{min}}, V_{\text{max}}]$. A partir de cela, on peut en déduire le quantum ou LSB : $q = \frac{\Delta V}{2^N - 1}$, c'est la valeur de base dont seront multiples toutes les tensions numériques de sortie. Pour une tension analogique d'entrée V_{analog} le CAN fera correspondre la tension numérique V_{num} telle que (Figure IV.1):

$$|V_{\text{analog}} - V_{\text{out}}| \leq \frac{q}{2} \text{ Avec :}$$

$$V_{\text{out}} = q [D_{N-1} * 2^{N-1} + \dots + D_1 * 2^1 + D_0 * 2^0] \quad (IV.1)$$

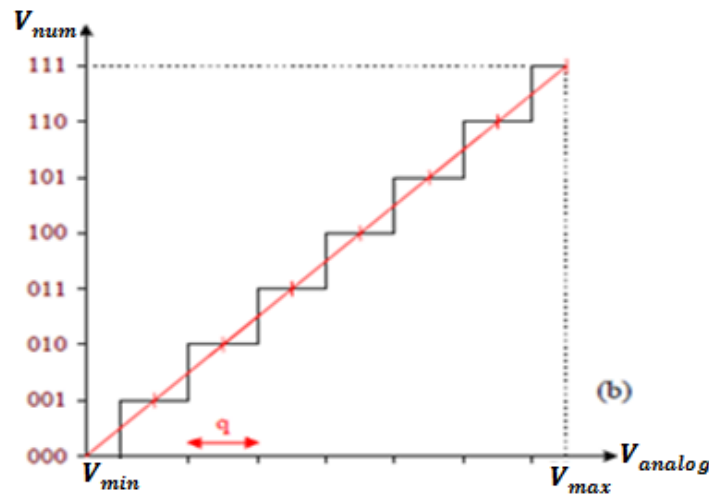


Figure IV.1: Fonction de transfert d'un CAN.

3. Critères pour l'évaluation des performances d'un CAN

Nous allons dans ce chapitre définir les différents paramètres utiles définissant les performances d'un convertisseur analogique-numérique. Ces caractéristiques ne sont pourtant pas toujours données dans les articles présentant de nouvelles architectures de conversion.

Il existe dans la littérature une multitude de critères pour estimer les performances d'un convertisseur analogique numérique. Malgré cela, seulement quelques caractéristiques sont vraiment explicites : le SNR (Signal-to-Noise Ratio), le SFDR (Spurious-Free Dynamic Range), le nombre de bits effectifs et enfin la puissance consommée. Le nombre effectif de bits peut être déterminé en dynamique (SNR et SFDR) ou en statique avec l'INL (Integral Non-Linearity) ou la DNL (Differential Non-Linearity), cependant les mesures dynamiques permettent une meilleure précision de la résolution.

3.1.Paramètres statiques

La Figure IV.2 est représentée la fonction de transfert d'un CAN idéal, pour une résolution N de trois bits. L'axe horizontal représente l'entrée analogique V_{analog} , et l'axe vertical les états numériques discrets V_{num} de la sortie. La dynamique du signal d'entrée est comprise entre 0 et V_{max} . Dans le cas idéal, la largeur et la hauteur d'une « marche » sont constantes et valent respectivement V_{LSB} et 1LSB .

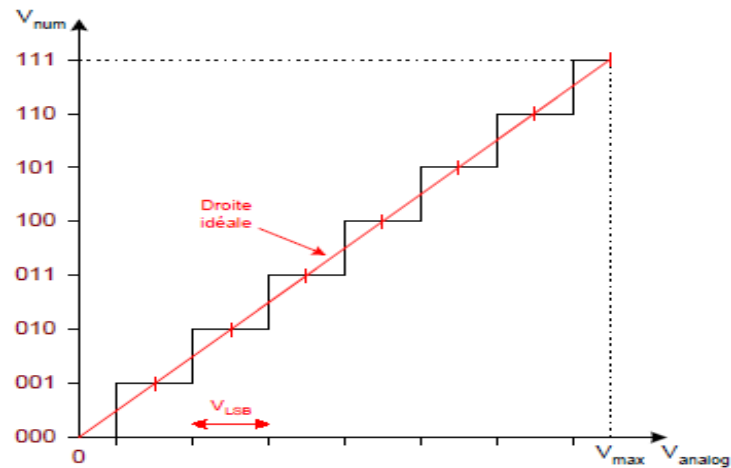


Figure IV.2: Fonction de transfert d'un CAN idéal

En réalité, cette fonction de transfert idéale est altérée par un certain nombre de paramètres tels que le bruit, les problèmes de matching entre composants, l'erreur d'ouverture des comparateurs, Ces erreurs statiques peuvent être décrites par seulement quatre paramètres : l'erreur d'offset, l'erreur de gain, la DNL et l'INL.

3.1.1. Erreur d'offset

Il s'agit de la différence entre la valeur nominale d'offset (l'origine de la fonction de transfert : le point 0) et la valeur actuelle d'offset définie comme la mi-largeur de la première marche de la caractéristique (Figure IV.3), exprimée en LSB. Cette erreur translate globalement toute la caractéristique du convertisseur et peut facilement être compensée par trimming.

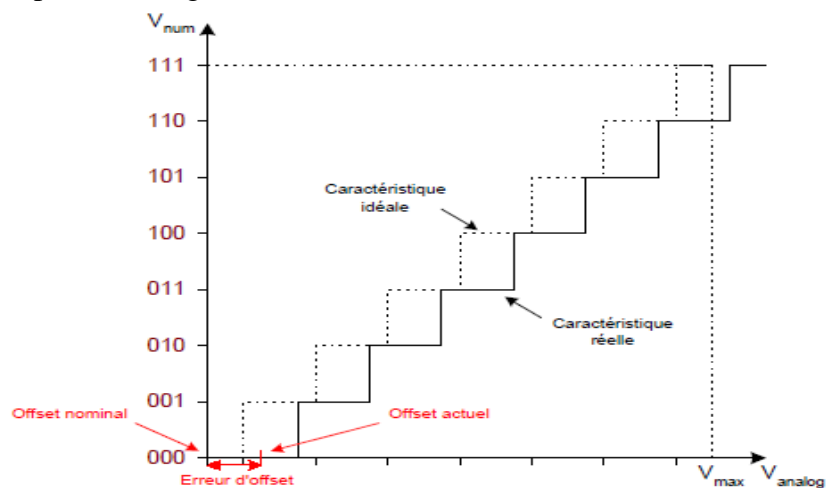


Figure IV.3: Erreur d'offset d'un CAN

L'Erreur d'offset est définie par l'écart existant sur le code 0 (Figure IV.3). On peut relever expérimentalement les valeurs des transitions réelles, soit $T'(i)$.

L'erreur d'offset est définie par :

$$\text{Erreur d'offset} = T'(1) - T(1) \quad (\text{IV. 2})$$

Elle est due à la présence d'offset des amplificateurs opérationnels et comparateurs qui sont utilisés pour la réalisation du convertisseur.

3.1.2. Erreur de gain

On suppose l'erreur d'offset maintenant supprimée.

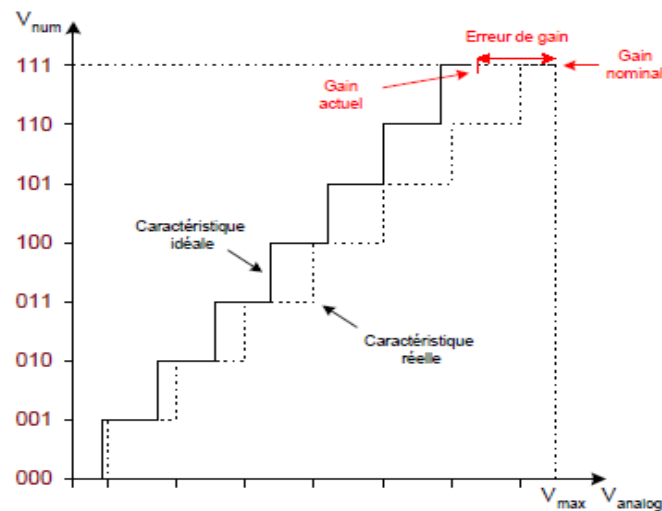


Figure IV.4: Erreur de gain d'un CAN

L'erreur de gain est définie comme étant la différence entre la valeur nominale de gain (le point extrême de la fonction de transfert : le point d'abscisse V_{\max}) et la valeur actuelle du gain défini comme l'abscisse à mi-largeur de la dernière marche de la caractéristique (Figure IV.4), exprimée en LSB. Cette erreur représente une différence de pente entre la fonction de transfert idéale et la fonction de transfert réelle : elle affecte globalement toutes les marches du même pourcentage de LSB. Cette erreur peut être facilement compensée par trimming .

L'erreur de gain : Si, après avoir corrigé l'erreur de décalage, on obtient la dernière transition : $T'(2^n - 1) \neq T(2^n - 1)$

On définit l'erreur de gain par :

$$\text{Erreur de gain} = T'(2^n - 1) - \text{offset} - T(2^n - 1) \quad (\text{IV. 3})$$

L'erreur de gain peut être due à une erreur sur la référence de tension et sur les gains des amplificateurs utilisés.

Une fois que l'erreur d'offset et de gain ont été supprimées, la fonction de transfert d'un CAN réel peut avoir l'allure présentée figure IV.5. Contrairement à la figure IV.2, bien que la hauteur des marches soit toujours rigoureusement égale à 1LSB, leur largeur n'est plus constante. On définit maintenant deux autres paramètres statiques : la DNL et l'INL.

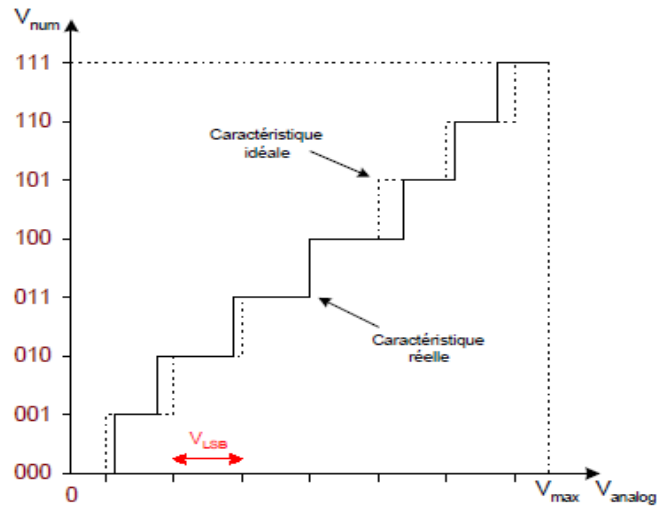


Figure IV.5: Fonction de transfert d'un CAN réel

3.1.3. Erreur de la DNL

A partir de la fonction de transfert réelle d'un CAN, on peut déterminer la DNL (Differential Non-Linearity Error). Elle est définie, pour chaque marche, comme étant la variation de la largeur de la marche autour de V_{LSB} , exprimée en pourcentage de V_{LSB} . On peut donc tracer une courbe de DNL en fonction des codes numériques de la sortie V_{num} . Dans la littérature, la DNL d'un CAN peut être aussi définie comme la valeur maximale des DNL ainsi calculées. Pour le cas idéal, la DNL vaut exactement zéro. Par contre, dans le cas réel, si elle excède 1LSB, le convertisseur peut avoir des codes manquants i.e. des valeurs numériques de la sortie V_{num} qui ne seront jamais effectives. Un CAN ayant une DNL de 0.5LSB signifie que la largeur de ses paliers peut varier de 0.5LSB à 1.5LSB.

La non-linéarité différentielle (DNL) est définie pour chaque palier, et elle représente l'écart entre les largeurs réelle et idéale de ce palier :

$$DNL(i) = T'(i) - T(i - 1) - q \quad (IV.4)$$

Avec « q » : le pas de quantification

3.1.4. Erreur de l'INL

On définit également l'INL (Integral Non-Linearity Error), traduisant la déviation des points de la fonction de transfert réelle d'une droite idéale. Cette dernière peut être définie de plusieurs façons : tout d'abord comme la droite joignant les deux points extrêmes de la caractéristique : (0,000) et (V_{max} , 111) (Figure IV.2), elle peut aussi être définie comme la droite obtenue en minimisant l'erreur quadratique entre les points réels de la caractéristique. C'est généralement la première définition qui est la plus couramment utilisée. Comme pour la DNL, on peut tracer l'INL en fonction des codes numériques de la sortie V_{num} et on la trouve aussi définie, dans la littérature, comme la valeur maximale des INL ainsi calculées. Pour le cas idéal, l'INL ainsi définie vaut exactement zéro. Le nom Integral Non- Linearity Error vient du fait que si on fait la somme de toutes les DNL comprises entre la première marche à celle nous intéressant, on retrouve l'INL de cette marche. Un CAN sera monotonique si son erreur INL maximale n'excède pas 0.5LSB.

La non-linéarité intégrale (INL) représente la différence entre les points de la fonction de transfert réelle et de la droite idéale :

$$INL(i) = T'(i) - T(i) \quad (IV.5)$$

On remarque aussi que:

$$INL(i) = \sum_{j=1}^i (DNL(j)) \quad (IV.6)$$

3.2.Paramètres dynamiques

3.2.1. Erreur du SNR

Pour un CAN idéal, la seule erreur introduite lors de la conversion analogique-numérique est le bruit de quantification : en effet, on transforme la tension analogique d'entrée pouvant prendre n'importe quelle valeur réelle dans une plage donnée en une valeur numérique évoluant parmi un ensemble fini d'éléments. Après calcul, en considérant que le bruit de quantification est un bruit blanc, la valeur du rapport signal sur bruit vaut :

$$SNR_{dB} = 6.02N + 1.76 \quad (IV.7)$$

Avec N la résolution théorique du convertisseur. Comme on peut se douter intuitivement, plus la résolution du convertisseur est élevée, i.e. plus le nombre d'éléments finis que peut prendre la sortie digitale est grand, et plus le SNR est faible.

Dans le cas d'un CAN réel, le SNR tient non seulement compte de ce bruit de quantification, mais aussi du bruit apporté par toutes les imperfections qui peuvent exister dans les blocs du circuit, du bruit thermique, de la DNL, de l'INL, ... On peut donc, après avoir mesuré le SNR, en déduire le nombre effectif de bits du CAN ou ENOB (Effective Number Of Bit) à partir de la relation (IV.7):

$$\text{ENOB} = \frac{\text{SNR}_{\text{dB}} - 1.76}{6.02} \quad (\text{IV.8})$$

D'après [Walden, 1999a], on remarque dans la pratique que la résolution effective ENOB est de 1,5 à 2 bits inférieure à la résolution théorique N.

Dans le cas d'un CAN synchrone, la mesure du SNR se fait, en simulation électrique ou en test on chip, de la même manière : on fixe la fréquence f_{ech} de l'échantillonneur-bloqueur situé en amont du CAN, puis on introduit en entrée du circuit une sinusoïde pure de fréquence f donnée (devant respecter le théorème de Shannon : $f \leq 2 \cdot f_{\text{ech}}$), On effectue enfin une FFT sur la suite d'échantillons numériques en sortie du CAN. Le SNR est calculé en réalisant le rapport de l'amplitude du fondamental (la fréquence f) avec l'intégrale sur la bande utile $[-\frac{f_{\text{ech}}}{2}, \frac{f_{\text{ech}}}{2}]$ de la densité spectrale de bruit. On pourra donc par la suite tracer le SNR en fonction de la fréquence f d'entrée, f_{ech} étant prise comme paramètre. Le SNR est constant pour les fréquences basses puis décroît par la suite. La valeur de la fréquence f pour laquelle le SNR a diminué de 3dB se nomme la bande passante du convertisseur ou ERBW (Effective Resolution Bandwidth), cette valeur est très importante puisqu'elle indiquera la bande de fréquence sur laquelle le convertisseur pourra être utilisé. Si $\text{ERBW} \geq \frac{f_{\text{ech}}}{2}$, on parle de convertisseur de Nyquist.

Le SNR ainsi défini est souvent appelé Signal to Noise plus Total Harmonic Distortion, en effet, on prend non seulement en compte le bruit mais également la distorsion harmonique. Le calcul du SNR vu précédemment doit être fait avec précautions : un autre paramètre non vu jusqu'ici joue un rôle très important : c'est l'amplitude V_{in} de la sinusoïde en entrée. En effet, plus l'amplitude augmente et plus le SNR augmentée. On peut donc se demander quelle est la valeur de cette dernière à prendre pour estimer le SNR et donc l'ENOB.

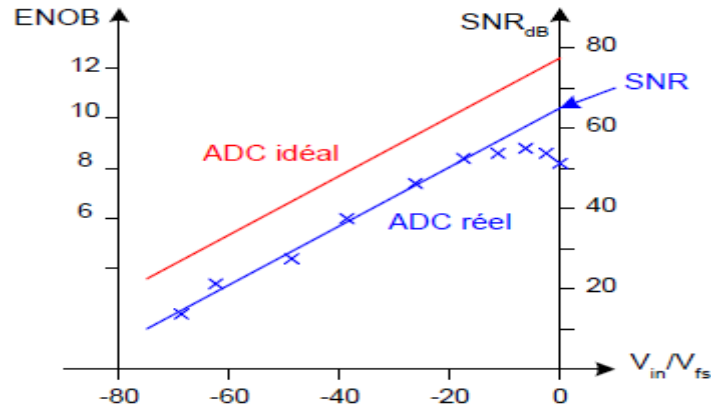


Figure IV.6: SNR en fonction de l’amplitude de la sinusoïde pure en entrée

La formule (IV.7) est calculée théoriquement pour V_{in} maximale i.e. quand on balaie toute la dynamique d’entrée V_{fs} cependant, dans la pratique, une telle amplitude met en valeur la distorsion, on peut donc arriver par cette méthode à un SNR et donc un ENOB plus faible qu’il n’est en réalité. Pour éviter cela, on procède généralement de la façon suivante : f étant fixé, on trace le SNR en fonction de l’amplitude d’entrée V_{in} pour un CAN idéal, le résultat est une droite croissante (Figure IV.6). Pour un CAN réel, deux effets interviennent : pour les amplitudes faibles, la courbe obtenue à partir des points expérimentaux est globalement décalée vers le bas (ceci est dû à la DNL), et pour les amplitudes fortes, la courbe décroît en raison de l’augmentation de la distorsion harmonique. On peut donc estimer la valeur du SNR à la pleine dynamique en interpolant le segment de droite des basses amplitudes pour toute la dynamique du signal d’entrée (Figure IV.6), on en déduit alors le ENOB.

3.2.2. Erreur du SFDR

Pour la mesure du SFDR, on procède comme pour le SNR, on effectue ensuite le rapport entre le fondamental et le premier harmonique sur la bande de fréquence utile : $[-\frac{f_{ech}}{2}, \frac{f_{ech}}{2}]$, On peut également à partir de là calculer le nombre effectif de bits du CAN par la relation:

$$N_{eff(SFDR)} = \frac{SFDR_{dBc}}{6.02} \quad (IV.9)$$

D’après [Walden, 1999b], on remarque dans la pratique que la résolution effective $N_{eff(SFDR)}$ est identique à la résolution théorique N . Ce paramètre est cependant très peu utilisé.

3.2.3. Facteur de mérite

Le critère universellement reconnu, pour comparer les performances des CAN synchrones est le facteur de mérite F, défini de la manière suivante :

$$F = \frac{2^{\text{ENOB}} \times f_{\text{ech}}}{P} \quad (\text{IV. 10})$$

Où P est la puissance moyenne dissipée. Cette dernière peut être définie de la manière suivante :

$$P = \frac{V_{\text{dd}}}{t_2 - t_1} \int_{t_1}^{t_2} |i(t)| dt \quad (\text{IV. 11})$$

Avec V_{dd} , la tension d'alimentation du circuit, $[t_1, t_2]$ l'intervalle de temps considéré, et $i(t)$ le courant tiré sur l'alimentation par le circuit.

4. Dessin de masque (Layout)

Cette partie s'intéresse aux dessins des masques en vue de la fabrication des circuits intégrés. Cette phase de « layout » est critique à bien des égards car c'est elle qui définit l'implantation réelle des composants sur le silicium. Cette étape de la conception d'un circuit doit prendre en compte un grand nombre d'effets indésirables qui sont susceptibles de provoquer un mauvais fonctionnement du circuit intégré. Il est donc nécessaire de concevoir le circuit en gardant à l'esprit que la robustesse (de fonctionnement) du circuit dépend d'une part des choix que l'on fait au moment du dimensionnement du circuit, mais aussi de la façon dont on va réaliser le dessin des masques. Il est donc indispensable de respecter des règles de dessin afin de s'affranchir ou de minimiser les effets indésirables dont l'origine peut être liée à des causes très diverses : chaleur, dispersion de caractéristiques des composants et des procédés de fabrication.

4.1. Effets indésirables

Il est possible de lister les effets indésirables selon les critères suivants :

- ✓ Variations de process
- ✓ Matching
- ✓ Température
- ✓ Bruit
- ✓ Elément parasites

A ces critères, il est nécessaire d'ajouter les effets propres au design lui-même comme l'association sur un même substrat d'une partie numérique et d'une partie analogique ou la nature imparfaite des composants (due au matériau) lorsque le circuit travaille à fréquences très élevés (par exemple, l'effet de substrat).

4.1.1. Variations de process

Les variations de procédés de fabrication ou variation de processus sont des effets qui se traduisent sur la variation de la qualité des mâtériaux. On observe ces variations aussi bien entre les « wafers » (les galettes de silicium) qu'entre les puces d'un même « wafer ».

Enfin lorsqu'il s'agit de variations dans les caractéristiques d'un même composant, par exemple les deux transistors d'une paire différentielle, on parle d'appariement ou de « matching » des composants. Plus les caractéristiques des transistors d'une paire différentielle seront proches, plus les caractéristiques de la paire différentielle s'approcheront du cas idéal.

4.1.2. Effet de la température

Lors de la conception d'un layout, le designer ne doit pas perdre de vue les effets de la température sur les différents paramètres électriques des composants. Par exemple, le courant de saturation d'une diode varie de façon très sensible avec la température. Afin de limiter les effets de la température, il est souvent souhaitable d'isoler spatialement les points chauds, dus à un courant élevé dans un transistor par exemple. Ainsi, il est possible de limiter l'effet d'un gradient de température dans un circuit où les composants doivent être appariés finement.

4.1.3. Eléments parasites

Lors de la phase de conception, le designer simule le comportement de son circuit par des simulations (« électriques »). A ce stade de la conception, il ignore encore à quoi ressemblera son layout. Il ne peut donc pas tenir compte des effets parasites liés à l'architecture de son layout, c'est-à-dire généralement les capacités et les résistances parasites liés aux interconnexions (via, poly-silicium, métal). C'est pour cela qu'il est indispensable de procéder à une extraction de ces éléments parasites une fois le layout dessiné en vue de la simulation post-layout.

4.2. Techniques de Layout

Ce paragraphe présente les règles usuelles de dessin des masques. Le designer devra les garder en mémoire lorsqu'il sera dans cette phase de conception qui très souvent s'avère délicate. Il devra également se souvenir des causes physiques qui ont menés à l'établissement de ces règles. Il est possible de lister ces règles :

- ✓ même structure, même taille
- ✓ même température
- ✓ même orientation
- ✓ même environnement
- ✓ minimisation des distances
- ✓ structure centroïde
- ✓ augmentation des tailles
- ✓ dessin des contacts
- ✓ connexion en étoiles
- ✓ latch-up
- ✓ isolation avec la masse
- ✓ placement des circuits mixtes.

4.2.1. Même structure, même taille

Lors du dessin d'une structure comportant des composants de même nature, il est préférable d'utiliser plusieurs fois la même structure plutôt que de définir des structures similaires de tailles différentes. Par exemple, si l'on réalise un miroir de courant avec un gain de 2, il faut dupliquer le transistor miroir 2 fois plutôt que de dessiner un transistor 2 fois plus large (cf Figure IV.7). En effet, seules les structures identiques sont susceptibles d'être appariées ou de « matcher ».

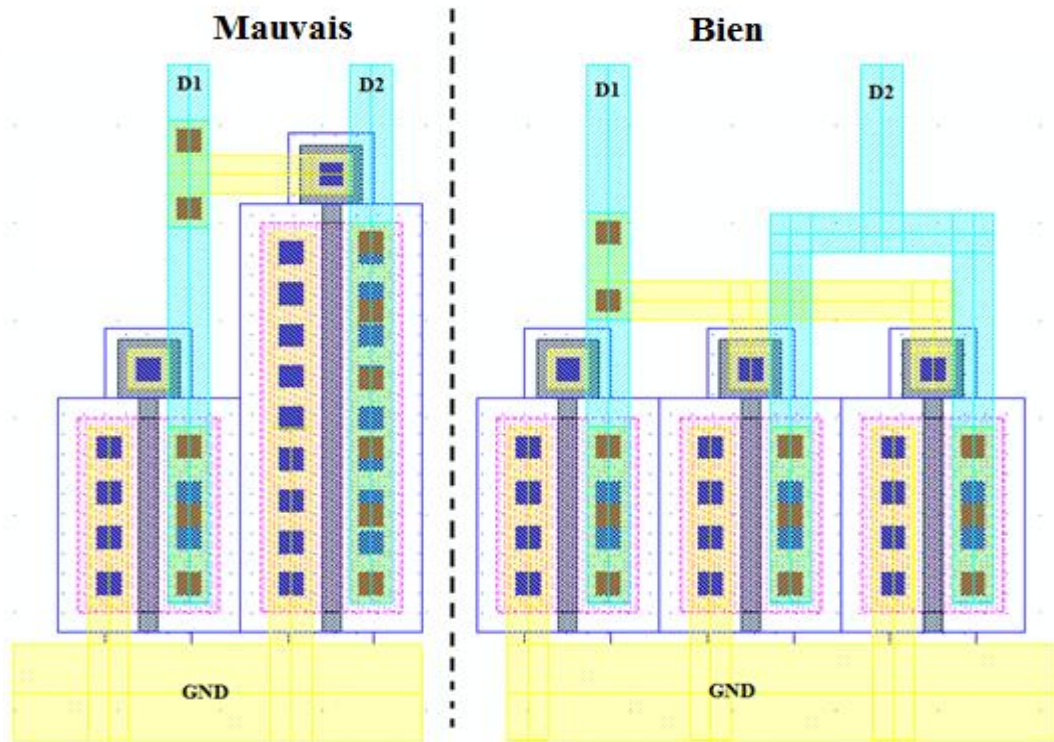


Figure IV.7: Duplication d'une structure de même forme et de même taille

4.2.2. Même température

Lors du placement de composants appariés, il est important qu'il se trouve sur une même isotherme (cf Figure IV.8). Ainsi, les dérives en température des caractéristiques des composants ont moins de chance d'influer sur le comportement du montage. Par exemple, un gradient en température important peut modifier le comportement d'une structure différentielle en introduisant un offset.

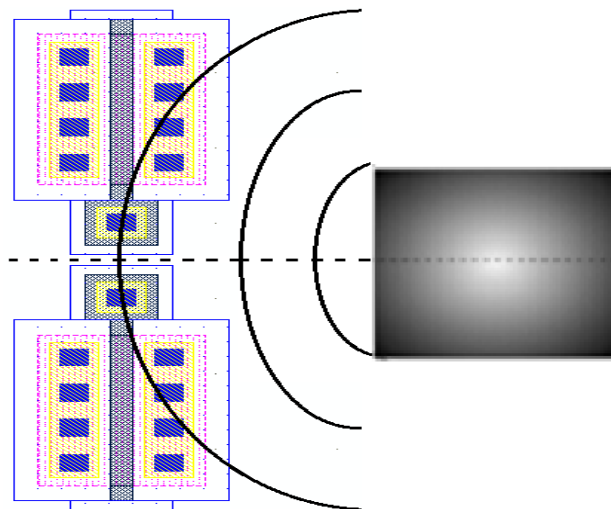


Figure IV.8: Placement des composants sur une isotherme

4.2.3. Même orientation

L'implantation des zones de drain et de source se fait avec un angle pour éviter la canalisation des dopants dans le réseau cristallin (cf. Figure IV.9). Il en résulte que drain et source ne sont plus symétriques : il y a un effet d'ombre causé par la grille.

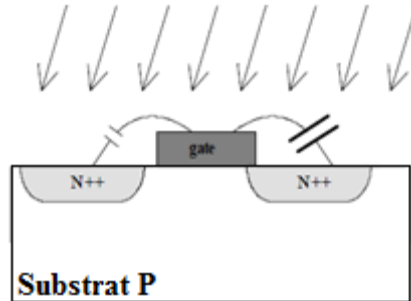


Figure IV.9: Implantation des zones de drain et de source

Les conséquences pour le concepteur est qu'il devra conserver la même orientation pour ces composants afin que ces derniers puissent « matcher ». Le dessin au centre de la Figure IV.10, n'est pas correct car les sources et les drains des transistors ne sont pas du même côté (le courant circule en sens opposé dans les transistors). Il faut donc veiller à ce que le courant circule dans le même sens pour les deux composants.

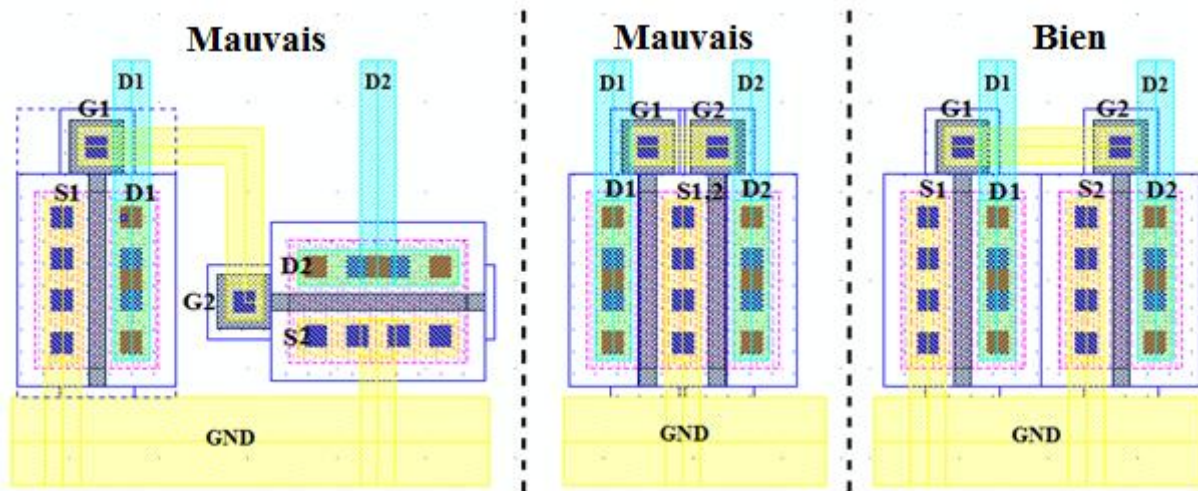


Figure IV.10: Conservation de l'orientation d'une structure

4.2.4. Minimiser les distances

Le concepteur doit essayer de minimiser les distances afin de limiter les pertes en ligne dues à la résistivité des lignes et l'apparition de capacités parasites préjudiciables au bon fonctionnement du circuit (cf. Figure IV.11).

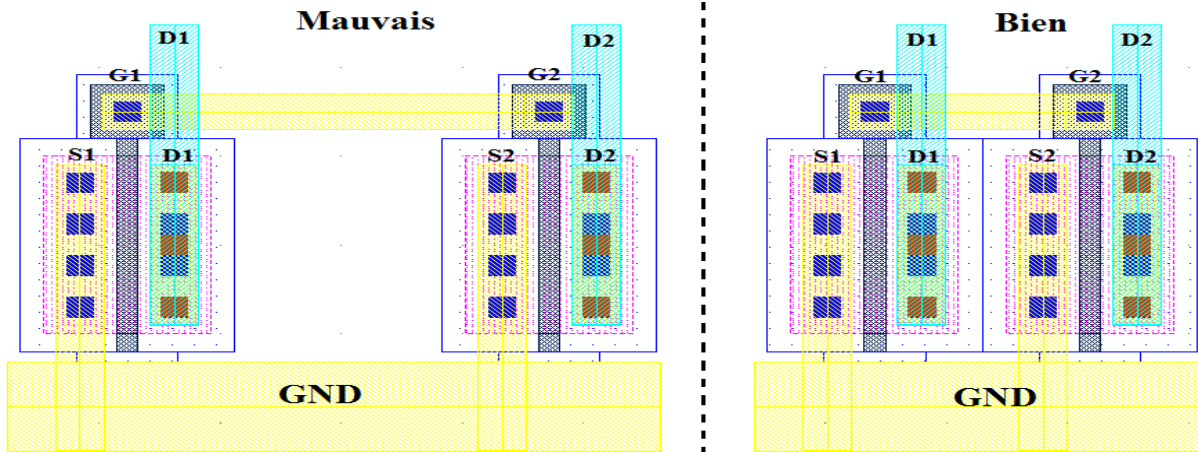


Figure IV.11: Conservation de la minimisation des distances

4.2.5. Structure centroïde commune

Pour diminuer les effets dus aux variations locales, on imbrique les composants de telles sortes qu'ils aient un même barycentre (cf. Figure IV.12).

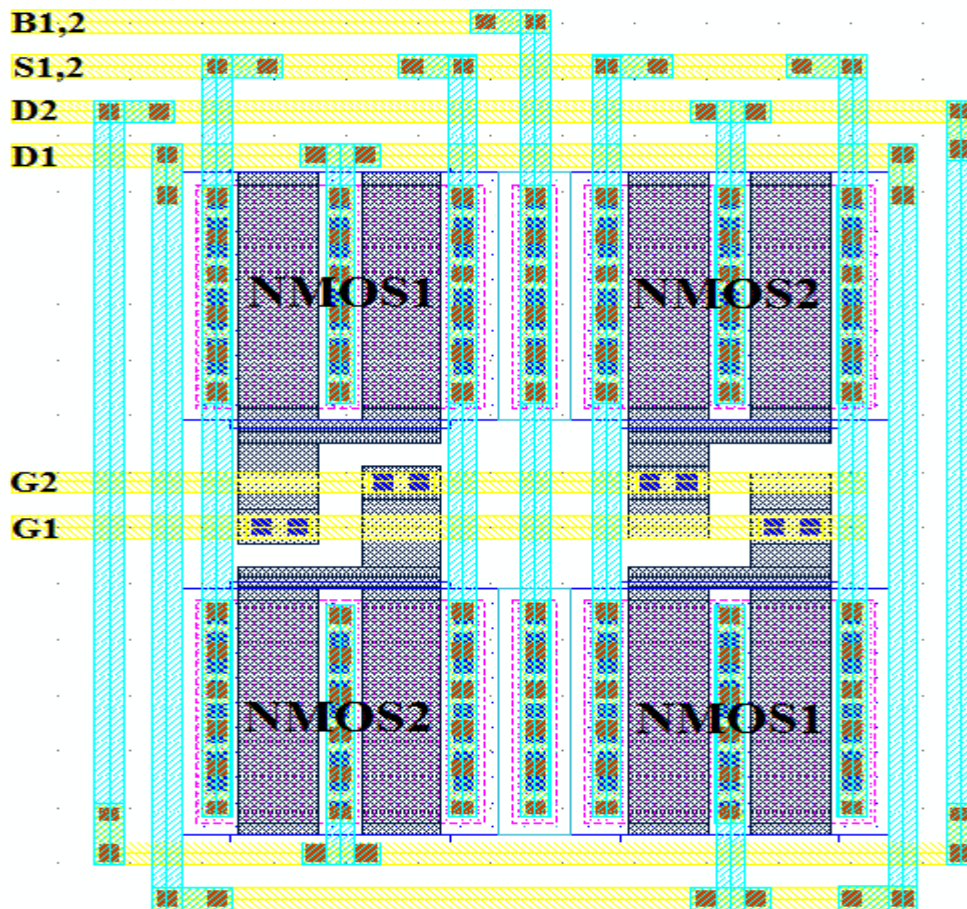


Figure IV.12: Structure à centre commune

4.2.6. Même environnement

Afin de supprimer les effets de sur-gravure lors de la fabrication, il est souhaitable que deux composants identiques partagent le même environnement (cf. Figure IV.13). Pour ce faire, il est usuel de dessiner des structures qui ne sont là que dans le but de limiter les effets de la sur-gravure lors de la fabrication. On parle alors de structures inutiles ou de « dummy structures ».

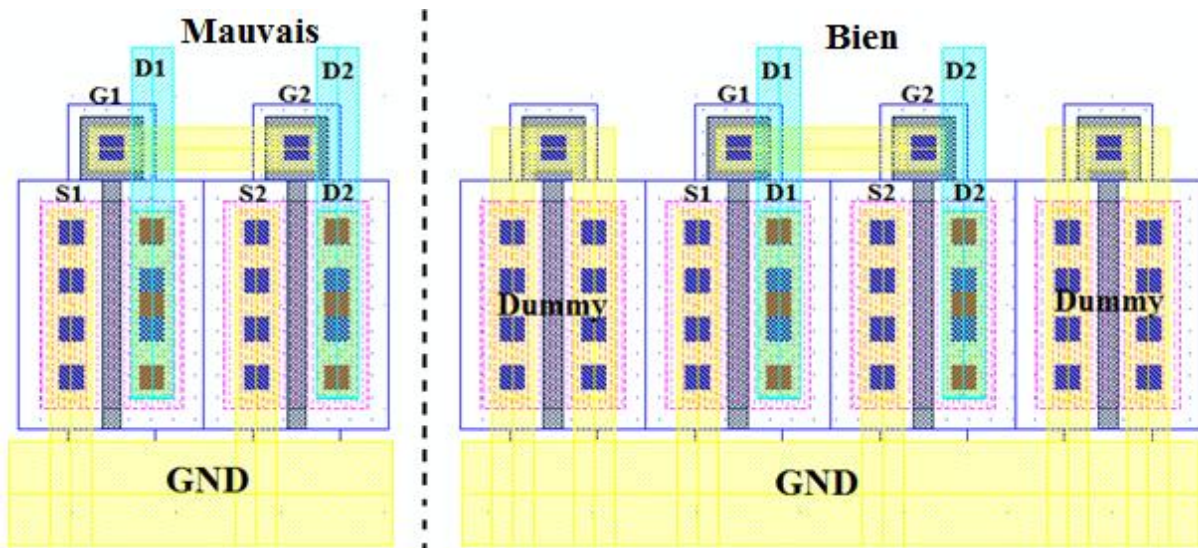


Figure IV.13: Utilisation de « dummy structures » pour garantir le même environnement

4.2.7. Augmentation des tailles

Comme les petits composants sont plus sensibles aux variations aléatoires (loi de Pelgrom) des procédés de fabrication, il est souhaitable d'augmenter leur taille de sorte à limiter les effets de ces variations (cf. Figure IV.14). Cette règle conduit les concepteurs de circuits analogiques à ne jamais dessiner les composants à leurs dimensions minimales. Les transistors ont en général des valeurs supérieures pour W et L que les valeurs minimales de la technologie. Toutefois, en numérique, les transistors travaillant en commutation, il est possible de conserver les dimensions minimales d'une technologie.

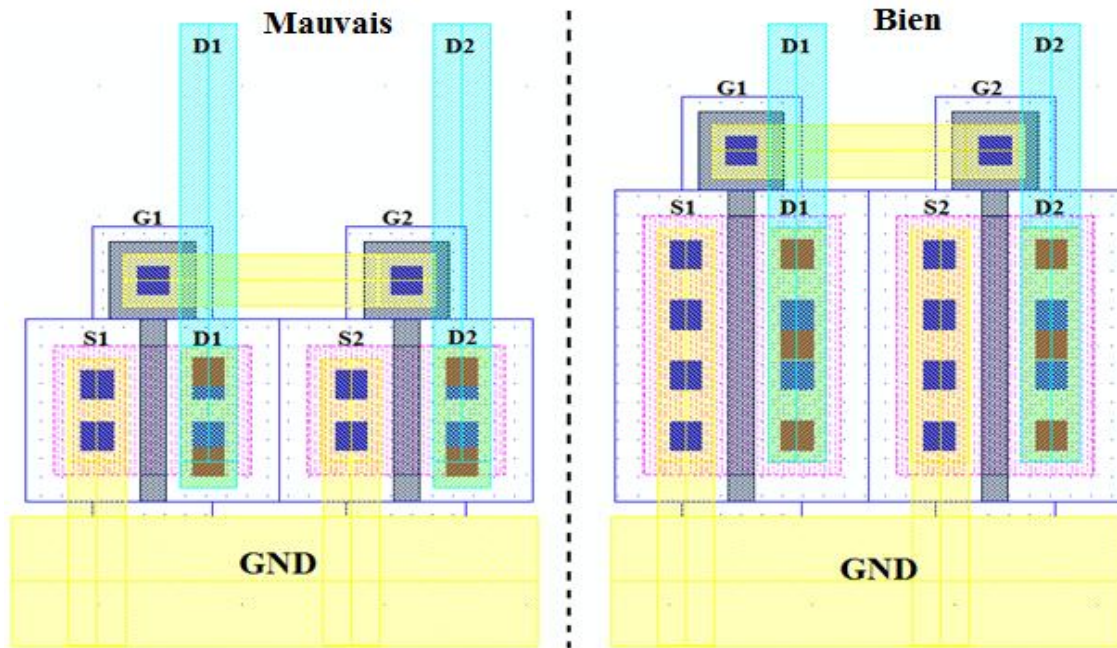


Figure IV.14: Augmentation de la taille des composants

4.2.8. Connexion en étoile

Pour éviter qu'un retour de courant par la masse crée une différence de potentiel (ou offset CEM), il est nécessaire de connecter en étoile deux composants qui doivent matcher (cf. Figure IV.15).

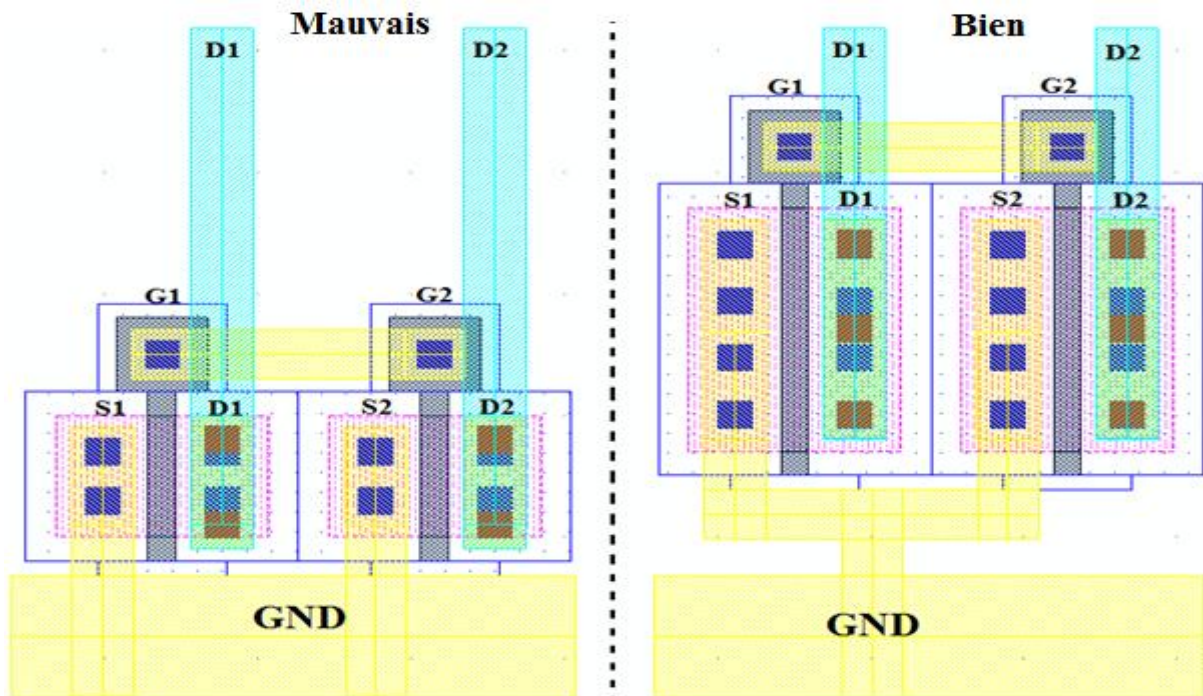


Figure IV.15: Connexion en étoile

5. Simulation complète du convertisseur Flash 4 bits

Après avoir fait la conception de la partie analogique et la partie numérique on passe à la simulation complète de notre convertisseur analogique numérique Flash 4 bits global. Deux simulations complètes du CAN Flash, l'une à 100MHz est présentée sur la figure IV.16, l'autre à 5GHz est présentée sur la figure IV.17. L'horloge utilisée pour le séquençement du circuit possède deux fréquences l'une à 100MHz (Qui représente 10ns) et l'autre à 5GHz (Qui représente 200ps). Le signal du capteur MAPS à faible entrée est de 125 mV. Cette dernière est une rampe permettant d'expliciter toutes les valeurs codées par le CAN.

On va prendre une simulation fonctionnelle pour un cas ordinaire où la tension d'alimentation est de 1.8V avec une température ambiante de 27°. La simulation est de type transitoire pour deux temps de 1µs et 400ns (durées de simulation). Le signal d'horloge est également visible. S'en suivent les bits de sortie du poids le plus faible (LSB) au poids le plus fort (MSB). Ensuite, les sorties de CAN sont affichées dans un signal de B0 à B3.

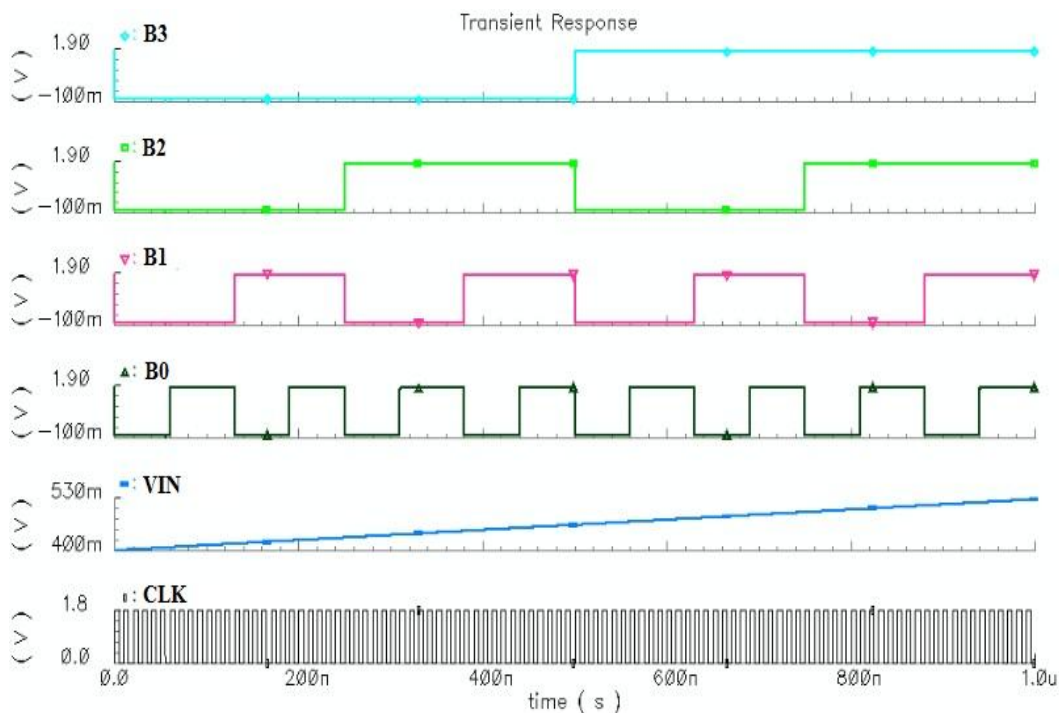


Figure IV.16: Conversion complète du CAN avec une tension d'entrée de rampe à 125mV @ 100MHz.

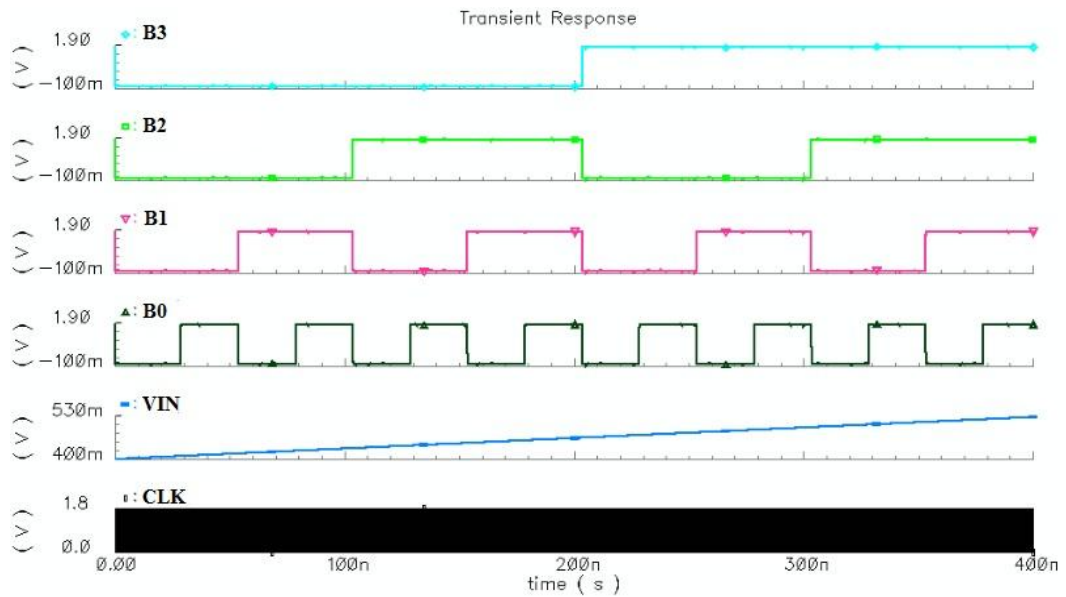


Figure IV.17: Conversion complète du CAN avec une tension d'entrée de rampe à 125mV@5GHz

On constate visuellement que toutes les valeurs binaires de 0000 à 1111 sont présentées et parcourues de manière homogène sur la durée de la simulation pour les deux valeurs de fréquences 100MHz et 5GHz.

5.1.Caractéristiques statique du CAN proposé

5.1.1. Tension d'entrée à convertir et les nombres binaires correspondant

Les tensions d'entrée du convertisseur et les nombres binaires correspondant sont résumées dans le tableau suivant:

Tension d'entrée du convertisseur	Nombre binaire N				Nombre décimal
	B3	B2	B1	B0	
VIN (V)	B3	B2	B1	B0	N
400 - 407.8125	0	0	0	0	0
407.8125-415.6250	0	0	0	1	1
415.6250-423.4375	0	0	1	0	2
423.4375-431.2500	0	0	1	1	3
431.2500-439.0625	0	1	0	0	4
439.0625-446.875	0	1	0	1	5
446.875-454.6875	0	1	1	0	6
454.6875-462.5000	0	1	1	1	7
462.5000-470.3125	1	0	0	0	8
470.3125-478.1250	1	0	0	1	9
478.1250-485.9375	1	0	1	0	10
485.9375-493.7500	1	0	1	1	11
493.7500-501.5625	1	1	0	0	12
501.5625-509.3750	1	1	0	1	13
509.3750-517.1875	1	1	1	0	14
517.1875 - 525	1	1	1	1	15

Table IV.1: Tensions d'entre du convertisseur et les nombre binaire correspondant

5.1.2. Schéma pour tracer la fonction de transfert du CAN

La figure IV.18 montre le schéma comporte un CAN flash 4bits et un CNA idéal pour tester la sortie de CAN.

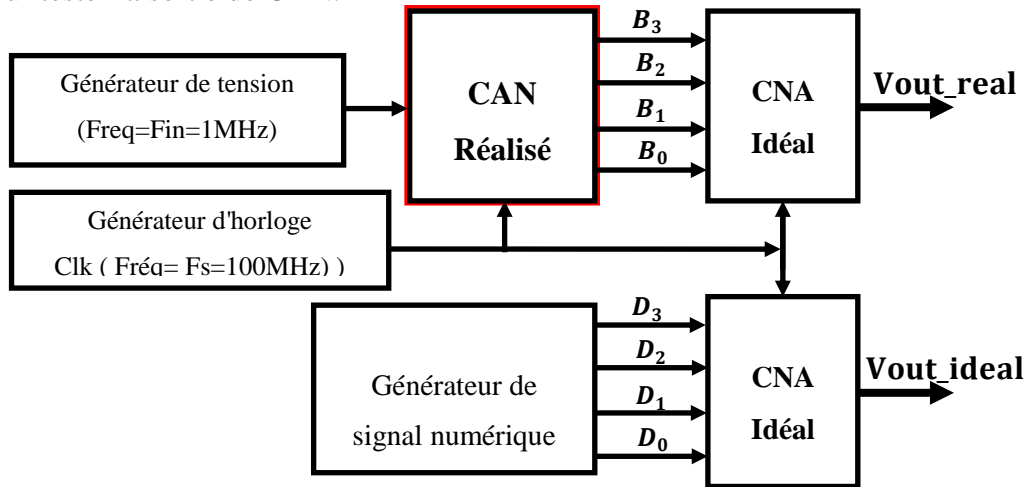


Figure IV.18: Schéma pour tracer la caractéristique de transfert idéal et réel du CAN

5.1.3. Fonctions de transfert idéal et réel du CAN

La figure IV.19 et la figure IV.20 montrent la fonction de transfert de CAN idéale et réelle aux fréquences d'échantillonnage 100MHz et 5GHz respectivement. L'axe horizontal représente l'entrée numérique $V_{digital}$, et l'axe vertical représente la sortie analogique V_{analog} . La dynamique des bits d'entrée $V_{digital}$ se situe entre 0000 et 1111. Dans le cas idéal, la largeur et la hauteur d'un « quantum » sont constantes et valent respectivement 1LSB et VLSB.

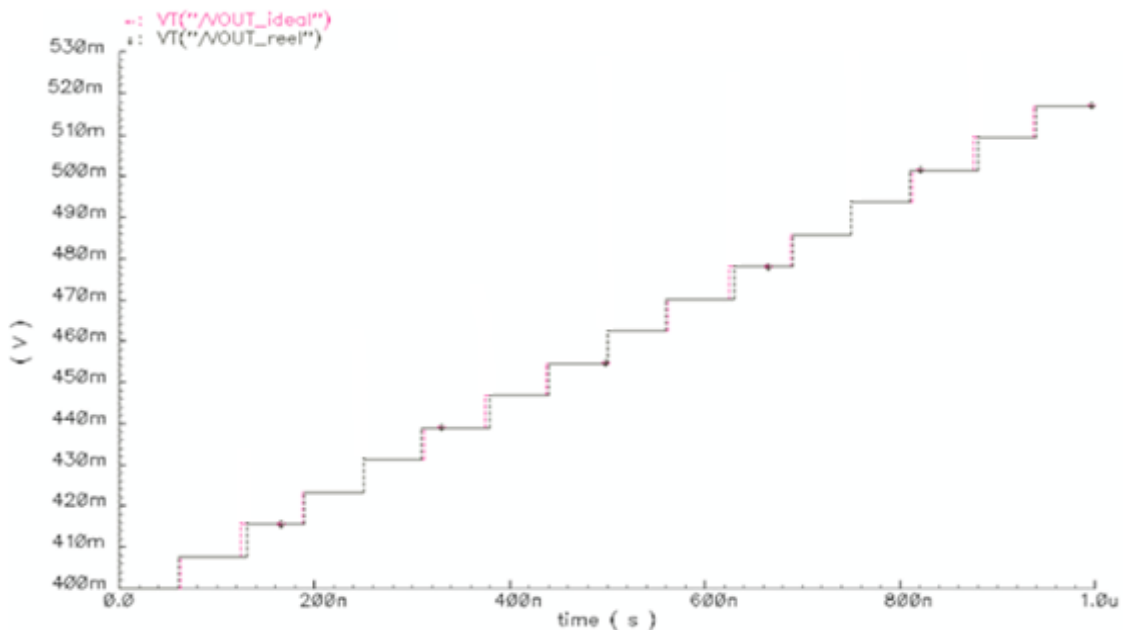


Figure IV.19: Caractéristique de transfert idéal et réel du CAN à 100MHz@125mV.

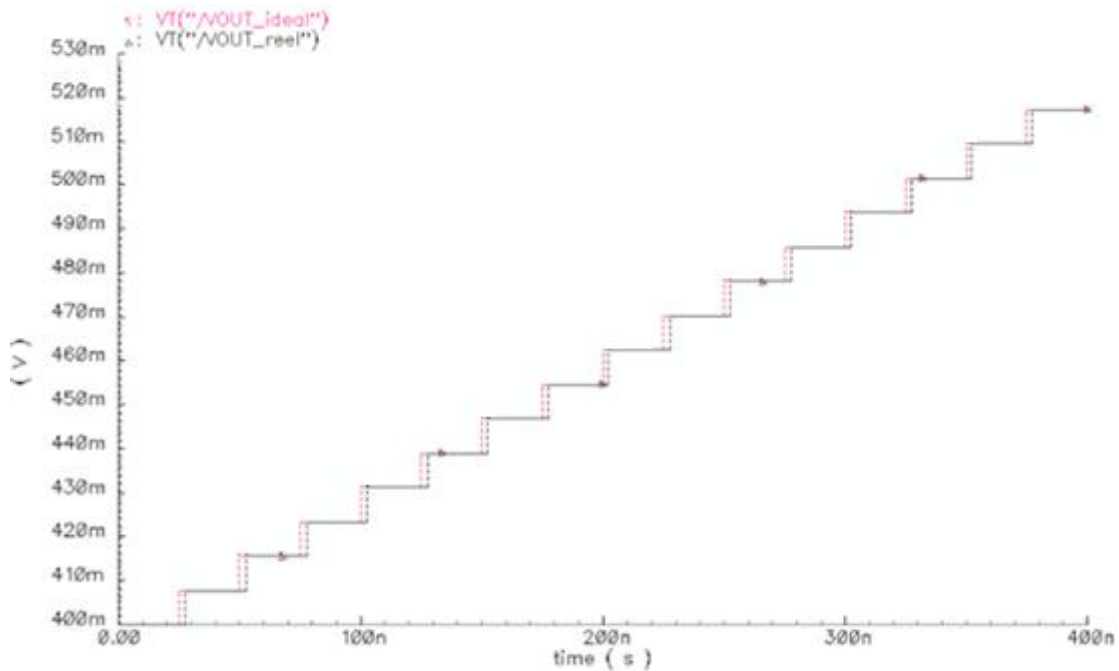


Figure IV.20: Caractéristique de transfert idéal et réel du CAN à 5GHz@125mV.

- ✓ Résolution = $(V_{max}-V_{min})/2^4 = 7.81mV$
- ✓ Plage de conversion va de 0 à 15, de 400mV à 525mV
- ✓ $V_{max}-V_{min}$ = sortie pleine échelle = 125mV
- ✓ La résolution du CAN est de 4 bits.

En réalité, la fonction de transfert idéale est altérée par un certain nombre de paramètres tel que le bruit, les problèmes de matching entre composants, l'erreur d'ouverture des comparateurs, ces erreurs statiques peuvent être d'écrites seulement par quatre paramètres : l'erreur d'offset, l'erreur de gain, la DNL et l'INL.

5.1.4. Mesures des erreurs statique de conversion

5.1.4.1. Erreur d'offset à 100MHz et 5GHz

- Erreur d'offset à 100MHz :

$$\text{Erreur d'offset} = T'(1) - T(1) = 0.0387 \text{ LSB} \approx 0.3024 \text{ mV}$$

- Erreur d'offset à 5GHz :

$$\text{Erreur d'offset} = T'(1) - T(1) = 0.1480 \text{ LSB} \approx 1.1562 \text{ mV}$$

5.1.4.2. Erreur de gain à 100MHz et 5GHz

- Erreur de gain à 100MHz :

$$\begin{aligned} \text{Erreur de gain} &= T'(2^4 - 1) - \text{offset} - T(2^4 - 1) = T'(15) - \text{offset} - T(15) = 0.0411 \text{ LSB} \\ &\approx 0.3212 \text{ mV} \end{aligned}$$

- Erreur de gain à 5GHz :

$$\text{Erreur de gain} = T'(2^4 - 1) - \text{offset} - T(2^4 - 1) = T'(15) - \text{offset} - T(15) = 0.1308 \text{ LSB} \approx 1.0218 \text{ mV}$$

5.1.4.3. Erreurs de non-linéarité différentielle et intégrale à 100MHz

La figure IV.21 et la figure IV.22 montrent les résultats de la non linéarité différentielle (DNL) et la non linéarité intégrale (INL) de CAN à la vitesse de 100M échantillons /s. Ces erreurs sont dues pour une partie aux fluctuations de l'erreur de la compensation d'offset du comparateur ainsi qu'à la fluctuation des tensions de référence du pont diviseur des résistances.

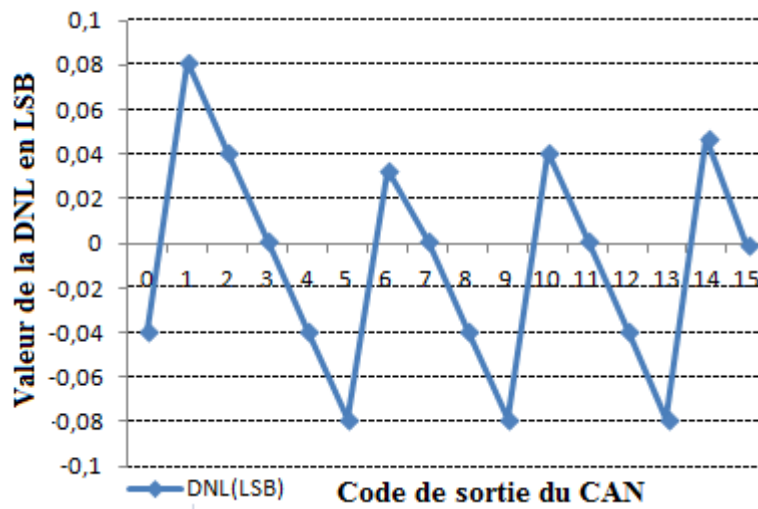


Figure IV.21: Présentation de l'erreur de DNL pour le CAN Flash à 100Me/s

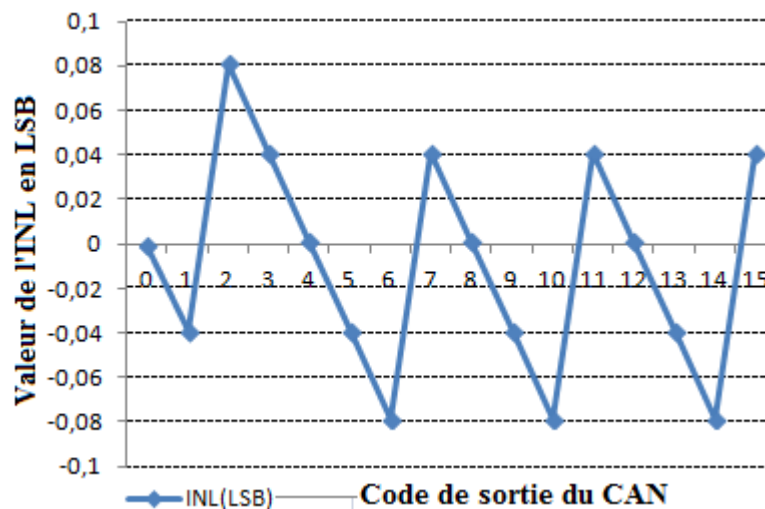


Figure IV.22: Présentation de l'erreur d'INL pour le CAN Flash à 100Me/s

Les erreurs DNL&INL maximum et minimum à 100Me/s sont :

- ✓ L'erreur de DNL est comprise entre 0.0812/-0.0787LSB
- ✓ L'erreur de INL est comprise entre 0.0811 / -0.0787LSB

Notons que les erreurs INL et DNL à 100MHz sont inférieurs à 0,5 LSB. Ce qui est parfaitement acceptable.

5.1.4.4. Erreurs de non-linéarité différentielle et intégrale à 5GHz

La figure IV.23 et la figure IV.24 montrent les résultats de la non linéarité différentielle (DNL) et la non linéarité intégrale (INL) de CAN à la vitesse de 5G échantillons /s.

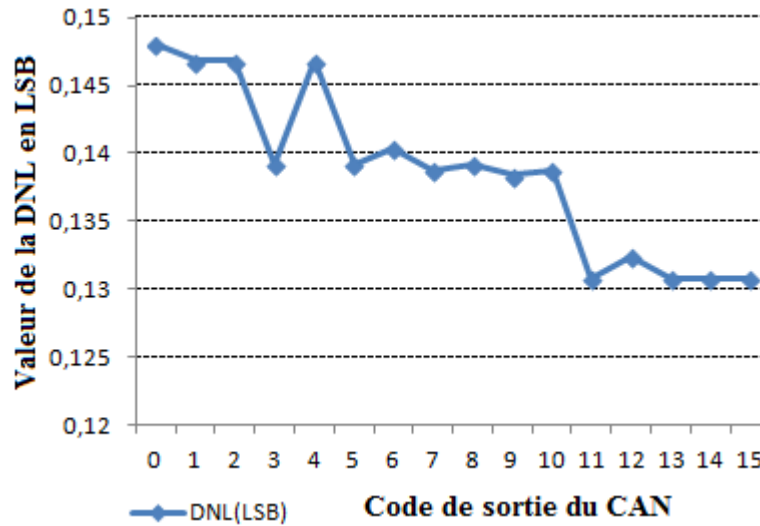


Figure IV.23: Présentation de l'erreur de DNL pour le CAN Flash à 5Ge/s

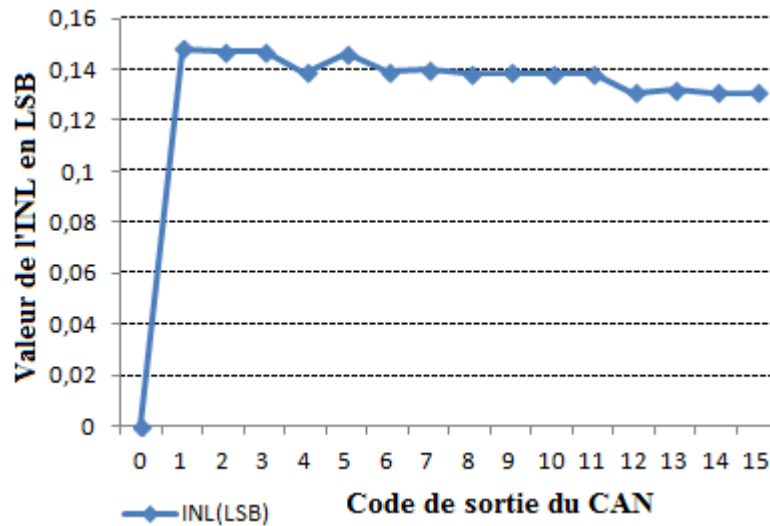


Figure IV.24: Présentation de l'erreur d'INL pour le CAN Flash à 5Ge/s

Les erreurs DNL&INL maximum et minimum à 5Ge/s sont :

- ✓ L'erreur de DNL est comprise entre 0.1480 / 0.1308LSB
- ✓ L'erreur de INL est comprise entre 0.1480 / 0.0000LSB

Notons que les erreurs INL et DNL à 5GHz sont inférieurs à 0,5 LSB. Ce qui est parfaitement acceptable.

Il est généralement admis qu'une erreur d'INL ou de DNL est acceptable et n'engendre pas de code manquant lorsque celle-ci est comprise entre $\pm 0,5$ LSB. En cela les erreurs d'INL et de DNL du CAN flash proposé à 100MHz et à 5GHz sont tout à fait acceptables. De plus on constate que il n'y pas de variation de ces erreurs lorsque on varie la fréquence d'échantillonnage de 100MHz à 5GHz et on peut dire que ces erreurs presque les mêmes et ça montre la robustesse de notre architecture proposé.

5.1.5. Variation de la consommation d'énergie des sous-blocs du CAN en fonction de la fréquence d'échantillonnage

Le temps de conversion du CAN flash est de 10 ns à une fréquence d'échantillonnage de 100 MHz, en fixant le temps d'intégration à 48 μ s pour le capteur. Étant donné que la consommation est un facteur déterminant dans la conception de notre CAN, nous étudierons la variation de la consommation de notre CAN en fonction de la fréquence, et plus précisément, nous calculerons la consommation de chaque bloc de la CAN pour différentes valeurs de fréquences allant de 6,25 MHz à 5GHz. La figure IV.25 montre la consommation de puissance moyenne simulée des tous les sous-blocs CAN pour des fréquences variables avec une plage dynamique de 125 mV. La consommation d'énergie moyenne de l'E/B et les 15 comparateurs est comprise entre 560,09 / 547,93 μ W et 718,5 / 736,02 μ W, respectivement, de manière constante pour des taux d'échantillonnage différents variant entre 6,25 MHz et 5 GHz. La consommation moyenne d'énergie de l'encodeur à bas des multiplexeurs est entre 1,67 et 3,92 μ W pour différents taux d'échantillonnage (entre 6,25 MHz et 5 GHz). La consommation d'énergie moyenne du pont diviseur est de 0,061 μ W constante dans tous les taux d'échantillonnage. La consommation d'énergie moyenne du registre est comprise entre 3,17 et 1060 μ W; Cette valeur augmente légèrement jusqu'à 100 MHz après avoir augmenté de façon exponentielle avec des taux d'échantillonnage croissants. Le flash CAN parallèle colonne-parallèle de 4 bits consomme moins de puissance de 725,6 μ W et 1800 μ w sans E/B à un taux d'échantillonnage de 100Me/ s et de 5Ge/ s, respectivement; Cette valeur s'élève à 1,28 mW et 2,34 mW, y compris le E/B à un taux d'échantillonnage à vitesse élevée de 100Me/ s et 5Ge/ s, respectivement.

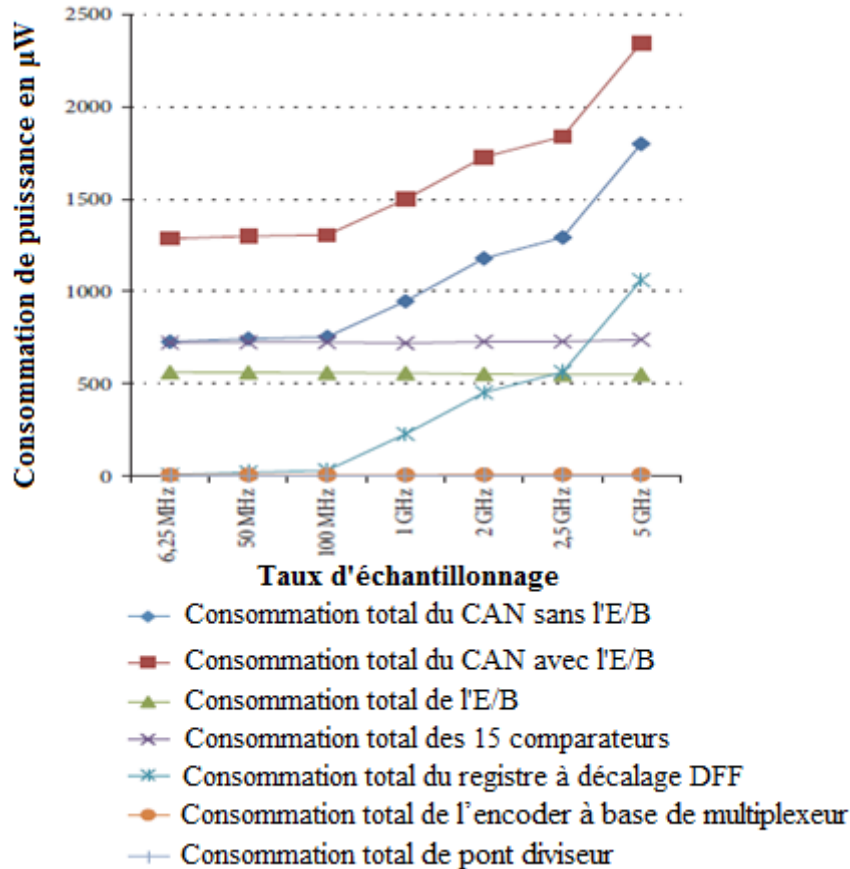


Figure IV.25: Consommation moyenne d'énergie des sous-blocs CAN à un taux d'échantillonnage variable de 6.25 MHz à 5GHz avec une plage dynamique d'entre de 125 mV.

5.2.Caractéristiques dynamique du CAN proposé

L'importance des caractéristiques dynamiques d'un CAN dépendent des applications pour lesquelles est destiné le CAN. Dans le cadre d'un CAN intégré en bas de colonne d'une matrice de pixels pour le détecteur de vertex de l'ILC, les caractéristiques dynamiques ne sont pas primordiales. En effet la tension délivrée par un pixel ne subira pas de fluctuation lors de sa conversion. C'est pourquoi la caractérisation dynamique n'a pas été effectuée.

5.3.Dessin des masques du CAN

Le dessin des masques pour cette architecture de CAN a été réalisé en technologie TSMC 0.18µm. Il est assez difficile de quantifier la difficulté de cette étape de conception. Réaliser un dessin des masques ne devant pas dépasser 35 µm de largeur est quelque chose de compliqué. Le manque de place pour le routage des pistes, le manque de place pour le placement des composants ainsi que la valeur des capacités parasites liées au facteur de forme ne sont que des exemples des nombreux défis se présentant lors

du dessin des masques. La figure IV.26 présente le dessin des masques d'un CAN. Les dimensions des circuits sont de $336.76 \mu\text{m} \times 35 \mu\text{m}$.

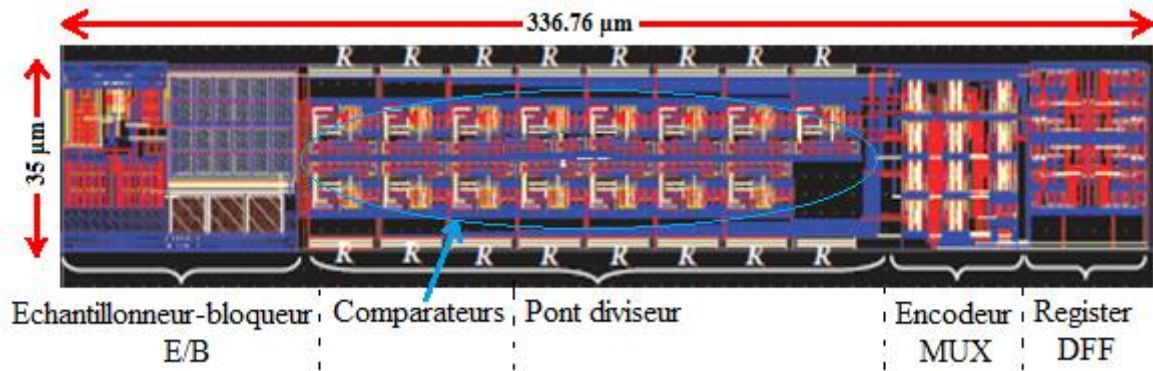


Figure IV.26: Dessin des masques du CAN Flash 4 bits proposé

5.4.Comparaison et discussion

L'efficacité de la puissance et de la surface de CAN proposé ont été comparées à d'autres travaux avec différentes fréquences d'échantillonnage et des résolutions similaires pour capteur monolithique de pixels actifs (MAPS). nous avons comparé dans Le tableau IV.2, les résultats de simulation du CAN proposé avec d'autres CAN publiés dans la littérature [Zha et al., 2013, Dah et al., 2008, Zha et al., 2014a, Pil et al., 2010]. Nous remarquons que le CAN pipeline [Dah et al., 2008] peut atteindre une vitesse élevée, mais présente une plus grande consommation d'énergie. Le CAN à rampe [Pil et al., 2010] présente a un taux d'échantillonnage modéré satisfaisant avec la cadence des capteurs MAPS pour les couches externes VXD. Notons que la consommation d'énergie du CAN présenté par [Zha et al., 2013, Zha et al., 2014a] ne comprend que la consommation d'énergie statique sans tenir compte de la consommation du circuit échantillonneur-bloqueur. Les résultats simulés montrent que l'architecture proposée offre de nombreuses performances intéressantes telles qu'une faible consommation d'énergie aux taux d'échantillonnage de 100Me/s et 5Ge/s. En outre, ce CAN atteint une vitesse élevée supérieure à 5Ge/s et possède la plus petite surface active de $35 \times 336.76 \mu\text{m}^2$. Par conséquent, avec ces caractéristiques optimisées, cette architecture proposé peut être utilisé pour les capteurs monolithiques à pixels actifs (MAPS) dans la physique aux haut énergies afin d'atteindre les besoins pour la prochaine génération avec quelques Ge/s.

Paramètres	[Dah et al., 2008]	[Pil et al., 2010]	[Zha et al., 2013]	[Zha et al., 2014a]	Resultats		
Architectures	Pipelined *	Ramp *	SAR **	SAR *	Flash **		
Technologies (µm)	0.35	0.35	0.35	0.35	0.18		
Tension d'alimentation (V)	3.3 (Analog)	3.3	3	3	1.8		
Temperature (C°)	27	27	27	27	27		
Nombre de bits	4	4	4/3/2	4/3/2	4		
Dynamique de Conversion (mV)	16	125/128	16	16	125		
LSB (mV)	1	7.81/7	1	1	7.81		
Vitesse de conversion	50Me/s	1Me/s	6.25Me/s	6.25Me/s	100Me/s	5Ge/s	
Dimension (µm²)	80×900	25×900	35×545	35×545	35×336.76		
Consommation d'énergie	P_{ADC}^1 (µW)	-	744/-	714(active) 486(Inactive)	714(active) 486(Inactive)	751.42	1800
	P_{ADC}^2 (µW)	2600	-	-	-	1306	2348
INL (LSB)	INL_{MIN}	-0.41	-/-0.4	-0.15	-0.20	-0.0787	0.0000
	INL_{MAX}	0.69	-/1.0	0.05	0.29	0.0811	0.1480
DNL(LSB)	DNL_{MIN}	-0.4	-/-0.8	-0.09	-0.28	-0.0787	0.1308
	DNL_{MAX}	0.56	-/0.3	0.14	0.49	0.0812	0.1480
Erreur de gain (LSB)	-	-	-	-	0.0411	0.1308	
Erreur d'offset (LSB)	-	-	-	-	0.0387	0.1480	

Table IV.2: Comparaison de resultats obtenir avec les travaux existe dans la littérature.

*Resultat de test

**Resultat de simulation

¹ La consommation d'énergie totale de l'ADC, sans S/H

² La consommation d'énergie totale de l'ADC, y compris le S/H

6. Simulation complète du convertisseur CNA-SC 6 bits

Une simulation temporelle à l'aide du logiciel Cadence Spectre a permis de déterminer les performances du CNA-SC 6 bits. Durant cette simulation la fonction de transfert idéal et réelle du CAN-SC 6 bits a été simulée, la courbe idéale ne comportant aucun élément parasite, la courbe réelle se rapprocher de la fonction de transfert réelle. De plus la sortie du CNA-SC 6 bits a été connectée à un condensateur d'une valeur de 1pF afin de simuler la charge sur la sortie du CNA-SC 6 bits. La différence de valeur entre ces deux fonctions de transfert a ensuite été calculée.

La figure IV.27, montre l'entrée binaire du CNA-SC 6bits (D0, D1, D2, D3, D4 et D5) de « 000000 » à « 111111 ».

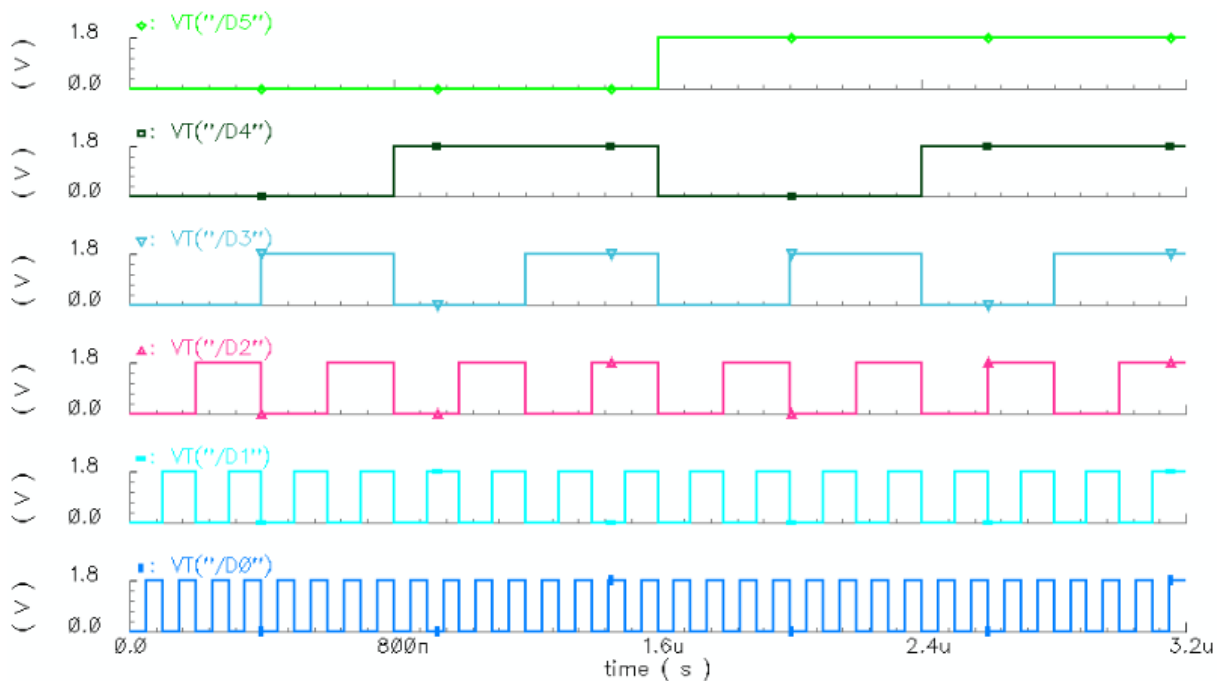


Figure IV.27: Entrée binaire du CNA-SC 6 bits

La figure IV.28 montre le courant de sortie de CNA-SC 6bits avec une code binaire d'entre varie de «000000» à «111111».

Les résultats montrent que la sortie du CNA SC 6bits est monotone l'amplitude du signal de sortie augmente avec l'augmentation d'entrée numérique et pour l'amplitude des pics de CNA SC 6bits assez petit est 18.93µA.

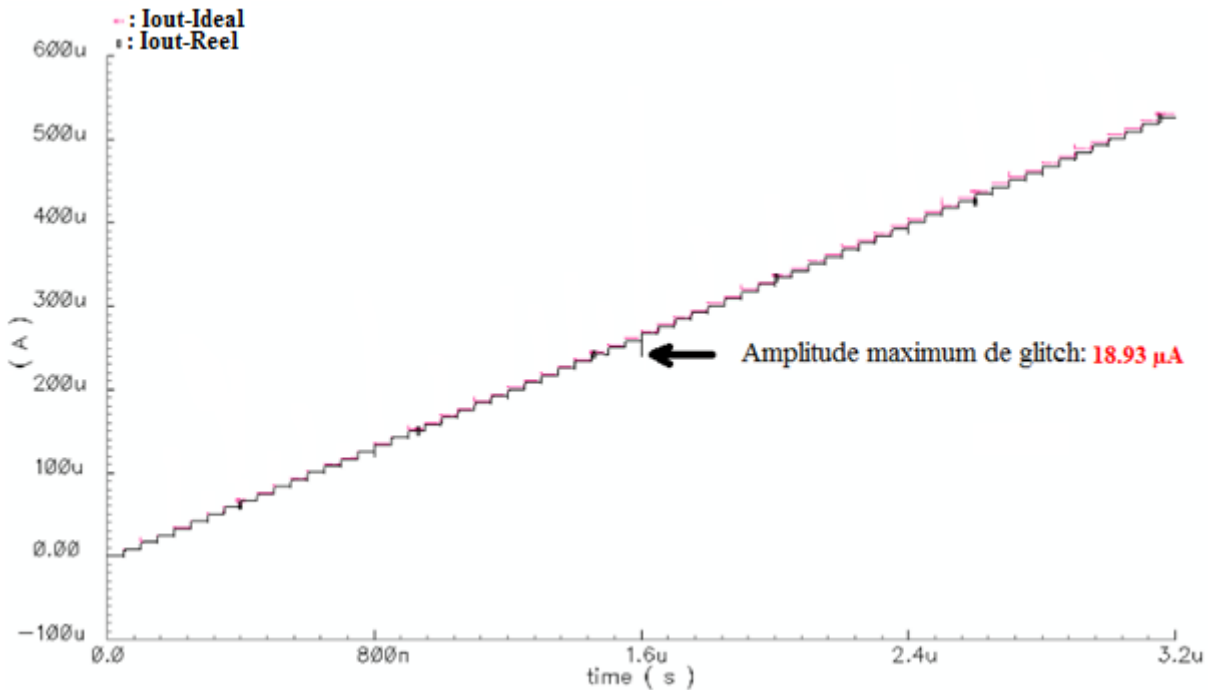


Figure IV.28: Conversion complète du CNA-SC 6bits

Pour vérifier et confirmer les performances de notre CNA-SC 6bits proposé avec les divers facteurs non idéaux, nous avons effectué plusieurs simulations avec l'utilisation d'un CNA dans le cas idéal et non-idéal. Les simulations effectuées afin de vérifier les performances de notre CNA-SC 6bits proposé sont rapportées dans ces sections avec les performances statiques.

6.1. Performance statiques du CNA-SC 6bits

6.1.1. Erreurs de non-linéarité différentielle et intégrale

La linéarité est le paramètre le plus important dans le convertisseur de données. Les performances de linéarité incluent la non-linéarité intégrale (INL) et la non-linéarité différentielle (DNL). L'INL est défini comme la déviation maximale d'un point de transition d'une conversion de point de transition par rapport à une conversion idéale. L'INL est déterminé à partir de la courbe de transfert basée sur la définition de ces paramètres, LSB présente la déviation de la fonction de transfert réelle d'une ligne droite. Pour le DNL, il est défini comme la différence entre une largeur réelle de pas et la valeur idéale de 1 LSB. Par conséquent, INL représente des erreurs cumulatives de DNL.

La déviation à partir d'une valeur idéale est considérée comme une définition fondamentale. La non-linéarité différentielle (DNL) indique la nature de ces erreurs non-linéairement distribuées. Supposons que la valeur de sortie idéale pour un code donné, D_i est la suivante :

$$I_{idéal}(D_i) = I_i \quad (IV.12)$$

I_i : Courant idéal

La valeur réelle produite par le convertisseur pour le même code est :

$$I_{réel}(D_i) = \tilde{I}_i \quad (IV.13)$$

\tilde{I}_i : Courant réel

La déviation est directement donnée par :

$$d_i = I_{réel}(D_i) - I_{idéal}(D_i) = \tilde{I}_i - I_i \quad (IV.14)$$

La déviation est normalisée en considérant la valeur de LSB, comme :

$$\bar{d}_i = \frac{d_i}{I_{LSB}} = \frac{\tilde{I}_i - I_i}{I_{LSB}} \quad (IV.15)$$

Et la déviation atteindra la valeur 1LSB, le DNL est la différence entre les deux déviations à un certain code de transition D_{i-1} à D_i , comme :

$$DNL_i = \bar{d}_i - \bar{d}_{i-1} = \frac{\tilde{I}_i - I_i}{I_{LSB}} - \frac{\tilde{I}_{i-1} - I_{i-1}}{I_{LSB}} = \frac{\tilde{I}_i - \tilde{I}_{i-1}}{I_{LSB}} - 1 \quad (IV.16)$$

La non linéarité intégrale (INL), décrit la déviation entière de la ligne droite idéale. Les valeurs d'INL, INL_i pourraient également être calculées par les valeurs de DNL comme suit :

$$INL_i = \sum_{k=1}^i DNL_k \quad (IV.17)$$

A partir de l'équation IV.15 et IV.16 on pourrait aussi obtenir la formule suivante :

$$INL_i = \sum_{k=1}^i \frac{I_k - I_{k-1}}{I_{LSB}} - 1 = \frac{I_k - I_0}{I_{LSB}} - \frac{kI_{ref}}{I_{LSB}} = \frac{d_k - d_0}{I_{LSB}} \quad (IV.18)$$

Les résultats de simulation de ces deux paramètres (DNL, INL) pour notre CNA SC 6 bits sont montrés dans les figures (IV.29) et (IV.30) respectivement. Les résultats de simulation prouvent que la variation de ces derniers est plus moins que 1 LSB, dans le cas de CNA SC 6bits il est entre +0.0397/-0.1142 LSB pour le DNL, et entre +0.0583/-0.0600 LSB pour l'INL.

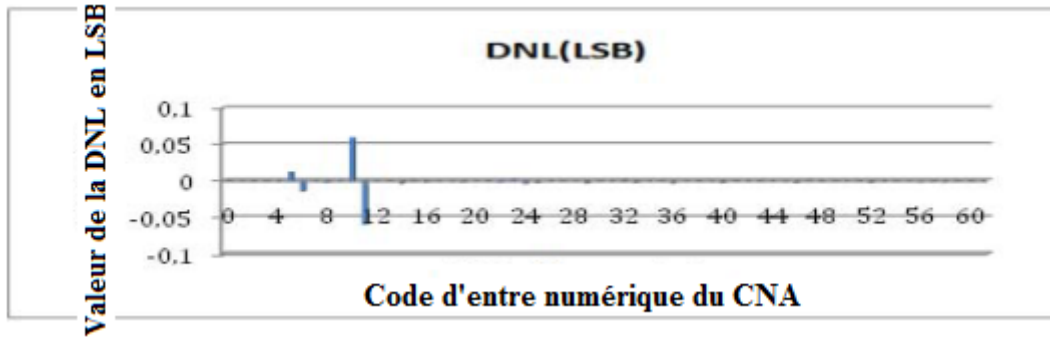


Figure IV.29: Erreur DNL du CAN SC 6bits

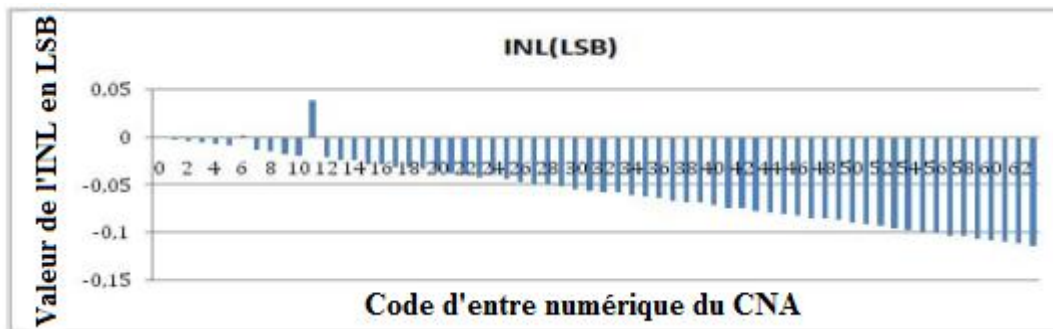


Figure IV.30: Erreur INL du CAN SC 6bits

Plus les erreurs de linéarité INL et DNL on a l'erreur d'offset et l'erreur de gain.

6.1.2. Erreurs de gain et d'offset

6.1.2.1. Erreur d'offset

L'erreur d'offset : L'erreur d'offset, $Erreur_{offset}$ pourrait être définie comme la déviation de la valeur minimale idéale de la sortie.

$$I_{offset} = d_0 = \left(\frac{I_{out}}{I_{LSB}} \right)_{(000000)} \quad (IV. 19)$$

6.1.2.2. Erreur de gain

L'erreur de gain : L'erreur de gain, $Erreur_{gain}$ pourrait être définie comme la déviation de la valeur maximale idéale de la sortie.

$$Erreur_{gain} = \left\{ \left(\frac{I_{out}}{I_{LSB}} \right)_{(111111)} - \left(\frac{I_{out}}{I_{LSB}} \right)_{(000000)} \right\} - (2^N - 1) \quad (IV. 20)$$

Avec : $1LSB = I_{LSB} = 8.2\mu A$, $I_{out(000000)} = 6,131pA$

Et $I_{out(111111)} = 515,664 \mu A$

- ✓ L'erreur d'offset est égale : 7.69510^{-7} LSB
- ✓ Et l'erreur de gain est égale : -0.114 LSB

6.2. Dessin des masques

Le dessin des masques du CAN SAR et CNA SC à 6bits ont été réalisé en technologie CMOS 0.18µm, 1Poly et 3 métaux.

La figure IV.31 présente le dessin des masques estimés du CAN SAR à 6bits. Les dimensions de ce dernier sont de 35 µm×472µm = 0.016mm². Cela représente une augmentation d'environ 135.24 µm par rapport au circuit précédent de CAN Flash à 4bits.

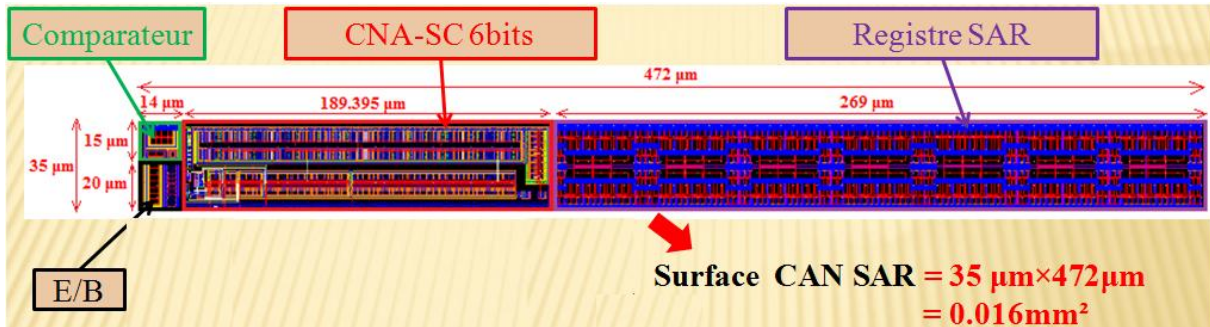


Figure IV.31: Dessin des masques du CAN SAR à 6 bits.

La figure IV.32 présente le dessin du masque du convertisseur numérique analogique 6bits, il a une taille de dont la major partie est essentiellement dominée par le réseau de source de courant, les dimensions des circuits sont de 35×189.395 µm² = 0.006 mm².

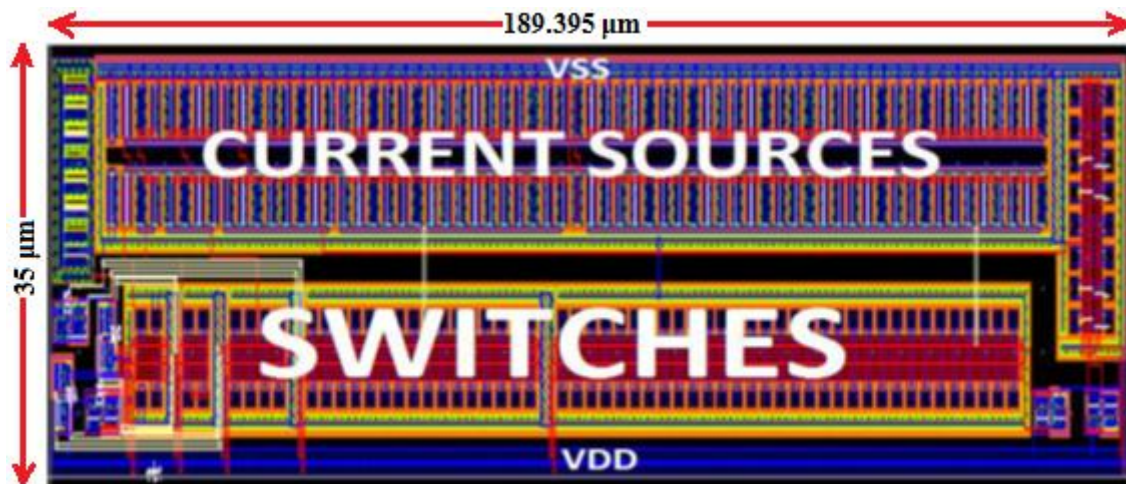


Figure IV.32: Dessin des masques du CNA-SC 6 bits.

6.3. Comparaison et discussion

Le tableau IV.3, résume le résultat de cette conception et 2 autres travaux de la conception publiés dans la littérature [Far&Joh, 2003, Jun et al., 2008]. L'efficacité de la

puissance et de la surface du CNA à source du courant proposé ont été comparées à ces deux travaux. Nous remarquons que la consommation d'énergie de l'architecture proposée est beaucoup plus petite que la consommation d'énergie d'autres conceptions [Far&Joh, 2003] et [Jun et al., 2008] . Bien que cette architecture réduise considérablement la puissance. Par conséquent, une layout et une conception soigneuse devraient être utilisés pour réduire son effet destructeur. En outre, ce CNA-SC 6 bits atteint une vitesse moyenne supérieure à 10Me/s et possède la plus petite surface active de 0.006mm². Par conséquent, avec ces caractéristiques optimisées, cette architecture proposée peut être intégré dans le convertisseur SAR en mode du courant pour utiliser dans les capteurs monolithiques à pixels actifs (MAPS).

Paramètres	Spécification	[Far&Joh, 2003]**	[Jun et al., 2008]*	Résultats**	
Architectures	Source du courant	Source du courant	Source du courant	Source du courant	
Technologies CMOS (µm)	0.18	0.18	0.35	0.18	
Tension d'alimentation (V)	1.8	1.8	3	1.8	
Temperature (C°)	27	27	27	27	
Nombre de bits	6	6	6	6	
Pleine échelle (µA)	516,6µA	-	-	516,6µA	
LSB (µA)	8.20µA	-	-	8.20µA	
Vitesse de conversion	≥ 10Me/s	1Ge/s	1.25Ge/s	10Me/s	
Dimension (mm²)	minimum	-	0.057	35×189.395 µm ² = 0.006	
Consommation d'énergie (mW)	< 1	24	6	0.944	
INL (LSB)	INL_{MIN}	≤ 0.5LSB	-	< 0.1	- 0.1142
	INL_{MAX}	≤ 0.5LSB	0.48	< 0.1	0.0397
DNL(LSB)	DNL_{MIN}	≤ 0.5LSB	-	< 0.1	- 0.0600
	DNL_{MAX}	≤ 0.5LSB	0.22	< 0.1	0.0583
Erreur de gain (LSB)	minimum	-	-	-	- 0.114
Erreur d'offset (LSB)	minimum	-	-	-	7.69510 ⁻⁷

Table IV.3: Comparaison de resultats obtenir avec les travaux existe dans la littérature

*Resultat de test

**Resultat de simulation

7. Simulation complète du convertisseur CNA-SC 4 bits

Une simulation temporelle à l'aide du logiciel Cadence Spectre a permis de déterminer les performances du CNA-SC 4 bits. Durant cette simulation la fonction de transfert idéal et réelle du CAN SC a été simulée, la courbe idéale ne comportant aucun élément parasite, la courbe réelle se rapprocher de la fonction de transfert réelle. De plus la sortie du CNA-SC a été connectée à un condensateur d'une valeur de 100fF afin de simuler la charge sur la sortie du CNA-SC 4 bits. La différence de valeur entre ces deux fonctions de transfert a ensuite été calculée.

La figure IV.33 montre l'entrée binaire du CNA SC 4bits (D0, D1, D2 et D3) de «0000» à «1111».

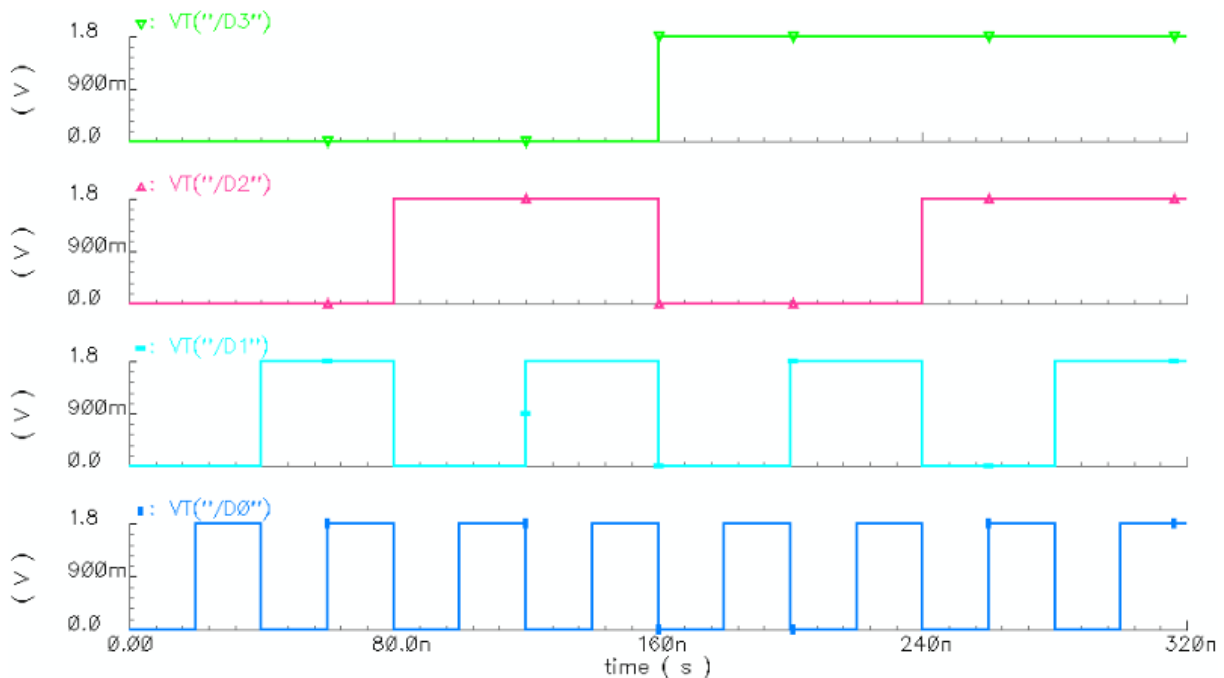


Figure IV.33: Entrée binaire du CNA-SC 4 bits

La figure IV.34 montre le courant de sortie de CNA-SC 4bits avec une code binaire d'entre varie de «0000» à «1111».

Les résultats montrent que la sortie du CNA SC 4bits est monotone l'amplitude du signal de sortie augmente avec l'augmentation d'entrée numérique et pour l'amplitude des pics de CNA SC 4bits assez petit est 4.21µA.

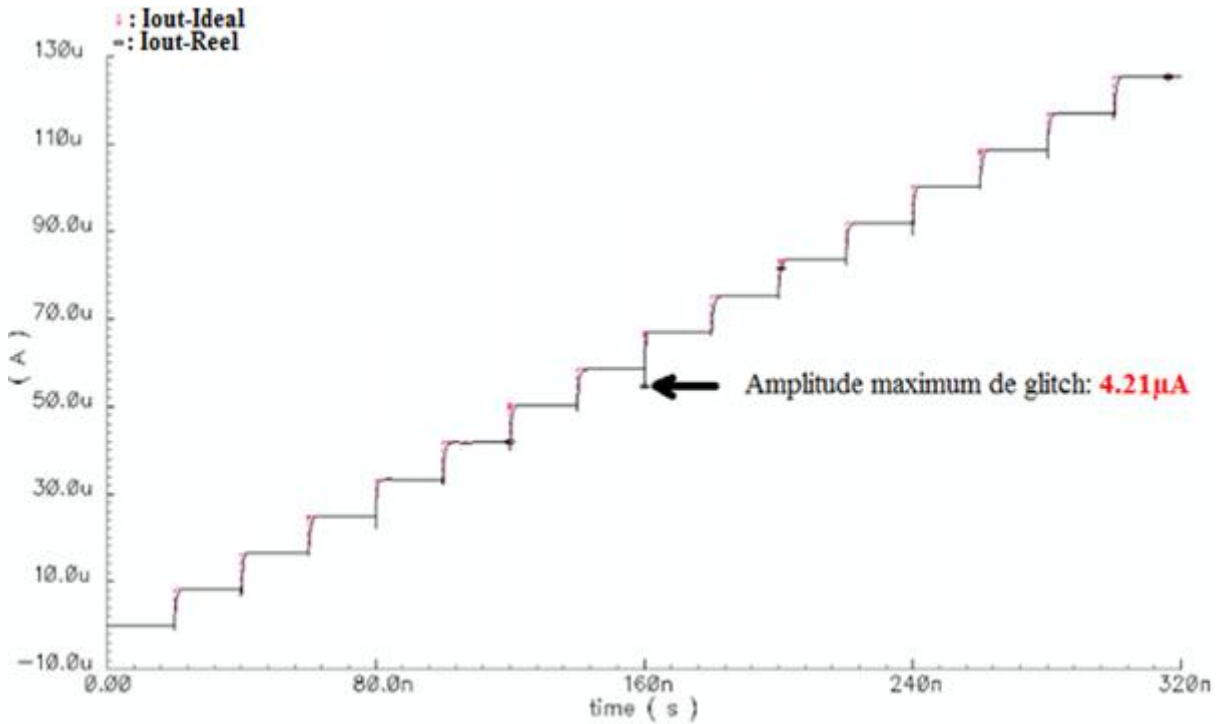


Figure IV.34: Conversion complète du CNA-SC 4bits

7.1. Performance statiques du CNA-SC 4 bits

7.1.1. Erreurs de non-linéarité différentielle et intégrale

La figure IV.35 et la figure IV.36 montrent les résultats de la non linéarité différentielle (DNL) et la non linéarité intégrale (INL) de CAN à la vitesse de 25M échantillons /s. Ces erreurs sont dues pour une partie aux fluctuations de l'erreur des miroirs des courants et des commutateurs.

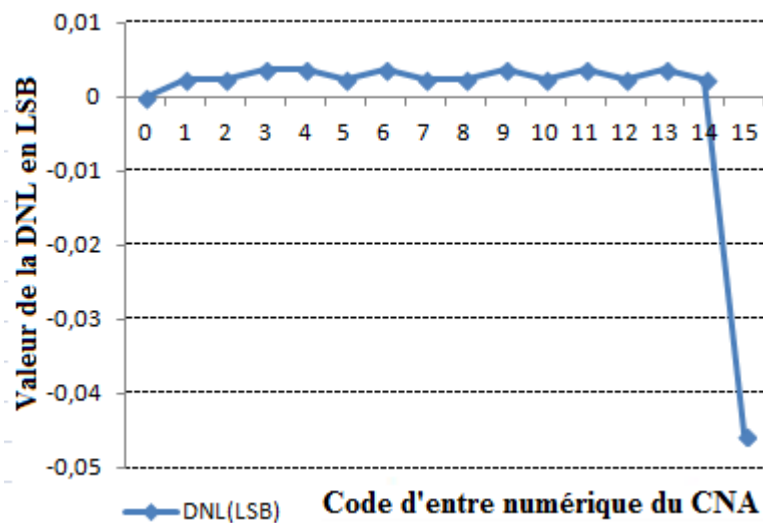


Figure IV.35: Présentation de l'erreur de DNL pour le CNA-SC 4 bits

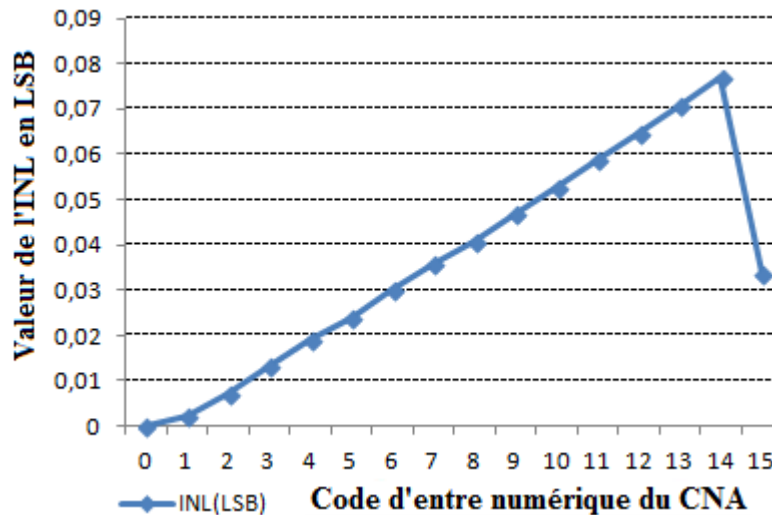


Figure IV.36: Présentation de l'erreur d'INL pour le CNA-SC 4 bits

Les erreurs DNL et INL à 25Me/s sont :

- ✓ L'erreur de DNL est comprise entre 0.0036/-0.0456 LSB
- ✓ L'erreur de INL est comprise entre 0.0768/0.0000 LSB

Notons que les erreurs INL et DNL à 25MHz sont inférieurs à 0,5 LSB. Ce qui est parfaitement acceptable.

Plus les erreurs de linéarité INL et DNL on a l'erreur d'offset et l'erreur de gain.

7.1.2. Erreurs de gain et d'offset

A partir de l'équation IV.19 et IV.20 on pourrait calculer l'erreur d'offset et l'erreur de gain.

Avec : $1\text{LSB} = I_{\text{LSB}} = 8.33\mu\text{A}$, $I_{\text{out}(0000)} = 0.12810^{-7}\mu\text{A}$

Et $I_{\text{out}(1111)} = 124.95\mu\text{A}$

- ✓ L'erreur d'offset est égale : $0.12810^{-7}\mu\text{A} = 0.15310^{-7}\text{LSB}$
- ✓ Et l'erreur de gain est égale : $-0.3798\mu\text{A} = -0.0456\text{LSB}$

7.2. Dessin des masques

La figure IV.37 présente le dessin des masques estimes du CAN SAR à 4bits. Les dimensions de ce dernier sont de $35\mu\text{m} \times 250\mu\text{m} = 0.0087\text{mm}^2$. Cela représente une réduction d'environ $86.76\mu\text{m}$ par rapport au circuit précédent de CAN Flash à 4bits.

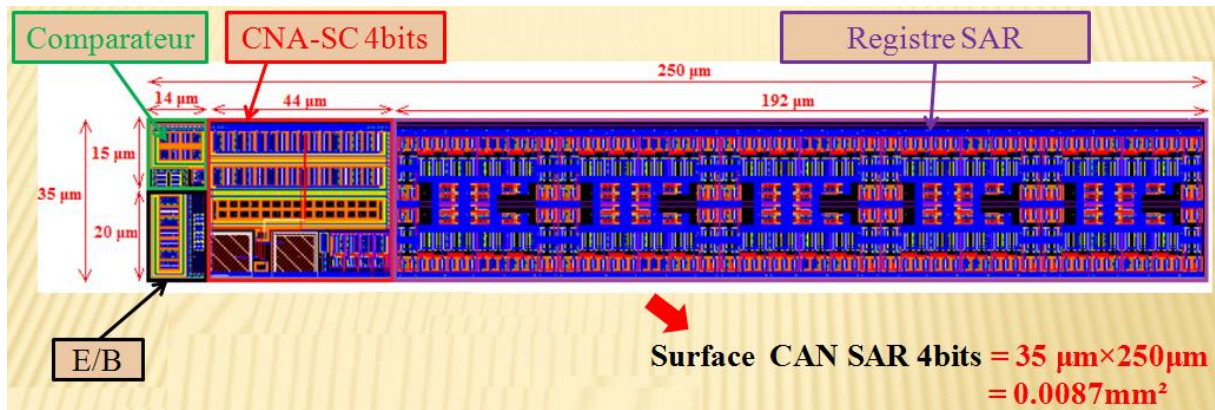


Figure IV.37: Dessin des masques du CNA- SAR à 4bits

La figure IV.38 représente le dessin des masques du CNA SC 4-bits développé. Ces dimensions sont de $35 \mu\text{m} \times 44 \mu\text{m} = 0.0015 \text{ mm}^2$

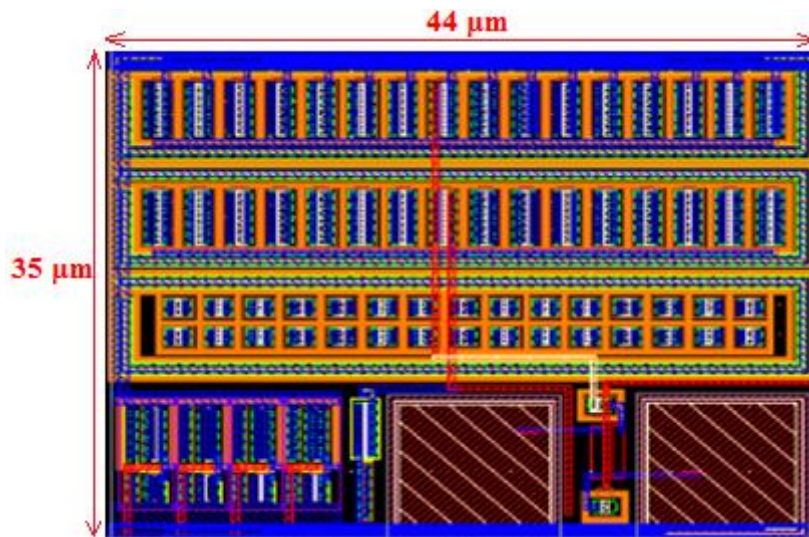


Figure IV.38: Dessin des masques du CNA-SC 4bits

7.3. Comparaison et discussion

L'efficacité de la puissance et de la surface du CNA-SC 4 bits proposé ont été comparées à CNA-SC 6 bits qu'on a proposé et d'un autre travail publié dans la littérature [Sheng et al., 2007]. Nous remarquons que le CNA à source du courant [Sheng et al., 2007] peut atteindre une vitesse élevée, mais présente une plus grande consommation d'énergie. Le CNA-SC 6 bits [Chakir et al., 2015a] présente une assez bonne efficacité de consommation de la puissance est de 0.944 mW , une faible surface occupée sur la puce est de 0.006 mm² et une bonne vitesse de conversion supérieur à 10MHz satisfaisant avec la cadence des capteurs MAPS. Les résultats simulés montrent que l'architecture de CNA-SC 4 bits proposée offre de nombreuses performances

intéressantes telles qu'une très faible consommation d'énergie est de 0.240 mW aux taux d'échantillonnage moyen de 25Me/s. De plus CNA SC à 4-bits occupe une très faible surface est de 0.0015 mm². En outre, ce CNA-SC 4 bits proposé est plus stable que le CNA-SC 6 bits aux niveaux de la polarisation des miroirs de courant ainsi la protection des grilles des sources de courant. Par conséquent, avec ces caractéristiques optimisées, le SAR CM intégrant un CNA SC 4-bits sera économe en énergie et rentable.

Paramètres	Spécification	[Sheng et al., 2007]*	[Chakir et al., 2015a]**	Résultats**	
Architectures	Source du courant	Source du courant	Source du courant	Source du courant	
Technologies CMOS (µm)	0.18	0.13	0.18	0.18	
Tension d'alimentation (V)	1.8	1.2	1.8	1.8	
Temperature (C°)	27	27	27	27	
Nombre de bits	4	4	6	4	
pleine échelle (µA)	125µA	-	516,6µA	125µA	
LSB (µA)	8.33µA	-	8.20µA	8.33µA	
Vitesse de conversion	≥ 10Me/s	10Ge/s	10Me/s	25Me/s	
Dimension (mm²)	minimum	0.0636	35×189.395 µm ² = 0.006	35×44 µm ² = 0.0015	
Consommation d'énergie (mW)	< 1	150	0.944	0.240	
INL (LSB)	INL_{MIN}	≤ 0.5LSB	-0.03	- 0.1142	0.0000
	INL_{MAX}	≤ 0.5LSB	0.03	0.0397	0.0768
DNL(LSB)	DNL_{MIN}	≤ 0.5LSB	-0.02	- 0.0600	-0.0456
	DNL_{MAX}	≤ 0.5LSB	0.03	0.0583	0.0036
Erreur de gain (LSB)	minimum	-	- 0.114	-0.0456	
Erreur d'offset (LSB)	minimum	-	7.69510 ⁻⁷	0.15310 ⁻⁷	

Table IV.4: Comparaison de resultats obtenir avec les travaux existe dans la littérature.

*Resultat de test

**Resultat de simulation

8. Conclusion

Dans ce travail, une nouvelle optimisation de l'architecture CAN 4-bits Flash à colonne parallèle à faible puissance, rapide et à petite surface intégré au capteur MAPS accès matriciel par colonne CAN (PC-CAN) a été proposé. Pour augmenter la sensibilité du convertisseur à la très petite amplitude du signal d'entrée du capteur et pour fournir un temps suffisant au convertisseur pour pouvoir coder le signal d'entrée, nous avons proposé d'interposer un bloc E/ B optimisé dans le convertisseur.

Les résultats simulés montrent que l'architecture offre de nombreuses performances intéressantes telles que la faible consommation d'énergie de $751,42\mu\text{W}$ sans E/ B à une vitesse d'échantillonnage haute de $100\text{MS}/\text{s}$, cette valeur s'élève à $1,28\text{ mW}$ avec le E / B mais il reste toujours dans la gamme fixe dans le cahier de charge. Les erreurs simulées statiques non-linéarité différentielle (DNL) et les erreurs de non linéarité intégrale (INL) sont compris entre $0.0812/-0.0787\text{LSB}$ et $0.0811/-0.0787\text{LSB}$, respectivement. Par conséquent, avec ces caractéristiques optimisées, ce genre de CAN peut être utilisé pour des détecteurs de vertex à base de MAPS. En outre, ce CAN atteint une vitesse élevée supérieure à 5 GHz et possède la plus petite surface de $35 \times 336,76\ \mu\text{m}^2$. Par conséquent, avec ces caractéristiques optimisées, ce type de CAN peut être utilisé pour les capteurs monolithiques à pixel actifs (MAPS) dans la physique des hautes énergies afin d'atteindre les besoins pour la prochaine génération avec des GS/s .

Dans le cadre de ce travail nous avons proposé deux nouvelle architecteurs du CNA à bas des sources du courant entraînent à la fois une faible consommation de puissance, une faible surface occupe sur silicium et une vitesse de conversion moyenne. À l'avenir, le SAR CM intégrant un CNA SC sera économe en énergie et rentable.

Les résultats de simulation montrent que l'architecture du CNA SC proposé de type CNA SC 6-bits offre de nombreuses performances telles que une assez bonne efficacité de consommation de la puissance de $944\mu\text{W}$, une faible surface occupée sur la puce de $35 \times 189.395\ \mu\text{m}^2$ et une bonne vitesse de conversion. Ces performances sont dus au fait que l'architecture proposée n'exige ni des amplificateurs opérationnels ni des condensateurs ce qui rend cette architecture très petite, très rapide et moins gourmande en dissipation de puissance. De plus ce CNA utilise seulement des transistors CMOS en tant que des sources courants et des commutateurs. Ceci a l'avantage de réduire la surface occupée sur la puce, réduire la puissance d'énergie dissipée.

Malgré ces résultats favorables du CNA SC 6-bits, cette architecture présente une instabilité important au niveau de la polarisation des miroirs de courants. De plus malgré sa faible surface cette architecture ne répond pas au cahier de charge au niveau de la surface exigée.

Pour résoudre ces deux problèmes nous avons proposé une nouvelle architecture plus stable qui occupe moins de surface. En effet ; nous avons proposé l'ajout d'un nouveau module noté RC pour stabiliser la polarisation des sources du courant et la protection des grilles des sources de courant. De plus nous avons diminué la résolution à 4 bits, demandé par le cahier de charge, pour diminuer la surface et aussi dans l'application du détecteur de vertex, une résolution de 4 bits est suffisante pour obtenir une résolution spatiale sur la matrice de 2 μm demandé par le cahier de charge.

Les résultats simulés montrent que l'architecture offre de nombreuses performances intéressantes telles qu'une faible consommation d'énergie 240 μW aux taux d'échantillonnage moyenne de 25Me/s. De plus CNA SC à 4-bits occupe une très faible surface de 35 \times 44 μm^2 . Par conséquent, avec ces caractéristiques optimisées, le SAR CM intégrant un CNA SC 4-bits sera économe en énergie et rentable.

CONCLUSION GENERALE ET PERSPECTIVES

Les capteurs à Pixel Actif Monolithique MAPS pour le détecteur de vertex (VXD) à L'international Linear Collider (ILC) nécessitant des détecteurs destinés à la trajectométrie de plus en plus performants en termes de dissipation de puissance, de rapidité ainsi qu'en termes de surface occupée. Afin de répondre à l'exigence du détecteur de vertex en termes de résolution spatiale des capteurs qui le composent, un CAN précis doit être intégré des fonctionnalités de plus en plus évoluées au sein du même substrat (diminution du bruit électronique, amplification et prétraitement des signaux...). En termes de budget de matière du détecteur exigent une dissipation de puissance inférieure à 1.5mW de ce CAN. En termes de rapidité le CAN, doit convertir les signaux provenant du pixel à une fréquence très grande plus que 100 MHz. Enfin, en termes de la grande granularité du capteur impose une forme particulière du CAN, dont la largeur ne doit pas excéder celle d'un pixel (35 μm). La résolution spatiale requise (meilleure que $\sim 2 \mu\text{m}$) pour le détecteur peut être atteinte en encodant les signaux des capteurs à l'aide d'un CAN de 4 bits. Le bit de poids faible de 7.8 mV.

Dans les travaux présentés dans ce manuscrit, nous avons présenté nos contributions liées à la conception et à la réalisation des nouvelles architectures des convertisseurs (CAN/CNA) précis pouvant être intégrés à une matrice de pixels dans le cadre d'un détecteur de vertex. Après une étude des différentes architectures existantes de CANs, deux architectures différentes ont été développés en utilisant la technologie CMOS 0,18 μm :

La première concerne une nouvelle optimisation de l'architecture CAN 4-bits Flash à colonne parallèle à faible puissance, rapide et à petite surface intégré au capteur MAPS accès matriciel par colonne CAN (PC-CAN) a été proposé. Pour augmenter la sensibilité du convertisseur à la très petite amplitude du signal d'entrée du capteur et pour fournir un temps suffisant au convertisseur pour pouvoir coder le signal d'entrée, nous avons proposé d'interposer un bloc E/ B optimisé dans le convertisseur.

Les résultats simulés montrent que l'architecture offre de nombreuses performances intéressantes telles que la faible consommation d'énergie de 751,42 μW sans E/ B à une

vitesse d'échantillonnage haute de 100MS /s, cette valeur s'élève à 1,28 mW avec le E / B mais il reste toujours dans la gamme fixe dans le cahier de charge. Les erreurs simulées statiques non-linéarité différentielle (DNL) et les erreurs de non linéarité intégrale (INL) sont compris entre 0.0812/-0.0787LSB et 0.0811/-0.0787LSB, respectivement. Par conséquent, avec ces caractéristiques optimisées, ce genre de CAN peut être utilisé pour des détecteurs de vertex à base de MAPS. En outre, ce CAN atteint une vitesse élevée supérieure à 5 GHz et possède la plus petite surface de $35 \times 336,76 \mu\text{m}^2$. Par conséquent, avec ces caractéristiques optimisées, ce type de CAN peut être utilisé pour les capteurs monolithiques à pixel actifs (MAPS) dans la physique des hautes énergies afin d'atteindre les besoins pour la prochaine génération avec des Ge/s.

L'architecture Flash proposé est la plus adéquate pour ce cahier des charges, en permettant le meilleur compromis entre la surface, la consommation et la vitesse de conversion. Les résultats de simulation sont montrés ces performances.

La seconde porte sur deux nouvelles architecteurs du CNA à bas des sources du courant entraîne à la fois une faible consommation de puissance, une faible surface occupe sur silicium et une vitesse de conversion moyenne. À l'avenir, le SAR CM intégrant un CNA SC sera économe en énergie et rentable.

Les résultats de simulation montrent que l'architecture du CNA SC proposé de type CNA SC 6-bits offre de nombreuses performances telles que une assez bonne efficacité de consommation de la puissance, une faible surface occupée sur la puce et une bonne vitesse de conversion. Ces performances sont dus au fait que l'architecture proposée n'exige ni des amplificateurs opérationnels ni des condensateurs ce qui rend cette architecture très petite, très rapide et moins gourmande en dissipation de puissance. De plus ce CNA utilise seulement des transistors CMOS en tant que des sources courants et des commutateurs. Ceci a l'avantage de réduire la surface occupée sur la puce, réduire la puissance d'énergie dissipée.

Malgré ces résultats favorables du CNA SC 6-bits, cette architecture présente une instabilité important au niveau de la polarisation des miroirs de courants. De plus malgré sa faible surface cette architecture ne répond pas au cahier de charge au niveau de la surface exigée.

Pour résoudre ces deux problèmes nous avons proposées une architecture plus stable qui occupe moins de surface à travers l'ajout d'un nouveau module RC pour stabiliser la polarisation ainsi la protection des grilles des sources de courant. La résolution à été

réduite à 4 bits pour pouvoir répondre aux exigences du cahier de charge et ainsi diminuer la surface. Cette résolution à 4 bits est largement suffisante pour obtenir une résolution spatiale sur la matrice de 2 μm dans l'application du détecteur de vertex.

Les résultats simulés montrent que l'architecture offre de nombreuses performances intéressantes telles qu'une faible consommation d'énergie aux taux d'échantillonnage moyenne de 25Me/s. De plus CNA SC à 4-bits occupe une très faible surface. Par conséquent, avec l'optimisation de ces caractéristiques, le SAR CM intégrant un CNA SC 4-bits conduit à un bon compromis entre les performances et le cout.

En perspectives de ce travail, nous allons envisageons :

- Concevoir une conception complète du capteur MAPS de 64×48 pixels.
- Intègre le convertisseur proposé CAN 4-bits Flash à colonne parallèle dans le capteur MAPS de 64×48 pixels.
- Concevoir une conception complète de convertisseur SAR MC en intégrant notre convertisseur CNA 4-bits proposé.

RÉFÉRENCES

- [Abo et al., 2002] H. Aboushady, F. Montaudon, F. Paillardet, and M. M. Louerat, “A 5mW, 100KHz Bandwidth, Current-Mode Continuous-Time Sigma-Delta Modulator with 84db Dynamic Range”, Proceedings of ESSCIRC, Florence, Italy, 24-26 September 2002.
- [Allen, 2001] P. E. Allen, “CMOS Analog IC Design”, 2001.
- [Andersson, 1999] O. Andersson, “Mismatch Modeling and Design of CMOS Current-Steering Digital-to Analog Converters”, Thesis for Degree of Master of Science, Department of Electrical Engineering, Linköping University, Sweden, pp. 08-09, November, 1999.
- [Auger, 1999] F. Auger: « Introduction à la théorie du signal et de l'information ». Editions Technip, 1999.
- [Bat et al., 2001] M. Battaglia, S. Borghi, M. Caccia et al., “Hybrid pixel detector development for the linear collider vertex detector,” IEEE Transactions on Nuclear Science, vol. 48, no. 4, pp. 992–996, 2001.
- [Bau et al., 2009] J. Baudo et al : « First test results of MIMOSA – 26 a fast CMOS sensor with integrated zero suppression and digitalized output », IEEE Nuclear Science Symposium Conference Record, November 2009.
- [Baudot, 2011] J. Baudot, “An ILD vertex detector with CMOS sensors,” in Proceedings of the ILD Workshop, Orsay, France, May 2011.
- [Beh, 2000] Behzad, Razavi, “Design of CMOS Analog Integrated Circuit”, Hardcover Edition, August 2000.
- [Bes et al., 2007] A. Besson et al : « Status of CMOS Sensors ». LCWS07-DESY, 2007.
- [Bos et al., 2001] A. V.d. Bosch, M. S. J. Steyaert, and W. Sansen, “Solving Static and Dynamic Performance Limitations for High Speed D/A Converters,” Proc. of the 10th Workshop on Advances in Analog Circuit Design, Apr. 2001.
- [Bou et al., 2007] J. Bouvier, M. Dahoumane, D. Dzahini et al., “A low power and low signal 5-bit 25 MS/s pipelined ADC for monolithic active pixel sensors,” IEEE Transactions on Nuclear Science, vol. 54, no. 4, pp. 1195–1200, 2007.

- [Bur&Hua, 2001] T. Burger and Q. Huang, “A 13,5mW, 185Msample/s Sigma-Delta Modulator for UMTS/GSM Duam Standard IF Reception”, Proceedings of the ISSCC, San Francisco, CA, USA, 5-7 February 2001.
- [Car&Van, 2012] W. Carvajal and W. Van Noije, “An optimization-based reconfigurable design for a 6-bit 11-MHz parallel pipeline ADC with double-sampling S&H,” International Journal of Reconfigurable Computing, vol. 2012, Article ID 786205, 17 pages, 2012.
- [Chakir et al., 2017] M. Chakir, H. Akhamal and H. Qjidaa, “A Design of a New Column-Parallel Analog-to-Digital Converter Flash for Monolithic Active Pixel Sensor”, The Scientific World Journal, Volume 2017, Article ID 8418042, 15 pages, 2017.
- [Chakir et al., 2018] M. Chakir, H. Akhamal and H. Qjidaa, “A New 4-bit Current-Steering DAC for Successive Approximation ADC in 0.18- μ m CMOS Process”, Minor revision in journal : Journal of Circuits, Systems and Computers, 2018.
- [Chakir et al., 2015a] M. Chakir, H. Akhamal and H. Qjidaa, “ A Low Power 6-bit Current-steering DAC in 0.18- μ m CMOS Process”, The first International Conference on Intelligent Systems and Computer Vision, March 25, 26, 2015, Fez,Morocco.
- [Chakir et al., 2015b] M. Chakir, H. Akhamal and H. Qjidaa, “Design of a Low Power, High Speed Analog to Digital Pipelined Converter for High Speed Camera CMOS using 0.18 μ m CMOS Technology,” Australian Journal of Basic and Applied Sciences, 9(2) February 2015, Pages: 224-231.
- [Chakir&Qjidaa, 2012] M. Chakir and H. Qjidaa, “1GS/s, Low Power Flash Analog to Digital Converter in 90nm CMOS Technology,” IEEE conference on Multimedia Computing and Systems (ICMCS), 2012 International, pp 1097– 1100.
- [chen&Liu, 2009] P. Chen, T-C. Liu: “Switching Schemes for Reducing Capacitor Mismatch Sensitivity of Quasi-Passive Cyclic DAC”. IEEE Transactions on Circuits and Systems-II: Express Briefs, Vol. 56, No. 1, January 2009.
- [Chi et al., 2007] Y. M. Chi et al: « CMOS Camera With In-Pixel Temporal Change Detection and ADC », IEEE Journal of Solid-State Circuits, Volume 42, Issue 10, October 2007.
- [Cla et al., 2008] G. Claus et al: « JRA-1 Milestone: IDC Prototype ready ». EUDET-Memo-2008-03.
- [Coulon, 1996] F. De Coulon : « Théorie et traitement des signaux ». Edition Presses polytechniques et universitaires romandes, 1996.

- [Dah et al., 2008] M. Dahoumane, D. Dzahini, J. Bouvier et al., “A low power and low signal 4 bit 50MS/s double sampling pipelined ADC for Monolithic Active Pixel Sensors,” *Journal of Instrumentation*, vol. 3, no. 3, Article IDP03002, 2008.
- [Dah et al., 2008b] M. Dahoumane, J. Bouvier, D. Dzahini et al., “A very low power and low signal 5 bit 50 M samples/s double sampling pipelined ADC for monolithic active pixel sensors in high energy physics and biomedical imaging applications,” in *Proceedings of the IEEE Nuclear Science Symposium Conference Record (NSS '08)*, pp. 2091–2097, IEEE, Dresden, Germany, October 2008.
- [Deg et al., 2003] Y. Degerli et al « Low power autozeroed high speed comparator for the readout chain of CMOS Monolithic Active Pixel Sensor based Vertex Detector”. *IEEE Trans. Nucl. Sci.* Vol. 50, N°. 5, October 2003.
- [Deg et al., 2005] Y. Degerli, G. Deptuch, N. Fourches et al., “A fast monolithic active pixel sensor with pixel-level reset noise suppression and binary outputs for charged particle detection,” *IEEE Transactions on Nuclear Science*, vol. 52, no. 6, pp. 3186–3193, 2005.
- [Deg et al., 2006] Y. Degerli et al «Performance of a fast binary readout CMOS Active Pixel Sensor Chip designed for charged particle detection ». *IEEE Trans. Nucl. Sci.* Vol. 53, N°. 6, December 2006.
- [Die et al., 1997] B. Dierickx, G. Meynants, D. Scheffer, “Near 100% fill factor CMOS active pixels”, in *Proceedings of the IEEE CCD & AIS workshop*, Brugge, Belgium, 5-7 June (1997); *Proceedings* p. P1
- [Dim&Vas, 2007] D. P. Dimitrov and T. K. Vasileva, “Eight-bit semiflash A/D converter,” *VLSI Design*, vol. 2007, Article ID 80389, 7 pages, 2007.
- [Dlu&Ini, 2007] R. Dlugosz and K. Iniewski, “Flexible Architecture of Ultra-low-power Current-mode Interleaved Successive Approximation Analog-to-digital Converter for Wireless Sensor Networks”, *VLSI Design*, vol 20, pp.1 – 13, 2007.
- [Ester, 2008] W. K. Ester, “ADC Architectures IV : Sigma-Delta ADC Advanced Concepts and Applications”, Tutorial MT-022, REV. A, 10/08, WK.
- [Eul, 2006] Eulalia Valestrieri, “Some Critical Notes on DAC Time Domain Specifications Instrumentation and Measurement”, *Technology Conference*, Italy, April, 2006.
- [Far&Joh, 2003] Farzan, K., Johns, D.A., “A power-efficient architecture for high-speed D/A converters,” *Proc. 2003 Int. Symp. Circuits and Systems*, pp. I897–I890, May, 2003.
- [Fou et al., 2007] N. T. Fourches, M. Besanc, on, Y. Li, P. Lutz, and F. Orsini, “Fast neutron irradiation of Monolithic Active Pixel Sensors dedicated to particle detection,” *Nuclear*

- Instruments and Methods in Physics Research A, vol. 576, no. 1, pp. 173–177, 2007.
- [Francais, 2000] O. Francais, « Les Convertisseurs Analogiques Numeriques », ESIEE, cours d'électroniques, 2000.
- [Fur et al., 1986] M. Furukawa, H. Hatano, K. Hanihara: “Precision Measurement Technique of Integrated MOS Capacitor Mismatching Using a Simple On-Chip Circuit“. IEEE Transactions on Electron Devices, Vol. ED- 33, No. 7, July 1986.
- [Fur et al., 2005] M. Furuta et al: « A Cyclic A/D Converter with Pixel Noise and Column-wise Offset Canceling for CMOS Image Sensors », IEE European Solid-State Circuits Conference, September, 2005.
- [Gordon, 1978] B. M. Gordon : « Linear Electronic Analog/Digital Conversion Architectures, Their Origins, Parameters, Limitations, and Applications », IEEE Transactions on Circuits and Systems, Volume 25, Issue 7, July 1978.
- [Guo et al., 2009] C. Hu-Guo, J. Baudot, G. Bertolone et al., “CMOS pixel sensor development: a fast read-out architecture with integrated zero suppression,” Journal of Instrumentation, vol. 4, no. 4, Article ID P04012, 2009.
- [Han et al., 2004] S. Hanami et al : « CMOS Aps imager employing 3.3V 12 bit 6.3 MS/s pipelined ADC », IEEE International Symposium on Circuits and Systems, 2004.
- [Hel et al., 2013] Helna Aboobacker, Aarathi R Krishna, Remya Jayachandran, “ Design, Implementation and Comparison of 8 Bit 100 Mhz Current Steering Dacs,” International Journal of Engineering Research and Applications (IJERA), pp.881 886, Vol. 3, Issue 4, Jul-Aug 2013.
- [Hey et al., 2012] S. Heydarzadeh, A. Kadivar, and P. Torkzadeh, “Implemented 5-bit 125-MS/s Successive Approximation Register ADC on FPGA”, World Academy of Science, Engineering and Technology, vol. 69, pp. 394-397, 2012.
- [Hir&Ren, 2010] V.Hiremath and S. Ren, “An ultra high speed encoder for 5GSPS Flash ADC,” in Proceedings of the IEEE International Instrumentation and Measurement Technology Conference (I2MTC '10), pp.136–141, IEEE, Austin, Tex, USA, May 2010.
- [Hon&Lee, 2007] H. C. Hong and G. M. Lee, A 65-fJ/conversion-step 0.9V 200-KS/s rail-to-rail 8-bit successive approximation ADC, IEEE J. Solid-State Circuits 42 (2007) 2161_2168.
- [Hu et al., 2013] W. Hu, Donald, Y.C. Lie, and Y.-T. Liu, “An 8-bit Single-Ended Ultra-Low-Power SAR ADC with a Novel DAC Switching Method”, IEEE Transactions on Circuits and Systems-I, vol. 60, pp. 1726 - 1739, 2013.

- [Huy et al., 2005] J. Huynh, B. Ngo, M. Pham, and L.He, “ Design of a 10-bit TSMC 0.25um CMOS Digital to Analog Converter”, Proceedings of the 6th international Symposium on Quality Electronic Design-2005.
- [Ieee, 2001] « IEEE Standard for terminology and test methods for analog to digital converters », IEEE, 2001, ISBN 0-7381-2724-8.
- [ILD, 2010] The ILD Concept Group, “International large detector—letter of intent,” February 2010, <http://www.ilcild.org>, <http://www.linearcollider.org>.
- [Jac et al., 1998] R. Jacob baker, harry w. Li, and D.E. Boyce, “CMOS circuit design, layout, and simulation,” the institute of electrical and electronics engineers, inc., New York, 1998.
- [Jac, 2001] J Jacob Wikner, “Studies on CMOS Digital-to-Analog Converters”, Dissertation No. 667, Linköping Studies in Science and Technology, 2001.
- [Janesick, 2001] J. R. Janesick, “Scientific Charge-Coupled Devices”, SPIE Press, 2001.
- [John, 2002] P. U. John, “CMOS Logic Circuit Design”, Kluwer Academic Publishers, New York, NY, USA, 2002.
- [Jun et al., 2008] Jung J, Baek K H, Lim S I, et al, “ Design of a 6bit 1.25GS/S DAC for WPAN,” Proc Int Symp Circuits and Systems, 2008:2262.
- [Jur&Mich, 2006] Jurgen Deveugele, Michiel S.J.Steyaert, “A 10-bit 250-MSPS Binary-Weighted Current-Steering DAC”, IEEE Journal of Solid-State Circuits, Vol-41, No.2 Feb,2006.
- [Keys, 1994] C-D. Keys : « Low-Distortion Mixers for RF Communications », Ph.D. dissertation, University of California, Berkeley, December 1994.
- [Kle et al., 2006] S. Kleinfelder, S. Li, F. Bieser et al., “A proposed STAR microvertex detector using active pixel sensors with some relevant studies on APS performance,” Nuclear Instruments and Methods in Physics Research, Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, vol. 565, no. 1, pp. 132–138, 2006.
- [Kuttner, 2002] F. Kuttner, “A 1,2V 10b 20Msample/s Non-Binary Successive Approximation ADC in 0,13um”, Proceedings of ISSCC, San Francisco, CA, USA, 4-6 February 2002.
- [Lee et al., 2002] D. Lee, J. Yoo, K. Choi, and J. Ghaznavi, “Fat tree encoder design for ultra-high speed flash A/D converters,” in Proceedings of the 45th Midwest Symposium on Circuits and Systems (MWSCAS’02), pp. II-87–II-90, Tulsa, Okla, USA, August 2002.
- [Lei et al., 2008] LEI Jian-ming DAI Xiao-wu, ZOU Xue-cheng, ZOU Zhi-ge, “Modeling

- Non-idealities of Sigma Delta ADC in Simulink” IEEE, pp 1040-1043, 2008.
- [Lin et al., 2013] Y.-Z. Lin, C.-C. Liu, G.-Y. Huang, “A 9-Bit 150-MS/s Subrange ADC Based on SAR Architecture in 90-nm CMOS”, IEEE Transactions on Circuits and Systems-I, vol. 60, March, pp. 570-581, 2013.
- [Lin&Liu, 2003] C. S. Lin and B. D. Liu, “ A New Successive Approximation Architecture for Low-Power Low-Cost CMOS A/D Converter”, IEEE Journal of Solid-State Circuit, vol. 38, No. 1, pp. 54-62, January 2003.
- [Lut et al., 2007] P. Lutz, F. Orsini, Y. Degerli et al., “Monolithic active pixel sensors,” in Proceedings of the 16th International Workshop on Vertex Detectors, p. 15, Lake Placid, NY, USA, September 2007.
- [Meh&Dal, 1999] I. Mehr, D. Dalton, "A 500-Msample/s, 6-bit Nyquist-Rate ADC for Disk-Drive Read-Channel Applications", IEEE Journal of Solid-State Circuit, Vol. 34, n° 7, pp. 912-920, July 1999.
- [Min&Lew, 2001] J. Ming and H. Lewis, “An 8-Bits 80-Msample/s Pipelined Analog-to-Digital Converter With Background Calibration”, IEEE Journal of Solid State Circuit, vol. 36, No. 10, pp.1489-1497, October 2001.
- [Mir&Luc, 2007] Mircea Tomoroga, Lucian Jurca, “Study of Matching Errors in Unit Element Approach of Current-Steering Segmented DAC Design”, 6th WSEAS International Conference on System Science and Simulation in Engineering, 2007.
- [Miy et al., 2002] D. Miyazaki, M. Furuta and S. Kawahito, “A 16mW 30Msample/s 10b Pipelined A/D Converter Using a Pseudo-Differential Architecture”, Proceedings of the ISSCC, San Francisco, CA, USA, 4-6 February 2002.
- [Miy et al., 2003] D. Miyazaki, S. Kawahito and M. Furuta, “A 10-b 30-MS/s Low Power Pipelined CMOS A/D Converter Using a Pseudodifferential Architecture”, IEEE Journal of Solid-State Circuit, vol. 38, No. 2, pp. 369-373, February 2003.
- [Mor et al., 2000] C. Moreland, F. Murden, M. Elliott, J. Young, M. Hensley, R. Stop, "A 14-b 100-Msample/s Subranging ADC", IEEE Journal of Solid-State Circuit , Vol. 35, n° 12, pp. 1791-1798, December 2000.
- [Mor et al., 2000] C. Moreland, F. Murden, M. Elliott, J. Young, M. Hensley and R. Stop, “A 14-b 100-Msample/s Subranging ADC”, IEEE Journal of Solid-State Circuit, vol. 35, No. 12, pp. 1791- 1798, December 2000.
- [Mor&Lee, 2000] S. Morteza pour and E. K. F. Lee, “ A 1-V, 8-bit Successive Approximation ADC in standard CMOS Process”, IEEE Journal of Solid-State Circuit, Vol.35, No 4, pp.

- 642-646, April 2000.
- [Morizio, 2000] J. C. Morizio, "14-bits 2,2-MS/s Sigma-Delta ADC's", IEEE Journal of Solid-State Circuit, vol.35, No. 7, pp. 968-976, July 2000.
- [Nag et al., 2000] K. Nagaraj, D.A. Martin, M. Wolfe, R. Chattopadhyay, S. Pavan, J. Cancio, T.R. Viswanathan, "A Dual-Mode 700- Msample/s 6-bit 200-Msamples/s 7-bit A/D Converter in a 0.25um Digital CMOS Process", IEEE Journal of Solid- State Circuit, Vol. 35, n° 12, pp. 1760-1768, December 2000.
- [Nam et al., 2010] N. Nambiar, B. J. Blalock and M. N. Ericson, "A Novel Current-mode Multi-channel Integrating ADC", Analog Integr Circ Sig Process, vol. 63, pp.283 - 291, 2010.
- [Pan et al., 2000] H. Pan, M. Segami, M. Choi, J. Cao, A.A. Abidi, "A 3.3-V 12-b 50-MS/s A/D Converter in 0.6-um CMOS with over 80-dB SFDR", IEEE Journal of Solid-State Circuit , Vol. 35, n°12, pp. 1769-1780, December 2000.
- [Phi&Allen, 2002] Phillip E. Allen and Douglas R. Holberg, CMOS Analog Circuit Design. Second Edition. Prentice-Hall, 2002.
- [Pil et al., 2010] N. Pillet, S. Heini, and Y. Hu, "A column level, low power, 1 M sample/s double ramp A/D converter for monolithic active pixel sensors in high energy physics," Nuclear Instruments and Methods in Physics Research, Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, vol. 620, no. 2-3, pp. 252–259, 2010.
- [Promitzer, 2001] G. Promitzer, "12-bit Low-Power Fully Differential Switched Capacitor Noncalibrating successive Approximation ADC with 1-MS/s", IEEE Journal of Solid-State Circuit, vol. 36, No. 7, pp. 1138-1143, July 2001.
- [Rasavi, 1995] Rasavi Behzad, "Principles of Data Conversion System Design", pp 63-69, 79-94, Piscataway N.J., IEEE Press, 1995.
- [Razavi, 2002] B. Razavi : « Design of Analog CMOS integrated Circuits », McGraw-Hill, edition 2002
- [Ron et al., 2005] B. Le, T-W. Rondeau, J-H. Reed, and C-W. Bostian : « Analog-to- Digital Converters—A review of the past, present, and future », IEEE Signal Processing Magazine, November, 2005.
- [Saa et al., 2004] E. Saall, M. Vesterbacka, and K. O. Andersson, "A study of digital decoders in flash analog-to-digital converters," in Proceedings of the IEEE International Symposium on Circuits and Systems, pp. 23–26, IEEE, Vancouver, Canada, May 2004.

- [Saa&Ves, 2004] E. Saail and M. Vesterbacka, "A multiplexer based decoder for flash analog-to-digital converters," in Proceedings of the IEEE TENCON 2004—2004 IEEE Region 10 Conference: Analog and Digital Techniques in Electrical Engineering, November 2004.
- [Sai et al., 2014] T. Sai Lakshmi, A. Srinivasulu, and P. C. Shaker, "Implementation of power efficient flash analogue-to-digital converter," *Active and Passive Electronic Components*, vol. 2014, Article ID 723053, 11 pages, 2014.
- [Sam, 1999] Sam Blackman Professor Robert Brodersen A Low Power, 8-bit, 200 MHz Digital-to-Analog Converter, 1999.
- [Scholtens, 2000] P. Scholtens, "A 2.5 bit, 600MS/s Flash ADC in 0.25 μm CMOS", ESSCIRC'00, 26th European Solid-State Circuits Conference, Stockholm, Sweden, September 2000.
- [Sop et al., 2006] A. Sopczak, K. Bekhouche, C. Bowdery et al., "Radiation hardness of CCD vertex detectors for the ILC," in Proceedings of the IEEE Nuclear Science Symposium Conference Record, pp. 576–582, San Diego, Calif, USA, November 2006.
- [Sopczak, 2005] A. Sopczak, "Charge transfer inefficiency studies for CCD vertex detectors at a LC," in Proceedings of the International Linear Collider Workshop (LCWS '05), Stanford, Calif, USA, March 2005.
- [Sopczak, 2005] A. Sopczak, "LCFI charge transfer inefficiency studies for CCD vertex detectors," in Proceedings of the IEEE Nuclear Science Symposium Conference Record, vol. 3, pp. 1494–1498, IEEE, Fajardo, Puerto Rico, October 2005.
- [Ste et al., 2000] K. Stefanov, T. Tsukamoto, A. Miyamoto et al., "Electron and neutron radiation damage effects on a two-phase CCD," *IEEE Transactions on Nuclear Science*, vol. 47, pp. 1280–1291, 2000.
- [Stefanov, 2001] K. D. Stefanov, "Radiation damage effects in CCD sensors for tracking applications", in high energy physics [Ph.D. thesis], Saga University, Saga, Japan, 2001.
- [Sum et al., 2001] L. Sumanen, M. Waltari and K. A. I. Halonen, "A 10-bit 200-MS/s CMOS Parallel Pipeline A/D Converter", *IEEE Journal of Solid-State Circuit*, vol. 36, No. 7, pp. 1048-1055, July 2001.
- [Taf&Tur, 2001] R.C. Taft, M.R. Tursi, "A 100-MS/s, 8-bit CMOS Subranging ADC with Sustained Parametric Performance from 3.8V down to 2.2V", *IEEE Journal of Solid-State Circuit*, Vol. 36, n° 3, pp. 331-338, March 2001.
- [Tan et al., 2014] F. Tang, A. Bermak, A. Abbes, and M. Amor Benammar, "Continuous-time

- $\Sigma \Delta$ ADC with implicit variable gain amplifier for CMOS image sensor,” The Scientific World Journal, vol. 2014, Article ID 208540, 7 pages, 2014.
- [Tan et al., 2014] F. Tang, A. Bermak, A. Amira, M. Amor Benammar, D. He, and X. Zhao, “Two-step single slope/SAR ADC with error correction for CMOS image sensor,” The Scientific World Journal, vol. 2014, Article ID861278, 6 pages, 2014.
- [Tan&Pun, 2011] X. Tang and K. P. Pun, “A Novel Switched-Current Successive Approximation ADC”, Journal of Circuits Systems, and Computers, vol. 20, pp.15-27, 2011.
- [Til et al., 2000] S. J. Tilden, T. E. Linnenbrink, and P. J. Green, “Standard for terminology and test methods for analog-to-digital converters: a case study of utilization of IEEE-STD-1241,” Computer Standards & Interfaces, vol. 22, no. 2, pp. 103–112, 2000.
- [Ton et al., 2011] Tony Chan Carusone, David A. Johns, Kenneth W. Martin “ANALOG INTEGRATED CIRCUIT DESIGN ”, 2nd ed. Printed in the United States of America, 2011.
- [Tou&Pay, 1990] C. Toumazou, A. Payne, D., “Haigh. Analogue IC design: The current mode approach”. Peter Peregrinus, London, 1990.
- [Tsu et al., 1998] S. Tsukamoto, W.G. Schofield, T. Endo, "A CMOS 6-b, 400-Msample/s ADC with Error Correction", IEEE Journal of Solid-State Circuit , Vol. 33, n° 12, pp. 1939-1947, December 1998.
- [Tur et al., 2001] R. Turchetta, J. D. Berst, B. Casadei et al., “A monolithic active pixel sensor for charged particle tracking and imaging using standard VLSI CMOS technology,” Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, vol. 458, no. 3, pp. 677–689, 2001.
- [Uen et al., 2001] T. Ueno, A. Yasuda, T. Yamaji and T. Itakura, “A Fourth Order Sigma-Delta Modulator Using Second-Order Bandpass Noise-Shaping Dynamic Element Matching”, Proceedings of the ESSCIRC, Villach, Austria, 18-20 September, 2001.
- [Val et al., 2012] I. Valin, C. Hu-Guo, J. Baudot et al., “A reticle size CMOS pixel sensor dedicated to the STAR HFT,” Journal of Instrumentation, vol. 7, no. 1, Article IDC01102, 2012.
- [Walden, 1999a] R. H. Walden, “Analog-to-Digital Converter Survey and Analysis” , IEEE Journal on Selected Areas in Communications, Vol. 17, n° 4, pp. 539-550, April 1999.
- [Walden, 1999b] R. H. Walden, “Performance Trends for Analog-to-Digital Converters”, IEEE Communication Magazine, Vol. 37, n° 2, pp. 96-101, February 1999.

- [Wallace, 1964] C. S. Wallace, "A suggestion for a fast multiplier," IEEE Transactions on Electronic Computers, vol. EC-13, no. 1, pp. 14–17, 1964.
- [Win et al., 2007a] M. Winter et al: « Development of Swift and Slim CMOS Sensors for Vertex Detector at the International Linear Collider ». ILC VD Review / ALCPG-07, Chicago, FNAL, novembre 2007.
- [Win et al., 2007b] M. Winter et al: « Development of Swift and Slim CMOS Sensors for Vertex Detector at the International Linear Collider ». PRC report of 10 May 2007.
- [Win et al., 2009] M. Winter et al: "Achievements and perspectives of CMOS pixel sensors for charged particle tracking". Actes de la conference TIPP09-Tsukuba-avril 2009.
- [Win et al., 2012] M. Winter, J. Baudot, A. Besson et al., "Development of CMOS pixel sensors fully adapted to the ILD vertex detector requirements," <https://arxiv.org/abs/1203.3750>, 2012.
- [Winter, 2010] M. Winter, "Achievements and perspectives of CMOS pixel sensors for charged particle tracking," Nuclear Instruments and Methods in Physics Research, Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, vol. 623, no. 1, pp. 192–194, 2010.
- [Yan et al., 2001] W.W. Yang, D. Kelly, I. Mehr, M.T. Sayuk, L. Singer, "A 3-V 340-mW 14-b 75-MSample/s CMOS ADC With 85- dB SFDR at Nyquist Input", IEEE Journal of Solid-State Circuit , Vol. 36, n° 12, pp. 1931-1936, December 2001.
- [Yuan, 2009] J. Yuan, "Modeling, quantitative analysis, and design of switched-current pipeline A/D Converters", IEEE J. Solid-State Circuits 56 (2009) 727_739.
- [Zha et al., 2013] L. Zhang, F. Morel, C. Hu-Guo, and Y. Hu, "Power and area efficient 4-bit column-level ADC in a CMOS pixel sensor for the ILD vertex detector," Journal of Instrumentation, vol. 8, no. 1, Article ID C01007, 2013.
- [Zha et al., 2014a] L. Zhang, F. Morel, C. Hu-Guo, and Y. Hu, "A low-power and small-area column-level ADC for high frame-rate CMOS pixel sensor," Nuclear Instruments and Methods in Physics Research A, vol. 752, pp. 15–19, 2014.
- [Zha et al., 2014b] L. Zhang, F. Morel, C. Hu-Guo, and Y. Hu, "A self-triggered column-level ADC for CMOS pixel sensors in high energy physics," IEEE Transactions on Nuclear Science, vol. 61, no. 3, pp. 1269–1277, 2014.
- [Zhi et al., 2009] Zhi-Yuan Cui, Hua-Lan Piao, and Nam-Soo Kim, "A 10- bit Current steering DAC in 0.35- μm CMOS Process", Transactions On Electrical And Electronic Materials, Vol. 10, No. 2, April 25, 2009.

RÉFÉRENCES

- [Zhu et al., 2010] Y. Zhu, U. Chio, H. Wei, S. Sin, U. Seng-Pan, and R. P. Martins, “Linearity analysis on a series-split capacitor array for high speed SAR ADCs,” VLSI Design, vol. 2010, Article ID 706548, 8 pages, 2010.
- [Sheng et al., 2007] L. Sheng-Chuan, H. Ding-Jyun, H. Chen-Kang, and H. Hao-Chiao, “ 10 GSamples/s, 4-bit, 1.2V, Design-for-Testability ADC and DAC in 0.13 μ m CMOS technology,” IEEE Asian Solid-State Circuits Conference, November, 2007 .